

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**ESTUDO SOBRE O DESEMPENHO DE BLOCOS BÁSICOS
PARA O DESENVOLVIMENTO DE UMA MEMÓRIA
ASSOCIATIVA NANOELETRÔNICA**

BIANCA MARIA SALATIEL MATOS DE ALENCAR

ORIENTADORA: JANAINA GONÇALVES GUIMARÃES

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA DE SISTEMAS
ELETRÔNICOS E DE AUTOMAÇÃO**

PUBLICAÇÃO: PPGEA.DM-468/2012

BRASÍLIA/DF: MARÇO – 2012

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**ESTUDO SOBRE O DESEMPENHO DE BLOCOS BÁSICOS PARA O
DESENVOLVIMENTO DE UMA MEMÓRIA ASSOCIATIVA
NANOELETRÔNICA**

BIANCA MARIA SALATIEL MATOS DE ALENCAR

**DISSERTAÇÃO DE MESTRADO ACADÊMICO SUBMETIDA AO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA DA FACULDADE
DE TECNOLOGIA DA UNIVERSIDADE DE BRASÍLIA COMO
PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO
GRAU DE MESTRE.**

APROVADA POR:

**Janaina Gonçalves Guimarães, Dr^a. ENE/UnB
(Orientadora)**

**Sandro Augusto Pavlik Haddad, Dr., FGA/UnB
(Examinador Interno)**

**Marcus Vinicius Batistuta, Dr., FGA/UnB
(Examinador Externo)**

BRASÍLIA/DF, 09 DE MARÇO DE 2012.

FICHA CATALOGRÁFICA

ALENCAR, BIANCA MARIA SALATIEL MATOS DE

Estudo sobre o desempenho de blocos básicos para o desenvolvimento de uma memória associativa nanoeletrônica [Distrito Federal] 2012.

xvi, 103p., 210 x 297 mm (ENE/FT/UnB, Mestre, Engenharia de Sistemas Eletrônicos e de Automação, 2012).

Dissertação de Mestrado – Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica.

1.Nanoeletrônica

2.Memória

3.Transistor mono-elétron

4.Circuitos lógicos

I. ENE/FT/UnB

II. Título (série)

REFERÊNCIA BIBLIOGRÁFICA

Alencar, B.M.S.M. (2012). Estudo sobre o desempenho de blocos básicos para o desenvolvimento de uma memória associativa nanoeletrônica. Dissertação de Mestrado em Engenharia de Sistemas Eletrônicos e de Automação, Publicação PPGEA.DM-468/2012, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 103p.

CESSÃO DE DIREITOS

AUTOR: Bianca Maria Salatiel Matos de Alencar.

TÍTULO: Estudo sobre o desempenho de blocos básicos para o desenvolvimento de uma memória associativa nanoeletrônica.

GRAU: Mestre

ANO: 2012

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte dessa dissertação de mestrado pode ser reproduzida sem autorização por escrito do autor.

Bianca Maria Salatiel Matos de Alencar
CSB 01, lote 03, apt. 302, Taguatinga Sul.
72.015-515 Brasília – DF – Brasil.

DEDICATÓRIA

Aos meus pais, Francisco e Sonia, por todo o amor a mim dedicado ao longo dos anos. Ao meu noivo Murilo, pelo carinho, ajuda e compreensão.

AGRADECIMENTOS

Agradeço primeiramente a Deus, que guiou os meus caminhos e me deu forças para que eu pudesse realizar mais este sonho.

A minha orientadora, professora Janaina Guimarães, por toda a ajuda, disponibilidade, paciência e amizade. Certamente o seu apoio e confiança nas minhas decisões foram fundamentais para que eu pudesse concluir essa dissertação de mestrado. Sinto-me feliz e privilegiada por ter iniciado, ainda na graduação, esse trabalho de pesquisa com você.

Ao meu noivo Murilo, pela compreensão sincera em todos os meus – muitos – momentos de ausência, quando precisei me dedicar ainda mais aos estudos. Pelo amor e carinho a mim demonstrados no nosso dia-a-dia. Pelas constantes ajudas e conversas, com as quais pude conhecer seus pontos de vista interessantes e relevantes sobre o meu trabalho. Por acreditar no meu potencial e me incentivar a realizar também meus desejos profissionais.

Aos meus pais, Francisco e Sonia, que sempre foram para mim exemplos de vida. Em especial, meu pai, com toda a sua sabedoria, inteligência e curiosidade, com quem aprendi desde pequena o quão bom é estudar e superar nossas limitações. Minha mãe, exemplo de esposa, mãe e profissional, que mostra cotidianamente em sua profissão que com respeito, honestidade e dedicação, podemos sim contribuir concretamente para o bem-estar e desenvolvimento de nossa sociedade.

A minha irmã Bárbara por todo o companheirismo e apoio demonstrado ao longo desses anos. Por ser para mim um exemplo de força, coragem e determinação. Por todas as conversas, agradáveis almoços e tardes de estudo. É muito bom crescermos juntas, tanto pessoal quanto profissionalmente.

A minha amiga e colega de mestrado Camila, com quem dividi momentos de alegrias e derrotas, dúvidas e certezas e com quem espero poder compartilhar ainda muitos outros momentos especiais ao longo de nossas vidas. Aos colegas Monique e Alex por terem tornado essa caminhada mais divertida e a Lauris, pela amizade de tantos anos.

Enfim, agradeço a todos que acreditaram em mim e contribuíram para essa vitória.

RESUMO

O objetivo desta dissertação é realizar um estudo exploratório de circuitos mono-elétron básicos já apresentados na literatura, com a proposta de novos redimensionamentos para seus parâmetros visando à validação da operação em temperatura ambiente por simulação. Dessa maneira, serão analisados os comportamentos estáticos e dinâmicos, juntamente com os diagramas de estabilidade para cada circuito.

Como produto final desse trabalho de pesquisa, será proposta a arquitetura de uma nova memória associativa nanoeletrônica, concebida a partir da possibilidade de utilização dos circuitos básicos que serão apresentados. Para essa memória, também serão realizadas as análises supracitadas a fim de se caracterizar o seu funcionamento e identificar as potencialidades de sua utilização em aplicações futuras.

ABSTRACT

The aim of this exploratory study is to investigate some single-electron circuits which have already been presented in literature and propose new parameters for each of them, when necessary, in order to obtain operation at room temperature. In addition, static and dynamic performances and also their stability plots are evaluated.

As a result of the interconnection between the basic single-electron circuits first analyzed, the architecture of a new nanoelectronic associative memory is proposed. Its static and dynamic performance, as well as its stability plot, was also evaluated.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	OBJETIVOS DA DISSERTAÇÃO	2
1.2	ORGANIZAÇÃO	2
2	REVISÃO BIBLIOGRÁFICA	4
2.1	DISPOSITIVO DE TUNELAMENTO MONO-ELÉTRON	4
2.1.1	<i>Ilha quântica</i>	4
2.1.2	<i>Tunelamento</i>	5
2.1.3	<i>Bloqueio de Coulomb [7]</i>	6
2.1.4	<i>Junção -Túnel</i>	8
2.1.5	<i>Transistor mono-elétron: conceitos e fabricação</i>	9
2.1.6	<i>Fontes de defeito nos dispositivos mono-elétron: co-tunelamento e cargas de desvio</i> 12	
2.2	APLICAÇÕES DOS DISPOSITIVOS SET: CIRCUITOS LÓGICOS	13
2.2.1	<i>Porta lógica Ou-Exclusivo</i>	14
2.2.2	<i>Latch SET-RESET</i>	15
2.3	REDES NEURAIS	16
2.4	MEMÓRIAS ASSOCIATIVAS	17
2.4.1	<i>Memória associativa baseada no cálculo da distância de Hamming</i>	18
2.5	MEMÓRIAS NANOELETRÔNICAS	19
2.6	AMPLIFICAÇÃO EM DISPOSITIVOS MONO-ELÉTRON	21
2.6.1	<i>Circuitos mono-elétron com ganho de amplificação</i>	22
2.7	DIAGRAMAS DE ESTABILIDADE	23
2.8	SIMULADORES NANOELETRÔNICOS	24
3	METODOLOGIA	26
3.1	INTRODUÇÃO.....	26
3.2	ASPECTOS GERAIS DO PROJETO DE CIRCUITOS E SISTEMAS SET	27
3.3	ESTRATÉGIAS ADOTADAS	27
3.3.1	<i>Circuitos SET</i>	28

3.3.2	<i>Sistema SET</i>	30
4	BLOCOS BÁSICOS SET: RESULTADOS E ANÁLISES	33
4.1	INTRODUÇÃO.....	33
4.2	CIRCUITOS INVERSORES MONO-ELÉTRON COM GANHO (<i>BUFFERS</i>): ANÁLISE ESTÁTICA	33
4.2.1	<i>Buffer 1</i>	34
4.2.2	<i>Buffer 2</i>	37
4.2.3	<i>Buffer 3</i>	41
4.2.4	<i>Buffer 4</i>	43
4.3	CIRCUITOS BÁSICOS MONO-ELÉTRON: ANÁLISE DINÂMICA.....	44
4.3.1	<i>Latch SET-RESET</i>	44
4.3.2	<i>Porta Ou-exclusivo (XOR)</i>	49
4.3.3	<i>Circuitos mono-elétron com ganho de amplificação (Buffers)</i>	54
4.3.3.1	<i>Buffer 1</i>	54
4.3.3.2	<i>Buffer 2</i>	55
4.3.4	<i>Neurônios</i>	57
4.4	CIRCUITOS BÁSICOS MONO-ELÉTRON: ANÁLISE DE ESTABILIDADE... ..	60
4.4.1	<i>Latch SET-RESET</i>	61
4.4.2	<i>Porta Ou-exclusivo (XOR)</i>	62
4.4.3	<i>Circuitos mono-elétron com ganho de amplificação (Buffers)</i>	63
4.4.4	<i>Neurônio</i>	64
5	A MEMÓRIA ASSOCIATIVA NANOELETRÔNICA	66
5.1	INTRODUÇÃO.....	66
5.2	ANÁLISE ESTÁTICA	69
5.2.1	<i>Memória associativa nanoeletrônica com o uso do buffer 1</i>	69
5.2.2	<i>Memória associativa nanoeletrônica com o uso do buffer 2</i>	72
5.3	ANÁLISE DINÂMICA	80
5.4	ESTABILIDADE	84
5.5	CONSIDERAÇÕES FINAIS	85
6	CONCLUSÕES	88

7	REFERÊNCIAS BIBLIOGRÁFICAS.....	90
8	ANEXOS: SIMULAÇÕES COMPLEMENTARES	96

LISTA DE FIGURAS

Figura 2.1. Curva característica do Bloqueio de Coulomb.	7
Figura 2.2. Diagramas de energia para o Bloqueio de Coulomb (a) e tunelamento mono-elétron (b).....	7
Figura 2.3. Representação da junção túnel [4].	8
Figura 2.4. Imagem de uma junção túnel obtida por microscopia eletrônica [13].....	8
Figura 2.5. Transistor mono-elétron [8].	9
Figura 2.6. Diagrama de bandas do transistor mono-elétron sem a aplicação de um potencial externo.	10
Figura 2.7. Diagrama de bandas do transistor mono-elétron com a aplicação de um potencial externo $V_G > 0$	10
Figura 2.8. Característica $I \times V_G$ do transistor mono-elétron [4].	11
Figura 2.9. Imagem do dispositivo SET fabricado com o STM [16].	12
Figura 2.10. Tipos possíveis de co-tunelamento [4].....	13
Figura 2.11. Tabela-verdade e símbolo correspondente para uma XOR de duas entradas.	14
Figura 2.12. Porta ou - exclusivo mono-elétron proposta em [30].	14
Figura 2.13. Tabela verdade de um latch SET-RESET assíncrono e seu símbolo.....	15
Figura 2.14. Circuito mono-elétron do latch SET-RESET sem relógio proposto em [28]. ...	16
Figura 2.15. Neurônio de Hamming mono-elétron proposto em [4].....	17
Figura 2.16. Diagrama de blocos da memória associativa com critério de busca pela distância de Hamming [39].....	18
Figura 2.17. Diagrama de blocos da memória endereçada por conteúdo nanoeletrônica proposta em [51].	20
Figura 2.18. Ganho de tensão x capacitância de porta para um transistor SET em várias temperaturas de operação [56].	22
Figura 2.19. Circuito com ganho de amplificação SET proposto em [57].	22
Figura 2.20. Circuito com ganho de amplificação SET proposto em [26,59].	23
Figura 2.21. Circuito com ganho de amplificação SET proposto em [30].	23
Figura 2.22. Diagrama de estabilidade de carga de um transistor mono-elétron [7].....	24

Figura 3.1. Metodologia utilizada para validação dos circuitos mono-elétron em T=300K.	29
Figura 3.2. Procedimentos utilizados para realizar a simulação dinâmica através do SECS.	30
Figura 3.3. Metodologia utilizada para ajuste do circuito final, após a interconexão dos circuitos básicos.....	32
Figura 4.1. Simulação do Buffer 1 no SIMON, com parâmetros ajustados e em temperatura ambiente.	35
Figura 4.2. Característica de transferência do Buffer 1: parâmetros originais em T=0K e parâmetros ajustados em T=300K.....	36
Figura 4.3. Simulação do Buffer 2 no SIMON com os novos ajustes propostos em temperatura ambiente.	39
Figura 4.4. Característica de transferência do Buffer 2: parâmetros originais em T=0K e parâmetros ajustados em T=300K.....	40
Figura 4.5. Simulação do Buffer 3 no SIMON com os novos ajustes propostos em temperatura ambiente.	42
Figura 4.6. Característica de transferência do Buffer 3: parâmetros originais em T=0K e parâmetros ajustados em T=300K.....	43
Figura 4.7. Tensões de entrada do latch SR para simulação no SECS.	46
Figura 4.8. Tensão de saída do latch SR - simulação no SECS.	46
Figura 4.9. Tensões de entrada do latch SR para simulação no SIMON.	48
Figura 4.10. Tensões de saída do latch SR - simulação no SIMON.....	49
Figura 4.11. Tensões de entrada da XOR para simulação no SECS.	51
Figura 4.12. Tensões de saída da XOR - simulação no SECS.....	51
Figura 4.13. Tensões de entrada da XOR para simulação no SIMON.....	52
Figura 4.14. Tensões de saída da XOR - simulação no SIMON.....	53
Figura 4.15. Simulação do circuito buffer 1 no SECS – entrada e saída em T = 300K e f = 50 GHz.....	54
Figura 4.16. Simulação do circuito buffer 2 no SECS – entrada e saída em T= 300K e f = 50 GHz.....	56
Figura 4.17. Tensões de entrada dos neurônios de Hamming com f= 2 GHZ e T=300K – simulação dinâmica.	58

Figura 4.18. Tensões de saída dos neurônios de Hamming com $f = 2 \text{ GHz}$ e $T = 300 \text{ K}$ – simulação dinâmica.	59
Figura 4.19. Tensões de entrada dos neurônios de Hamming em $T = 300 \text{ K}$ – simulação estática.	59
Figura 4.20. Tensões de saída dos neurônios de Hamming em $T = 300 \text{ K}$ – simulação estática.	60
Figura 4.21. Diagrama de estabilidade do latch SR mono-elétron.....	61
Figura 4.22. Diagrama de estabilidade do circuito XOR mono-elétron.	62
Figura 4.23. Diagrama de estabilidade do circuito buffer 1.....	63
Figura 4.24. Diagrama de estabilidade do buffer 2: combinação entre V_i e V_S	64
Figura 4.25. Diagrama de estabilidade do neurônio de Hamming mono-elétron.....	65
Figura 5.1. Diagrama de blocos da memória associativa proposta.....	67
Figura 5.2. Tensões de saída dos neurônios em $T = 300 \text{ K}$ – exemplo 1.....	70
Figura 5.3. Tensões de saída do circuito com amplificação em $T = 300 \text{ K}$ – exemplo 1.	71
Figura 5.4. Tensões de saída dos neurônios em $T = 300 \text{ K}$ – exemplo 2.....	71
Figura 5.5. Tensões de saída do circuito com amplificação em $T = 300 \text{ K}$ – exemplo 2.	71
Figura 5.6. Tensões de saída dos neurônios em $T = 300 \text{ K}$ – exemplo 1.....	75
Figura 5.7. Tensões de saída da memória em $T = 300 \text{ K}$ – exemplo 1.	75
Figura 5.8. Tensões de saída dos neurônios em $T = 300 \text{ K}$ – exemplo 2.....	76
Figura 5.9. Tensões de saída da memória em $T = 300 \text{ K}$ – exemplo 2.	76
Figura 5.10. Tensões de saída da memória em $T = 300 \text{ K}$ – exemplo 3.	77
Figura 5.11. Tensões de saída da memória em $T = 300 \text{ K}$ – exemplo 4.	78
Figura 5.12. Arquitetura da memória associativa nanoeletrônica proposta.....	80
Figura 5.13. Palavra armazenada 1 (1,1) com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$	81
Figura 5.14. Palavra armazenada 2 (0,1) com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$	82
Figura 5.15. Palavra de busca (0,1) com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$	82
Figura 5.16. Saída dos neurônios com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$	83
Figura 5.17. Saída final do circuito com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$	83
Figura 5.18. Diagrama de estabilidade da memória associativa nanoeletrônica proposta.....	84
Figura 8.1. Tensões de entrada dos neurônios de Hamming mono-elétron em $T = 300 \text{ K}$ e $f = 1 \text{ GHz}$	96

Figura 8.2. Tensões de saída dos neurônios de Hamming mono-elétron em $T= 300\text{ K}$ e $f = 1\text{ GHz}$	96
Figura 8.3. Tensões de entrada dos neurônios de Hamming mono-elétron em $T= 300\text{ K}$ e $f = 1\text{ GHz}$	97
Figura 8.4. Tensões de saída dos neurônios de Hamming mono-elétron em $T= 300\text{ K}$ e $f = 12,5\text{ GHz}$	97
Figura 8.5. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 5.	98
Figura 8.6. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 6.	99
Figura 8.7. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 7.	99
Figura 8.8. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 8.	100
Figura 8.9. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 9.	101
Figura 8.10. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 10.	101
Figura 8.11. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 11.	102
Figura 8.12. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 12.	103

LISTA DE TABELAS

Tabela 2.1. Características de fabricação da memória projetada por Mattausch et al.[39].	19
Tabela 4.1. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Heinj et al.[57].	34
Tabela 4.2. Novos valores projetados de forma que o circuito fosse capaz de operar em temperatura ambiente.	35
Tabela 4.3. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Lageweg et al.[26].	38
Tabela 4.4. Novos valores projetados de forma que o circuito fosse capaz de operar em temperatura ambiente e com o maior ganho alcançado.	38
Tabela 4.5. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Lageweg et al.[59].	41
Tabela 4.6. Relações propostas por Chen et al.[30] para o circuito buffer/inversor.....	43
Tabela 4.7. Valores projetos para o funcionamento do latch SET-RESET em temperatura ambiente.....	45
Tabela 4.8. Parâmetros de entrada da simulação dinâmica do latch SR no simulador SECS.	46
Tabela 4.9. Tabela exemplificativa do comportamento do latch, segundo comportamento apresentado na simulação através do SECS.....	47
Tabela 4.10. Valores projetos para o funcionamento da porta ou-exclusivo em temperatura ambiente.	50
Tabela 4.11. Tensões médias de saída para as simulações da XOR no SECS e no SIMON..	53
Tabela 4.12. Valores projetos para o funcionamento dos neurônios de Hamming mono- elêtron em temperatura ambiente.	57
Tabela 4.13. Parâmetros de entrada da simulação dinâmica do neurônios de Hamming no simulador SECS.	58
Tabela 5.1. Exemplificação do comportamento esperado para a memória associativa proposta, quando utilizada a palavra de busca (0,0).	68
Tabela 5.2. Exemplos de funcionamento para verificação do comportamento da memória associativa proposta.....	70

Tabela 5.3. Novos valores projetos para os neurônios de Hamming, de forma a compor a memória associativa proposta.	73
Tabela 5.4. Novos valores projetados para o buffer 2, de forma a compor a memória associativa proposta.	73
Tabela 5.5. Combinações possíveis para o armazenamento de duas palavras de dois bits.	74
Tabela 5.6. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (0,1).	75
Tabela 5.7. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (1,0).	76
Tabela 5.8. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (1,1).	77
Tabela 5.9. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (0,0).	77
Tabela 5.10. Ganhos de tensão obtidos para os exemplos 1 e 2 do funcionamento da memória associativa proposta.	79
Tabela 5.11. Parâmetros para simulação da memória associativa no SECS.	81
Tabela 5.12. Estimativa de área ocupada para a memória associativa proposta.	86
Tabela 5.13. Estimativa de consumo de potência para a memória proposta.	86
Tabela 8.1. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (1,0).	98
Tabela 8.2. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (1,1).	98
Tabela 8.3. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (0,0).	99
Tabela 8.4. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (0,1).	100
Tabela 8.5. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (1,1).	100
Tabela 8.6. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (0,0).	101

Tabela 8.7. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (0,1).....	102
Tabela 8.8. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (1,0).....	102

1 INTRODUÇÃO

No final da década de 1990, a perspectiva da evolução da indústria de semicondutores era que os limites de fabricação dos transistores então utilizados seriam alcançados em 2010, com a fabricação de terminais de porta da ordem de 70 nm [1]. Desde então, novas tecnologias surgiram visando a continuidade do processo de miniaturização dos dispositivos, entre elas a nanoeletrônica.

Hoje, é vislumbrada em estudos exploratórios a fabricação de transistores CMOS com terminais de porta com comprimentos de canal iguais a 4 nm [2]. Assim, a nanoeletrônica e seus dispositivos continuam a ser apontados como tecnologias potenciais para o desenvolvimento especialmente no campo de processamento de sinais de informação. Como exemplo deste fato, há a edição de 2011 do guia da ITRS – *International Technology Roadmap for Semiconductor* – na qual os transistores mono-elétron – SET, do inglês *Single-electron transistor* – e demais circuitos dele provenientes são citados como tecnologias promissoras. Dessa forma, duas diferentes abordagens são buscadas: a extensão das funcionalidades dos dispositivos CMOS para outras tecnologias ou a invenção de novos paradigmas dentro do campo de processamento de informações [3].

A utilização de circuitos mono-elétron pode se tornar uma atrativa opção para o desenvolvimento de circuitos integrados em escala giga – GSI, do inglês *Giga Scale Integration* – e até mesmo tera – TSI, do inglês *Tera Scale Integration*. Como possíveis vantagens comparativas de seu funcionamento há o baixo consumo de potência esperado, dimensões reduzidas, rápida operação e excelente controle de corrente [4]. Muitos circuitos SET já foram propostos na literatura, especialmente no campo de portas lógicas como será mostrado no capítulo a seguir. Nesse contexto, é interessante mencionar que alguns autores [5] apontam a potencial utilização dos circuitos SET será em células de memória, enquanto que a tecnologia CMOS convencional deve continuar a ser utilizada nos demais circuitos periféricos de aplicações digitais.

1.1 OBJETIVOS DA DISSERTAÇÃO

Conforme apresentado anteriormente, o surgimento conceitual dos circuitos mono-elétron ocorreu há mais de uma década. Ainda assim, essa é uma tecnologia nova, com baixo grau de maturidade, especialmente devido às limitações de fabricação e reprodutibilidade dos resultados dos transistores SET em temperatura ambiente. Dessa forma, a presente dissertação tem por objetivo realizar o estudo de circuitos mono-elétron básicos já apresentados na literatura, com a proposta de novos redimensionamentos para seus parâmetros visando à validação da operação em temperatura ambiente por simulação. A priorização da operação nessa temperatura se deve ao fato de essa ser uma das principais limitações para a viabilidade do uso de dispositivos eletrônicos em aplicações gerais.

Os estudos desse trabalho compreenderão as seguintes análises:

1. Análise estática do comportamento do circuito em temperatura ambiente.
2. Análise dinâmica do comportamento do circuito visando à determinação da frequência ótima de operação.
3. Análise dos diagramas de estabilidade do circuito.

Como produto final desse trabalho de pesquisa, será proposta a arquitetura de uma nova memória associativa nanoeletrônica, concebida a partir da possibilidade de utilização de blocos básicos formados pelos circuitos básicos que serão apresentados. Para essa memória, também serão realizadas as análises supracitadas a fim de se caracterizar o seu funcionamento e identificar as potencialidades de sua utilização em aplicações futuras.

1.2 ORGANIZAÇÃO

No capítulo 2 são discutidos os principais conceitos necessários ao entendimento dessa dissertação. Especificamente, são abordados assuntos referentes aos dispositivos e circuitos mono-elétron que serão utilizados no desenvolvimento do trabalho.

No capítulo 3 é apresentada a metodologia empregada para a elaboração e realização da pesquisa objeto dessa dissertação. Assim, serão discriminadas as etapas de ajustes dos parâmetros do circuito, etapas de simulação e obtenção da memória associativa proposta.

No capítulo 4 são apresentados os resultados e respectivas análises estáticas, dinâmicas e de estabilidade para os circuitos básicos mono-elétron e para a memória associativa nanoeletrônica.

No capítulo 5 são apontadas as conclusões desse trabalho, juntamente com as recomendações futuras.

2 REVISÃO BIBLIOGRÁFICA

2.1 DISPOSITIVO DE TUNELAMENTO MONO-ELÉTRON

Os dispositivos de tunelamento mono-elétron – SET, do inglês *Single-electron tunneling* – são aqueles cuja dinâmica de operação é caracterizada pela passagem de um único elétron ou de um pequeno grupo de elétrons por sua estrutura, explorando assim os efeitos quânticos em seu funcionamento. O princípio físico fundamentalmente utilizado nesses dispositivos nanoeletrônicos é o efeito de tunelamento a partir do Bloqueio de Coulomb, fato este estudado e observado por Gorter em 1951 [6]. A seguir serão apresentados os conceitos relevantes para a compreensão do SET.

2.1.1 Ilha quântica

A ilha quântica, ou simplesmente ilha, consiste em uma pequena região cercada por material isolante, que, por sua vez, separa dois condutores. Tal combinação pode ser modelada utilizando-se a concepção clássica de um capacitor, quando o transporte de elétrons ocorrer via tunelamento.

Sabemos que para dois condutores separados por um material isolante, a carga e a tensão são proporcionais, conforme a equação (1).

$$Q = CV \tag{1}$$

Além disso, a energia eletrostática armazenada em um capacitor é dada pela equação (2):

$$E = \frac{1}{2} CV^2 = \frac{Q^2}{2C} \tag{2}$$

Em escalas nanométricas e conforme observado por Hanson [7], pequenos valores de capacitância implicam em valores apreciáveis de variação de energia eletrostática quando há a transferência de um único elétron. É essa sensibilidade à transferência de uma

pequena quantidade de carga que permite a esperada precisão dos dispositivos mono-elétron.

2.1.2 Tunelamento

Tunelamento é o termo utilizado para designar o transporte de partículas por regiões proibidas. Estas são assim classificadas por possuírem uma energia potencial maior do que a energia total de uma partícula pontual clássica. Dessa forma, considerando os conceitos da física clássica, a partícula seria refletida ao encontrar essa barreira de potencial e ainda, segundo a teoria eletromagnética, se ao invés da partícula estivéssemos considerando uma onda, parte desta seria refletida e parte transmitida para o outro lado da barreira. Devido ao comportamento dual entre onda e partícula experimentado pelo elétron, a teoria quântica defende que, se a barreira for finita e suficientemente fina, existe uma probabilidade não nula de essa partícula atravessar essa barreira [8].

O tunelamento é a forma de transporte de elétrons predominante nos dispositivos SETs, além de ser, provavelmente, o fenômeno de transporte associado à transmissão quântica mais estudado [9]. Em 1987, Averin e Likharev [10, 11, 12] propuseram a teoria ortodoxa do tunelamento mono-elétron como modelo teórico para analisar o transporte de uma única carga. Seus postulados são apresentados abaixo.

1. Modelo de dimensão zero: as dimensões das ilhas são desprezíveis.
2. O evento de tunelamento é instantâneo.
3. A redistribuição das cargas após o tunelamento também é instantânea.
4. O espectro de energia em condutores e ilhas é considerado contínuo: a quantização da energia do elétron é ignorada dentro dos condutores.

Os postulados da teoria ortodoxa assumem condições hipotéticas – sabemos, por exemplo, que a taxa de tunelamento em ilhas localizadas entre metais é da ordem de 10^{-14} s [7] –, mas essa teoria é ainda hoje amplamente utilizada quando são estudados os dispositivos mono-elétron.

2.1.3 Bloqueio de Coulomb [7]

Um dos efeitos observáveis e mais importantes para os dispositivos mono-elétron está relacionado à mudança significativa da energia quando elétrons são transportados em materiais de dimensões nanométricas, resultando no que é conhecido como Bloqueio de Coulomb. Esse efeito pode ser explicado para um nanocapacitor, cuja região entre suas placas metálicas equivale a uma ilha.

Consideremos, assim, que na situação inicial a energia armazenada na ilha corresponde a equação (2). Quando um único elétron tunelar através do material isolante, passando de um terminal a outro, haverá a variação da energia eletrostática armazenada pelo capacitor. No entanto, para que haja de fato tunelamento, a condição dada na equação (3) deve ser respeitada. Para que haja o tunelamento de um único elétron, Q deverá ser igual à carga elementar.

$$|V| > \frac{|Q|}{2C} \quad (3)$$

Dessa forma, o tunelamento somente ocorrerá se entre as placas do capacitor houver a aplicação de uma tensão suficientemente grande para garantir a validade da equação (3), o que caracteriza o Bloqueio de Coulomb. Caso haja o confinamento de um elétron na ilha, os demais elétrons serão impedidos de transpassar pela barreira de potencial, já que individualmente possuirão energia insuficiente para tanto – a presença de um elétron na ilha aumentará a energia eletrostática armazenada na mesma. Assim, a aplicação de um potencial externo atuará em favor da manipulação do fluxo de elétrons, seja para aumentar ou diminuir essa barreira de potencial existente nos limites entre material condutor - isolante - condutor. A figura 2.1 caracteriza o efeito do bloqueio em um nanocapacitor – ilha – e a figura 2.2 ilustra os diagramas de energia quando da ocorrência do Bloqueio de Coulomb e do tunelamento mono-elétron.

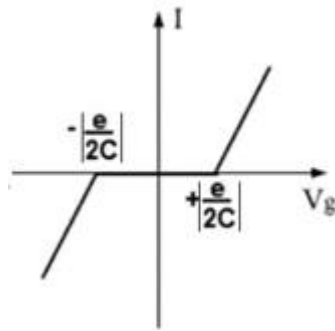


Figura 2.1. Curva característica do Bloqueio de Coulomb.

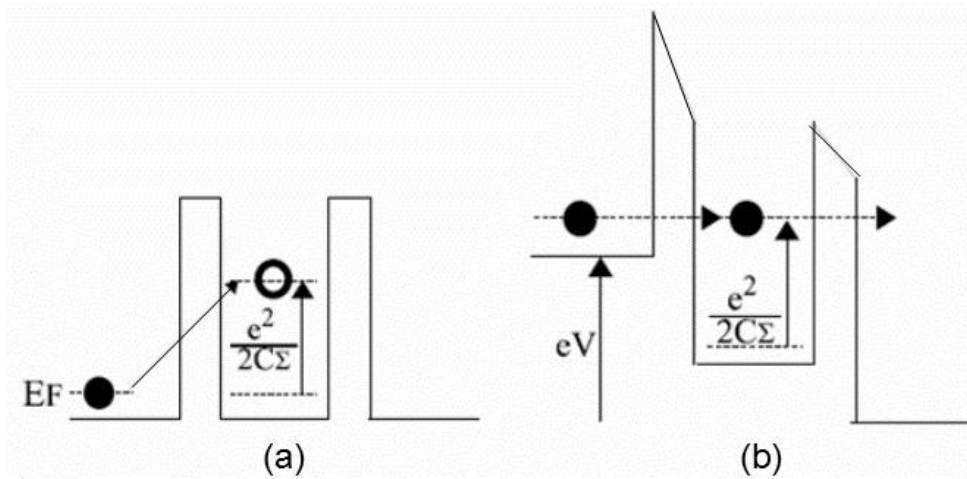


Figura 2.2. Diagramas de energia para o Bloqueio de Coulomb (a) e tunelamento mono-elétron (b).

Vale lembrar ainda que a temperatura desempenha papel fundamental no surgimento do Bloqueio de Coulomb, já que devemos garantir que, para a ocorrência desse efeito, a energia de carregamento associada ao tunelamento é consideravelmente maior do que a energia térmica do sistema – equação (4). Nessa fórmula, considere que k_B é a constante de Boltzmann, ‘T’ a temperatura, ‘e’ a carga associada ao elétron e ‘C’ a capacitância.

$$\frac{e^2}{C} \gg \frac{1}{2} k_B T \rightarrow C \ll \frac{e^2}{k_B T} \quad (4)$$

A partir de (4) podemos inferir que para capacitâncias suficientemente pequenas, o Bloqueio de Coulomb pode ser observado em temperatura ambiente. Caso contrário, o dispositivo deverá operar em baixas temperaturas.

2.1.4 Junção -Túnel

A junção-túnel é uma estrutura formada por dois eletrodos separados por um isolante fino de forma a permitir a passagem de elétrons através do tunelamento. Seu modelo pode ser obtido a partir de um capacitor ideal em paralelo com uma resistência R_T , de modo que esta corresponda à relação entre a tensão DC aplicada entre os terminais da junção e a corrente resultante da movimentação de elétrons por tunelamento. A figura 2.3 ilustra a junção túnel, juntamente com sua simbologia convencional.

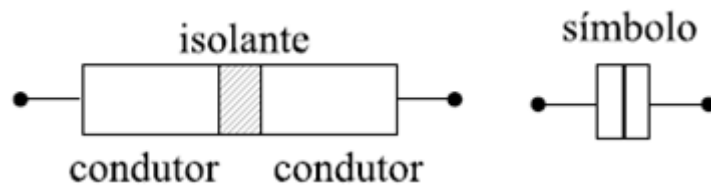


Figura 2.3. Representação da junção túnel [4].

Para que o Bloqueio de Coulomb seja observável nessa estrutura – fato este fundamental em dispositivos nanoeletrônicos – a resistência de tunelamento R_T deve obedecer à relação dada na equação (5), na qual R_0 é denominada resistência quântica. Tal valor é obtido a partir da análise das taxas de tunelamento utilizadas em estudos mais aprofundados da Teoria Ortodoxa citada na seção 2.1.2 [7].

$$R_T \gg R_0 \cong 25,8 \text{ k}\Omega \quad (5)$$

A figura 2.4 ilustra a imagem obtida por microscopia eletrônica (SEM – *Scanning electron microscope*) de uma junção-túnel fabricada, sendo os condutores de ouro. A largura dos contatos é igual a 80 nm e a largura do *gap* (ilha) é igual a 20 nm [13].

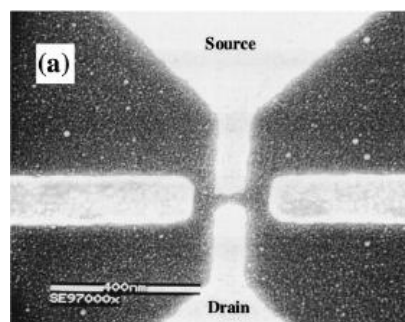


Figura 2.4. Imagem de uma junção túnel obtida por microscopia eletrônica [13].

2.1.5 Transistor mono-elétron: conceitos e fabricação

O transistor mono-elétron consiste em um dispositivo composto por duas junções-túnel em série, havendo a formação de uma ilha entre elas através da qual o elétron tunelará. Além disso, ele possui um terminal de porta acoplado à ilha por um capacitor, que se conecta à tensão de porta conforme é apresentado na figura 2.5. Nesta ilustração, as resistências R_1 e R_2 e as capacitâncias C_1 e C_2 correspondem, respectivamente, às resistências e capacitâncias das junções-túnel.

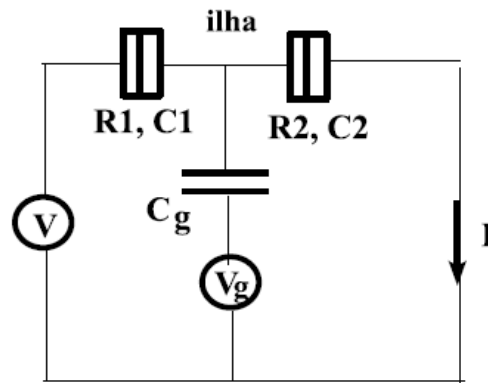


Figura 2.5. Transistor mono-elétron [8].

O efeito do eletrodo de porta pode ser entendido a partir dos diagramas de bandas de energias apresentados nas figuras 2.6 e 2.7 [7]. A primeira ilustração representa as bandas de energia no transistor quando não é aplicada tensão no terminal de porta. Já a segunda ilustração consiste na situação quando essa tensão aplicada é maior do que zero. A partir da comparação entre essas duas figuras, é possível perceber que a aplicação da tensão V_G – ilustrada na figura 2.5 – resultará no deslocamento da energia armazenada na ilha – esse deslocamento poderá tender a aumentar ou diminuir tal barreira de potencial dependendo do valor da tensão aplicado. Dessa forma, é considerado que este terminal de porta age como controlador do comportamento que se deseja obter.

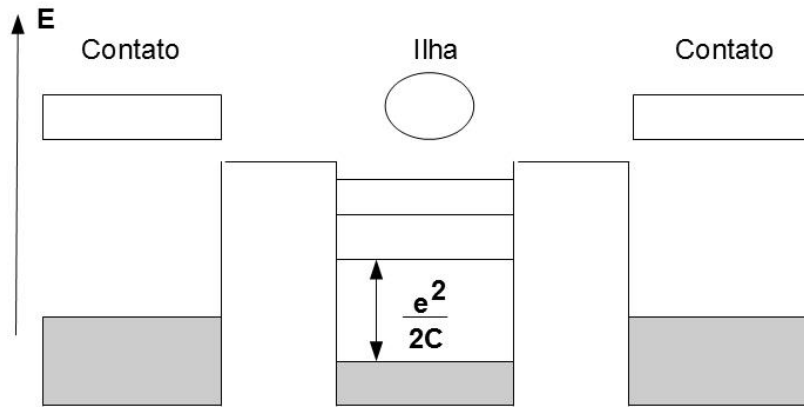


Figura 2.6. Diagrama de bandas do transistor mono-elétron sem a aplicação de um potencial externo.

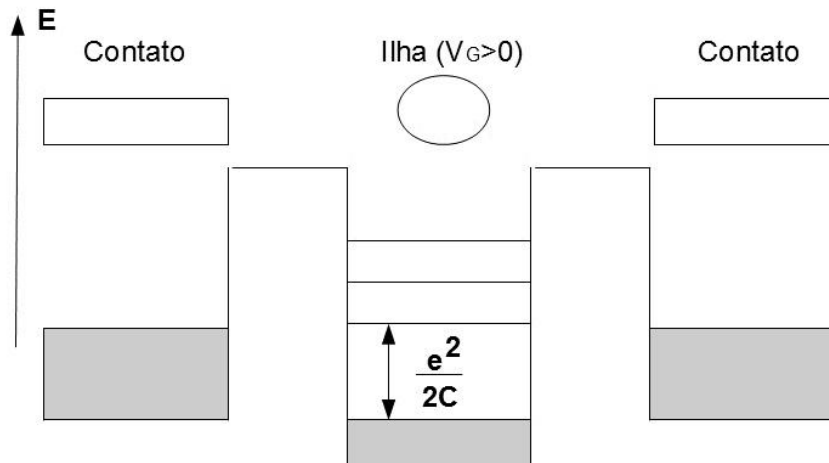


Figura 2.7. Diagrama de bandas do transistor mono-elétron com a aplicação de um potencial externo $V_G > 0$.

A característica $I \times V_G$ do transistor mono-elétron é apresentada na figura 2.8, que evidencia o fenômeno das oscilações de Coulomb. Conforme mencionado anteriormente, a equação (2) deve ser satisfeita para que haja o tunelamento em um dispositivo mono-elétron no qual o Bloqueio de Coulomb é perceptível em seu funcionamento. Assim, no transistor SET, para aplicação de tensões correspondentes aos valores múltiplos de $\frac{e}{2C}$, haverá a passagem de máxima corrente entre seus terminais, caracterizando o tunelamento de um elétron por vez.

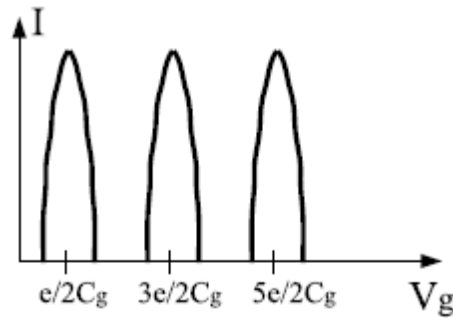


Figura 2.8. Característica $I \times V_G$ do transistor mono-elétron [4].

Para que a operação de transistores mono-elétron seja possível fisicamente em temperatura ambiente, é necessário que se tenham capacitâncias suficientemente pequenas de forma a garantir que a passagem de elétrons ocorrerá principalmente via tunelamento, conforme evidenciado na equação (4). Atualmente, tais dispositivos já foram construídos devido a avançados processos nanotecnológicos [14,15].

Um transistor SET capaz de operar em temperatura ambiente foi fabricado a partir da utilização de técnica conhecida como PADOX – *Pattern-dependent oxidation* – conforme apresentado por Takahashi *et. al.* em [15]. Essa técnica consiste na oxidação térmica de um fio de silício de dimensões nanométricas conectado a duas estruturas de silício (Si). Tal oxidação resultará em uma estrutura multi-camadas – Si-SiO₂-Si – com a ilha sendo equivalente à camada de óxido de silício (SiO₂). As estruturas de Si utilizadas possuíam largura de 20-30 nm e comprimento de 100 nm, e como resultado desse processo foi obtida uma ilha de 7nm de diâmetro e capacitância equivalente de 1,5 aF. Existem muitos outros métodos de fabricação para a obtenção de dispositivos SET que operem em 300 K que correspondem à variações da técnica PADOX, mas todos eles tem em comum o fato de se utilizar a oxidação térmica para formação da ilha [14].

Outra maneira de se fabricar tais dispositivos é a partir da utilização do microscópio de tunelamento com varredura (STM – *Scanning Tunneling Microscope*), feita, por exemplo, através da oxidação de titânio para formação da ilha [16]. Essa técnica consiste no crescimento de uma fina camada de Ti, com espessura de 3nm, sobre um substrato de SiO₂/n-Si (silício dopado tipo n), seguida pela anodização da superfície de Ti pela utilização da ponta do STM como um cátodo. Dessa forma, é formada uma ilha cercada

por óxido de titânio de área igual a 30 nm x 30 nm. A figura 2.9 apresenta a imagem de dispositivo SET fabricado com essa técnica [16].

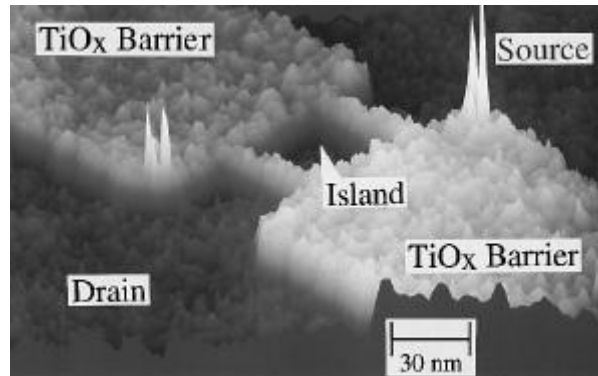


Figura 2.9. Imagem do dispositivo SET fabricado com o STM [16].

Além da utilização do Si para a fabricação dos transistores mono-elétron, outros materiais, como os nanotubos de carbono, também são utilizados [17, 18, 19, 20]. Diversos outros relatos da fabricação de transistores SET podem ser encontrados na literatura [21, 22, 23, 24]. Uma especial atenção deve ser dada aos trabalhos de Park *et al.* e Shirakashi *et al.*, nos quais são citadas capacitâncias fabricadas com valores aproximados a 0,06 aF [19,24].

2.1.6 Fontes de defeito nos dispositivos mono-elétron: co-tunelamento e cargas de desvio

Existem diversas fontes de defeito nos dispositivos mono-elétron; no entanto, duas destas merecem destaque: cargas de desvio e o co-tunelamento. As cargas de desvio são impurezas introduzidas nos circuitos, principalmente no processo de fabricação dos mesmos. Estas cargas podem influenciar a ocorrência esperada do Bloqueio de Coulomb na ilha, já que neste caso ela poderá ser polarizada por cargas indesejadas.

É interessante mencionar que estudos prevêm que, em uma estimativa otimista, 1 em cada 1000 circuitos mono-elétron, quando fabricados, terá flutuações consideráveis devido a cargas de desvio da ordem de 1,6 aC. Maiores variações desse valor são inaceitáveis para uma aplicação de integração de circuitos em larga escala [4, 11] .

O co-tunelamento, por sua vez, consiste no tunelamento de mais de um elétron ao mesmo tempo através de barreiras de potencial distintas de um mesmo dispositivo – por exemplo,

em uma junção túnel múltipla. Geralmente, um circuito com N junções pode apresentar até N co-tunelamentos possíveis. Tal fenômeno é uma fonte de erros em dispositivos mono-elétron, já que nesses desejamos possuir o controle da passagem dos elétrons em sua estrutura. A figura 2.10 apresenta os tipos de co-tunelamentos possíveis.

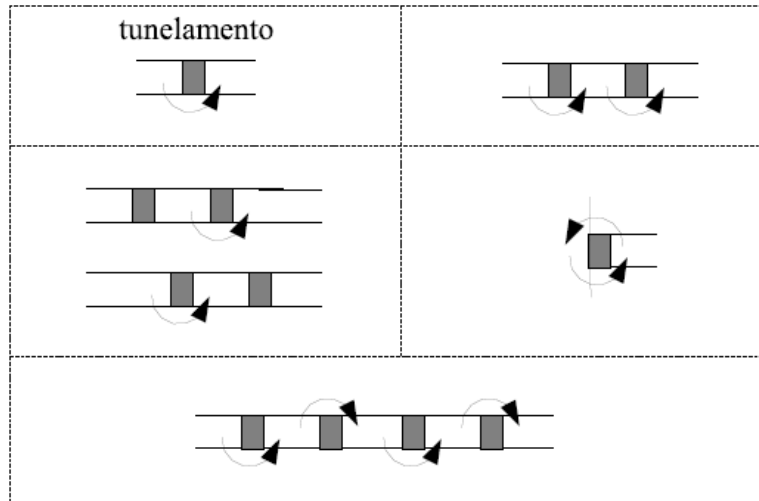


Figura 2.10. Tipos possíveis de co-tunelamento [4].

2.2 APLICAÇÕES DOS DISPOSITIVOS SET: CIRCUITOS LÓGICOS

As aplicações dos transistores mono-elétron são vastas e ocorrem principalmente em circuitos lógicos e em memórias [14]. Esse fato decorre de vantagens como sua miniaturização – o que pode resultar na fabricação de chips com alta densidade de dispositivos – além do baixo consumo de potência – um pequeno número de elétrons é necessário para implementar as operações básicas da lógica digital. Deve-se considerar ainda que esse número reduzido de partículas transportadas possivelmente implicará em maior rapidez no circuito, quando comparado com circuitos das tecnologias atuais [25].

Os circuitos lógicos SET podem apresentar lógicas distintas de funcionamento: o estado lógico por tensão, no qual sua caracterização é baseada nos níveis de tensão do circuito ou o estado lógico por carga, no qual os bits de informação são representados pela presença ou ausência de carga nos dispositivos [7]. Usualmente, àqueles que possuem topologias semelhantes às já conhecidas estruturas CMOS fazem uso da primeira abordagem.

Muitos circuitos mono-elétron já foram propostos na literatura [26-33]. A seguir, serão apresentados àqueles considerados mais relevantes para o presente trabalho.

2.2.1 Porta lógica Ou-Exclusivo

A porta “ou-exclusivo”, ou XOR – do inglês, *Exclusive Or Gate* – é aquela que implementa uma função lógica resultante da combinação entre as funções E, Ou e Negação (“Não”). Sua saída possuirá nível lógico alto sempre que apenas uma de suas entradas possuir também esse mesmo nível lógico. A tabela-verdade e o símbolo gráfico para essa porta, considerando que ela possui dois terminais de entrada, são apresentados na figura 2.11.

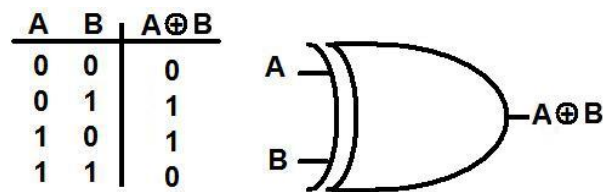


Figura 2.11. Tabela-verdade e símbolo correspondente para uma XOR de duas entradas.

Chen *et al.* propôs [30] um circuito capaz de operar como uma porta ou - exclusivo, cuja validação foi feita por simulações computacionais considerando uma temperatura de operação de 20 K. A topologia desse circuito, que será posteriormente utilizada nesse trabalho, é apresentada na figura 2.12. É importante notar que, na ilustração, as tensões V_B correspondem às polarizações.

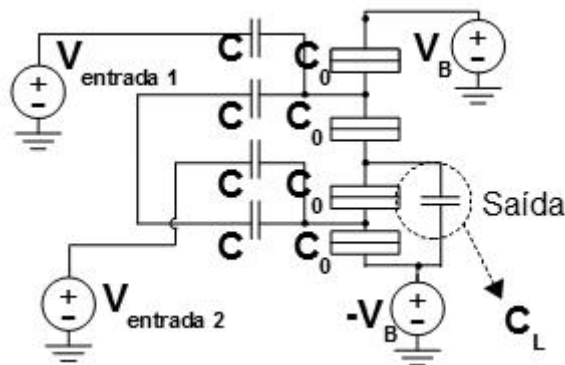


Figura 2.12. Porta ou - exclusivo mono-elétron proposta em [30].

O funcionamento do circuito, assim como se é esperado por se tratar de um circuito mono-elétron, é baseado no respeito ao Bloqueio de Coulomb ao longo da estrutura. Assim, a aplicação de tensões adequadas e correspondentes ao estado lógico 1, cujos valores serão apresentados posteriormente nesse trabalho, resulta em uma situação de bloqueio das

junções-túnel do circuito, implicando em uma saída correspondente ao estado lógico 0. O mesmo ocorre quando são aplicadas tensões correspondentes ao estado lógico 0 nas entradas do circuito. Nos demais casos, ao contrário, as junções-túnel conduzirão as cargas percebidas em suas entradas, implicando em saídas correspondentes ao estado lógico 1.

2.2.2 Latch SET-RESET

Os *latches* são circuitos de memória formados a partir da interconexão de portas lógicas, de forma que é possível armazenar informações e posteriormente recuperá-las. As duas variáveis (Q e \bar{Q}) de saída para esses circuitos assumem sempre valores lógicos opostos e o estado da variável Q é normalmente considerado como o estado de saída do circuito.

O *latch* SET-RESET (SR), em especial, é assim denominado devido à sua característica de setar – levar a saída do circuito para o nível lógico alto – e resetar – levar a saída do circuito para o nível lógico baixo. Em sua forma mais simples, este circuito não apresenta um relógio para determinar o sincronismo do mesmo, caso do circuito mono-elétron proposto por Lageweg *et al.* em [28]. A tabela-verdade do *latch*, sem a presença do relógio, é apresentada na figura 2.13, juntamente com o símbolo desse dispositivo. Vale lembrar que as entradas são denominadas SET e RESET, e ainda, quando a saída no instante $n+1$ (Q^{n+1}) for igual à saída no instante n (Q^n) dizemos que o circuito está em estado de espera.

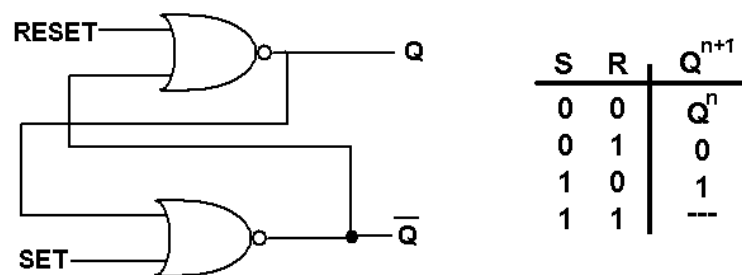


Figura 2.13. Tabela verdade de um *latch* SET-RESET assíncrono e seu símbolo.

Por sua vez, a figura 2.14 ilustra o circuito apresentado em [28], cuja proposta consiste na utilização de um circuito genérico juntamente com dois *buffers*/inversores. Sua validação foi feita através de simulações computacionais, considerando temperatura de operação

igual a 0 K, tensão associada ao nível alto igual a 16 mV e tensão 0 V para o nível lógico baixo. O menor valor de capacitância proposto para validação foi 0,1 aF.

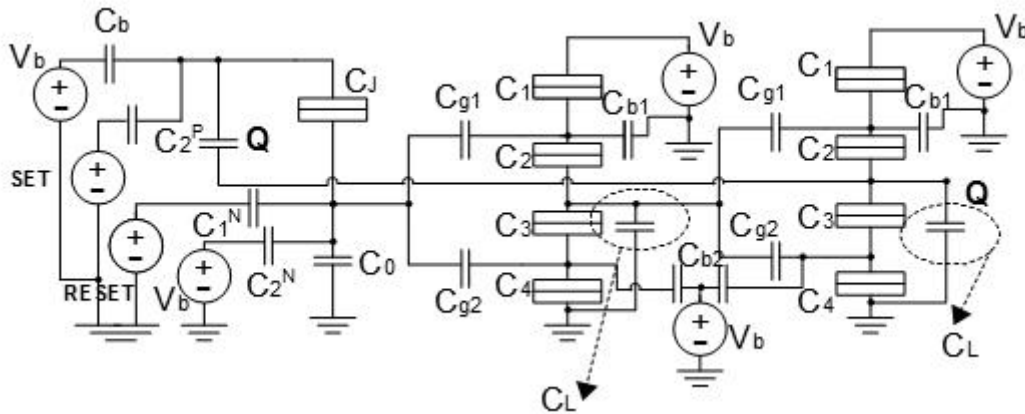


Figura 2.14. Circuito mono-elétron do *latch* SET-RESET sem relógio proposto em [28].

2.3 REDES NEURAIS

Redes neurais artificiais são ferramentas utilizadas para a síntese, projeto, fabricação, treinamento e análise de sistemas inspirados pelo cérebro, ou seja, neuromórficos. Os agrupamentos de elementos processadores neurais simples (neurônios) apresentam características como associação, tolerância a falhas e auto-organização [4,34]. Como aplicações das redes neurais podem ser citadas as memórias associativas, reconhecimento de padrões e programação linear ou não-linear.

Dentre os tipos de redes neurais competitivas, nas quais há uma competição entre as unidades de entrada para decidir quais delas serão ativadas, existem as redes denominadas *Winner-Take-All* (WTA) e redes de Hamming. Esta última é utilizada para identificar a semelhança máxima entre dados de entrada e sua estrutura é composta por duas camadas: camada de entrada e camada de saída *winner-take-all*.

Guimarães apresentou em [4] propostas de arquiteturas mono-elétron para essas redes neurais, sendo que esta última (rede de Hamming) será utilizada nesse trabalho. A figura 2.15 apresenta o circuito proposto, cuja validação foi feita através de simulações computacionais com temperatura igual a 300 K e menor valor de capacitância 0,009 aF.

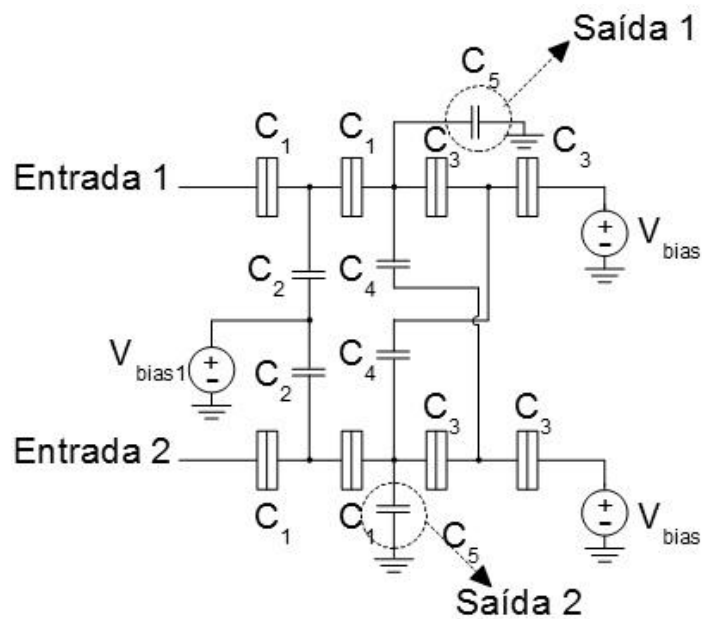


Figura 2.15. Neurônio de Hamming mono-elétron proposto em [4].

2.4 MEMÓRIAS ASSOCIATIVAS

As memórias associativas são aquelas que tentam reproduzir a capacidade humana de recuperar informações e reconhecer padrões em um meio impreciso [35,36]. Dessa forma, elas geralmente permitem a busca paralela por um dado de entrada entre dados armazenados em seu sistema. Essas memórias realizam funções generalizadas de uma memória endereçada por conteúdo, já que esta em sua definição mais restrita realizada apenas a busca por dados idênticos aos de entrada, não sendo capaz de identificar outros critérios de semelhança que possam possivelmente existir [37].

Os estudos de memórias associativas são motivados pela possibilidade de utilizá-las como soluções para o aumento do desempenho do circuito em termos de velocidade, já que menos tempo de processamento deverá ser necessário para a busca de certo dado, além da possibilidade de acessar certo dado através de seu conteúdo e não por seu endereço ou localização [38]. Dessa forma, diversas arquiteturas dessas memórias já foram propostas na literatura [39-45] para implementação física especialmente através da tecnologia CMOS.

Sistemas baseados em memórias associativas podem identificar padrões de busca através da distância entre os dados de entrada e os dados armazenados. Nesse sentido, é comum dizer que a distância mínima refere-se ao dado vencedor. Essas distâncias podem ser

obtidas através de diferentes considerações, como ocorre com as distâncias de Hamming, Manhattan e Euclidiana. Neste momento, especial atenção será dada às memórias associativas que empregam as distâncias de Hamming, como será apresentado a seguir.

2.4.1 Memória associativa baseada no cálculo da distância de Hamming

De maneira simplificada, pode-se dizer que a distância de Hamming é aquela dada pelo número de bits que diferem entre si entre a palavra binária de busca e uma palavra armazenada. Por exemplo, entre as palavras 10011 e 10101, a distância de Hamming entre elas é igual a 2 – existem 2 bits diferentes entre os dois dados. Assim, encontrar a palavra mais próxima à de entrada significa encontrar a palavra armazenada mais semelhante ao dado de referência. Mattausch *et al.* apresentou em [39] a arquitetura de uma memória associativa que faz uso desse conceito e que foi fabricada com tecnologia CMOS. O diagrama de blocos dessa arquitetura, utilizado também em diversos outros trabalhos [38, 40, 41, 42, 44] é apresentado na figura 2.16.

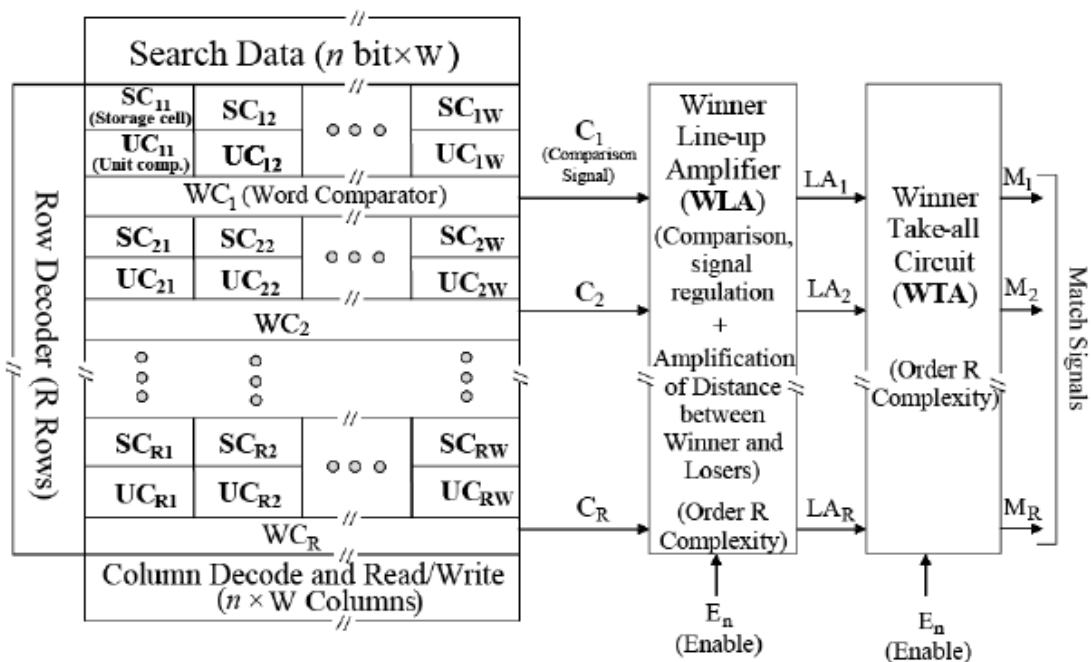


Figura 2.16. Diagrama de blocos da memória associativa com critério de busca pela distância de Hamming [39].

Na proposta de Mattausch [39], o bloco a esquerda corresponde à parte da memória, na qual são lidos e armazenados os padrões de busca. Por sua vez, os dois blocos a direita

correspondem aos circuitos de busca do vencedor, os quais amplificarão primeiramente os sinais de saída do circuito de memória para que posteriormente o vencedor seja identificado através da rede WTA.

O circuito de memória foi implementado fisicamente para palavras de dois bits na mesma linha através da utilização de 6 transistores para a composição de estruturas de memórias estáticas de acesso aleatório – SRAM, do inglês *Static Random Access Memory*. Além disso, foram utilizados outros transistores adicionais para desempenhar as funções lógicas da porta ou - exclusivo. Por sua vez, o circuito de amplificação – WLA, *Winner Line-up Amplifier* – foi obtido através da conexão de 7 transistores MOS e um capacitor por linha. O circuito WTA foi implementado com a utilização de 10 transistores por linha.

O chip de teste do circuito proposto foi fabricado através da tecnologia 0,6 μm CMOS, contendo 32 palavras de referência e 128 bits por palavra. A tabela 2.1 apresenta as características de fabricação dessa memória projetada.

Tabela 2.1. Características de fabricação da memória projetada por Mattausch et al.[39].

Descrição	Característica
Organização	32 linhas * 128 colunas = 4 kbit
Unidade de memória (1 Bit)	226 μm^2
Unidade de busca	
Critério de distância	Distância de Hamming
Área	0,224 mm^2 = 14,3% da Memória Associativa
Fonte de tensão	3,3 V
Potência Dissipada	< 260 mW
Número de chips fabricados	22 (19 funcionais)

2.5 MEMÓRIAS NANOELETRÔNICAS

Em trabalhos prévios, foram feitos estudos de dispositivos de memória em escalas nanométricas [46], dos quais resultaram propostas de memórias mono-elétron. Yamanaka *et al.* [47] propôs uma memória associativa estocástica concebida a partir da combinação de unidades SET com estruturas MOS e Degawa *et al.* [48.49] propôs uma memória endereçada por conteúdo constituída por estruturas híbridas SET-MOS. E ainda, Yano *et al.* [25] propôs uma memória mono-elétron na qual a informação pode ser processada e

recuperada através de circuitos SET-MOS. Todos os trabalhos anteriormente mencionados têm em comum o fato de que os circuitos propostos utilizaram estruturas híbridas, e não somente dispositivos nanoeletrônicos.

Além disso, Wasshuber *et al.* [31] apresentou exemplos de células de memória que podem ser individualmente utilizadas para armazenamento de dados em aplicações mais simples, enquanto Karafyllidis *et al.* [5] propôs uma memória RAM mono-elétron. Por fim, Carmo *et al.* [50] propôs uma memória associativa estocástica inteiramente projetada com dispositivos SET. As propostas desses trabalhos foram validadas em condições idéias de operação (temperatura de 0 K).

Por fim, Alencar [51] apresentou em seu trabalho uma memória mono-elétron endereçada por conteúdo capaz de operar em temperatura ambiente. Nessa proposta, o circuito é composto por blocos de memória – constituídos por *latches* –, por blocos comparadores – representados por portas XOR – e neurônios da rede WTA modificados. O seu diagrama de blocos é apresentado na figura 2.17. Vale lembrar que a validação desta arquitetura foi realizada através de simulações computacionais com avaliação do comportamento estático do circuito em temperatura ambiente.

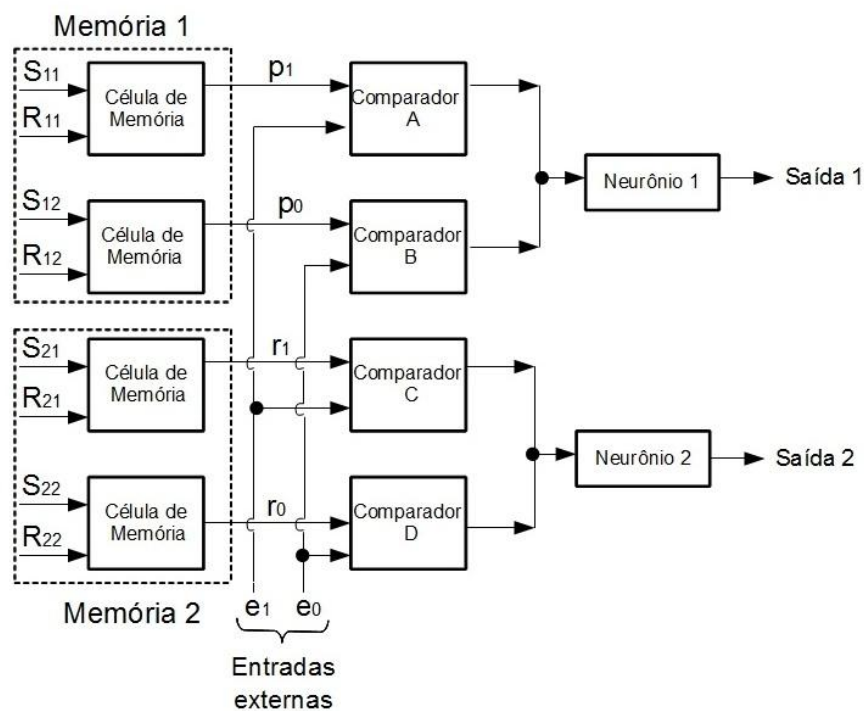


Figura 2.17. Diagrama de blocos da memória endereçada por conteúdo nanoeletrônica proposta em [51].

Em termos de fabricação, alguns trabalhos apresentam circuitos híbridos SET-MOS [49] e também circuitos nanoeletrônicos projetados com outra tecnologia que não baseada na utilização de transistores mono-elétron, caso dos pontos quânticos [52]. Além disso, é interessante considerar também que um processo de fabricação de transistores SET desenvolvido recentemente na Universidade de Sherbrooke, Canadá, [53,54] provou a viabilidade da operação de tais dispositivos em temperatura ambiente, e a extensão desse método para se obter a fabricação de memórias mono-elétron está em desenvolvimento [55].

2.6 AMPLIFICAÇÃO EM DISPOSITIVOS MONO-ELÉTRON

A amplificação em dispositivos SET é um dos fatores limitantes à sua aplicação em circuitos complexos, com operação em temperatura ambiente. O ganho desse circuito é proporcional à razão entre a sua capacitância de porta – representada por C_G na figura 2.5 em um transistor mono-elétron – e a capacitância de junção – representada pela capacitância equivalente de C_1 e C_2 na figura 2.5 em um transistor mono-elétron. Assim, considerando fixos os parâmetros de temperatura e capacitância de junção, o aumento na capacitância de porta resultará primeiramente no aumento do ganho de tensão do circuito, mas em um segundo momento no decréscimo do mesmo. Isso ocorre já que o aumento no ganho de tensão acontece somente até a energia de carregamento associada ao tunelamento atingir valores da mesma ordem que a energia térmica. Dessa forma, para cada valor de capacitância de junção e considerando a operação em certa temperatura, haverá um ganho máximo de tensão para o SET.

Esse comportamento é ilustrado na figura 2.18, na qual o ganho de tensão é função da capacitância de porta para diferentes valores de temperatura, e considerando a capacitância de junção constante e igual a 0,1 aF [56].

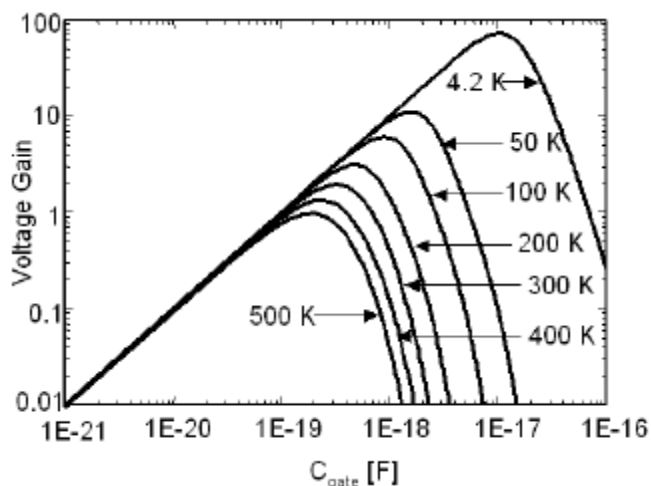


Figura 2.18. Ganho de tensão x capacitância de porta para um transistor SET em várias temperaturas de operação [56].

Conforme observado por Hadley *et al.* [56], a obtenção de ganhos maiores do que a unidade para operação em temperatura ambiente é bastante difícil. Alguns ganhos de tensão para certos valores de temperatura foram citados nesse mesmo trabalho e em outros [56, 57, 58]: ganho de 5,2 em 100 mK, 2,6 em 25 mK e ganho maior do que 1 em 140 mK.

2.6.1 Circuitos mono-elétron com ganho de amplificação

Na literatura, há propostas de circuitos s mono-elétron com ganho de amplificação, especialmente considerando a arquitetura de portas lógicas inversoras SET. As topologias propostas por Heij *et al.*[57], Lageweg *et al.*[26, 59] e Chen *et al.* [30] são apresentadas respectivamente nas figuras 2.19, 2.20 e 2.21. Posteriormente, a avaliação do desempenho desses circuitos será objeto de análise neste trabalho.

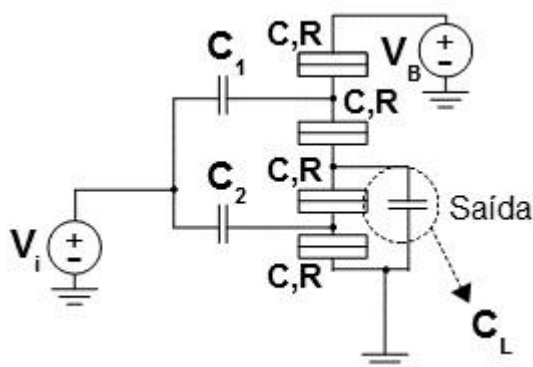


Figura 2.19. Circuito com ganho de amplificação SET proposto em [57].

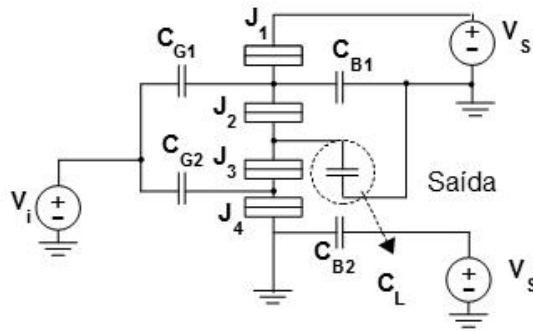


Figura 2.20. Circuito com ganho de amplificação SET proposto em [26,59].

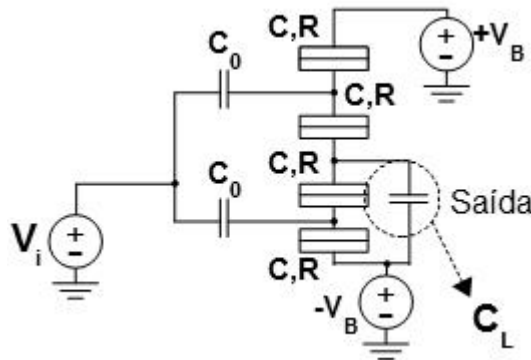


Figura 2.21. Circuito com ganho de amplificação SET proposto em [30].

2.7 DIAGRAMAS DE ESTABILIDADE

A partir da análise das equações que descrevem o funcionamento de um transistor mono-elétron e considerando as possibilidades de tunelamento ao longo desse dispositivo, é possível obter curvas de $V \times V_G$ (nomenclatura conforme a figura 2.5), denominadas diagramas de estabilidade de cargas ou diamantes de Coulomb. Neste diagrama, apresentado na figura 2.22, as regiões hachuradas correspondem a zonas de estabilidade, já que nelas o tunelamento não é possível, e assim, a carga na ilha permanecerá constante [7]. Tal fato já foi observado experimental, conforme apresenta Hadley *et al.* em [60].

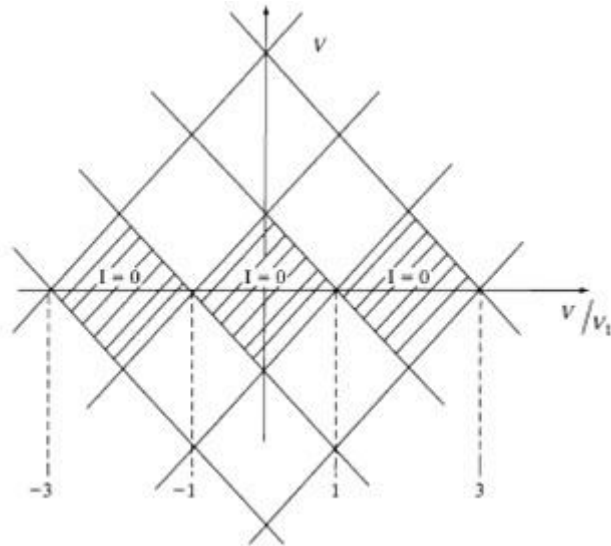


Figura 2.22. Diagrama de estabilidade de carga de um transistor mono-elétron [7].

Através do uso do simulador SIMON é possível obter o diagrama de estabilidade de um circuito SET com n entradas. Para isso, a energia livre do circuito é calculada em cada ponto desse diagrama e pontos correspondentes aos mínimos locais de energia, isto é, nos quais as combinações das tensões de entrada proíbem o tunelamento de elétrons, serão os pontos estáveis, coloridos com a cor branca. Por sua vez, os pontos de máximos locais de energia serão considerados instáveis e coloridos na cor preta [61]. As gradações de cores entre cinzas de tonalidades mais claras ou mais escuras também é utilizada para representar a diferenciação entre pontos mais ou menos estáveis. Dessa forma, o diagrama de estabilidade do circuito indicará se, para certa combinação de tensões de entrada, o circuito operará em uma região suficiente estável de modo a permitir seu adequado funcionamento.

2.8 SIMULADORES NANOELETRÔNICOS

A avaliação do desempenho de circuitos nanoeletrônicos é, na maioria das vezes, possível somente através de simulações computacionais, devido às limitações de fabricação hoje existentes. Para a simulação de circuitos mono-elétron, em especial, existem dois *softwares* comumente utilizados: SIMON e SECS.

O SIMON – *Simulation of nano-structures* – é um simulador baseado no Método de Monte Carlo, através do qual é possível realizar simulações de circuitos compostos por junções-túnel, capacitores, fontes de tensão e fontes de corrente ideais no modo transiente e em

estado estacionário. Neste método adotado, a simulação é iniciada com o cálculo das probabilidades de ocorrência de todos os eventos de tunelamento possíveis, a partir do qual será escolhido um aleatoriamente. Isto é feito várias vezes para simular o transporte de elétrons através de toda a rede. O modelo considera que os tunelamentos são eventos instantâneos e independentes entre si [62].

Essa ferramenta computacional permite que sejam ajustados parâmetros de simulação, como por exemplo, a temperatura, a ordem de co-tunelamento, o percentual de cargas de desvio presentes na simulação, entre outros. Sua interface gráfica é de fácil utilização (clique e arraste), apresentando, porém, algumas limitações que dificultam o trabalho do usuário, especialmente quando da utilização em simulação de circuitos complexos. Como limitação pode-se citar a dificuldade de se reproduzir estágios idênticos em um mesmo circuito – isso deve ser feito manualmente – e também a limitação da área de projeto, que não pode ser modificada. Além disso, o SIMON possibilita simular apenas circuitos SET, não sendo possível a simulação de circuitos híbridos, ou mesmo a compatibilização dos circuitos nele avaliados com ferramentas de simulação SPICE.

O SECS, por sua vez, é um simulador mais novo proposto para superar algumas limitações existentes nos demais programas [62, 63] e cujo método de simulação também utiliza Monte Carlo. Uma das maiores contribuições desse programa é a possibilidade de simular em intervalos de tempo atualizados o comportamento dos circuitos SET [64]. Dessa forma, é possível que seja feita a análise dinâmica do comportamento dos mesmos.

O projeto do circuito SET é feito através do ambiente OrCAD Capture, com a utilização de uma biblioteca de componentes desenvolvida especialmente com esse propósito – ela contém as junções-túnel, capacitores, fontes de tensão, entre outros. A simulação propriamente dita é feita utilizando o programa MATLAB [65] como plataforma de apoio ao SECS. Assim, como resultados das simulações podem ser fornecidos gráficos de energia, tensão, carga e corrente pelo tempo, enquanto os dados de simulação estiverem acessíveis ao usuário [64]. Ao contrário do SIMON, não é possível avaliar o comportamento do circuito com a presença de cargas de desvio ou ocorrência de co-tunelamento. A temperatura é um dos poucos parâmetros de simulação que pode ser ajustado.

3 METODOLOGIA

3.1 INTRODUÇÃO

Um dos desafios nas pesquisas em nanoeletrônica é explorar o comportamento quântico e resolver os problemas que hoje encontramos: a incerteza inerente ao seu próprio funcionamento, problemas de interconexão e como lidar com a enorme complexidade relacionada ao processo de projetar circuitos e sistemas nanoeletrônicos. As incertezas encontradas são frutos do comportamento probabilístico do dispositivo e para que ele funcione conforme o esperado deve-se garantir que o ruído térmico tenha efeito desprezível em seu comportamento. Na maioria das vezes, isso implica na sua operação em temperaturas muito baixas. Nesse sentido, o desafio futuro é que tais dispositivos operem em temperatura ambiente. Por sua vez, para que seja verdadeiramente possível a obtenção de circuitos SET, deve-se buscar também o projeto de arquiteturas que levem à utilização mínima de conexões globais entre os dispositivos, resultando, assim, em arquiteturas de processamento paralelo com memória distribuída [66].

Neste capítulo, será apresentada a metodologia utilizada para o projeto e validação da memória associativa nanoeletrônica proposta. Vale lembrar que alguns dos critérios desejáveis para memórias nanoeletrônicas são [5]:

1. Operação em temperatura ambiente.
2. Robustez contra cargas de desvio.
3. Baixo consumo de potência.
4. Possibilidade de fabricação.

O critério que será aqui considerado como o principal para a determinação do bom funcionamento do circuito é a operação em temperatura ambiente.

3.2 ASPECTOS GERAIS DO PROJETO DE CIRCUITOS E SISTEMAS SET

Três aspectos fundamentais devem ser considerados no projeto de circuitos e sistemas SET: a amplificação, a polarização e o acoplamento dos dispositivos [66]. Conforme já discutido anteriormente, a amplificação é necessária para compensar o aparecimento de ruídos e perdas, de forma a manter as funcionalidades básicas do dispositivo. Por sua vez, somente através da polarização do circuito é que será formada a etapa de pré-carregamento do mesmo, necessária ao seu bom funcionamento. Assim, ao aplicar níveis de tensões adequados nas entradas, o circuito responderá com as saídas esperadas.

Por fim, o projeto de arquiteturas complexas de circuitos SET geralmente é feito através do acoplamento de estruturas menores, tratadas como circuitos básicos. Para que o acoplamento seja bem-sucedido, deve-se considerar então que cada estrutura não pode influenciar consideravelmente o funcionamento da outra. E ainda, deve-se utilizar o mesmo sinal para transmitir a informação ao longo do circuito.

O fato de lidar com a passagem de um pequeno grupo de elétrons por vez aumenta a chance de se obter um acoplamento mal-sucedido, já que com o aumento da estrutura do circuito, mais parâmetros deverão ser controlados para se obter a passagem desse pequeno grupo de elétrons. Vale lembrar que a forma de transporte dessas partículas deverá ser o tunelamento. Portanto, como consequência, é esperado que muitos circuitos básicos operem isoladamente bem, mas que suas saídas assumam valores inesperados quando interconectados com outros circuitos.

3.3 ESTRATÉGIAS ADOTADAS

Buscando avaliar a possibilidade de circuitos mono-elétron comporem uma arquitetura complexa, com operação em temperatura ambiente, foi adotada uma estratégia hierárquica. Primeiramente, foram avaliados circuitos já conhecidos, que serão tratados como os circuitos básicos deste projeto, e posteriormente foi definida a arquitetura final a ser validada através da utilização dos SETs. Essas etapas são descritas a seguir.

3.3.1 Circuitos SET

Os circuitos mono-elétron básicos que serão utilizados neste trabalho, na grande maioria, portas lógicas, já tiveram suas funcionalidades avaliadas por Alencar em [51] – avaliação estática dos circuitos – a menos do amplificador. Para esse novo circuito, a metodologia adotada consistiu primeiramente na busca por arquiteturas já propostas na literatura para essa função [26, 30, 57, 59].

Em seguida, os desempenhos dos circuitos em temperatura ambiente foram avaliados através do SIMON. Caso a utilização dos parâmetros originalmente propostos não resultasse na simulação bem-sucedida em temperatura ambiente do circuito, eles eram ajustados visando à operação em $T=300\text{K}$. Vale lembrar que os ajustes dos parâmetros consistiram basicamente na modificação dos valores das capacitâncias dos capacitores e junções-túnel e também nos ajustes dos níveis de tensão utilizados no dispositivo.

O fluxograma apresentado na figura 3.1 representa a metodologia anteriormente descrita, evidenciando também as etapas utilizadas especificamente no ajuste dos parâmetros. É interessante mencionar ainda, que a capacitância denominada C_{LOAD} na figura 3.1 correspondente à capacitância de carga dos circuitos. Ela está presente em todos os circuitos mono-elétron apresentados no capítulo anterior, ora com a denominação C_L – figuras 2.12, 2.14, 2.19, 2.20 e 2.21 – e ora com a denominação C_5 – figura 2.15. Esse parâmetro exerce influência relevante no nível da tensão de saída do circuito e, portanto, seu valor é determinante no ajuste e interconexão dos circuitos.

Para cada um dos circuitos básicos escolhidos como componentes da arquitetura complexa do novo sistema SET que será proposto neste trabalho – *latch* SET-RESET, porta ou - exclusivo, neurônio e amplificador – foi realizada também a análise dinâmica do seu desempenho. Esta foi feita através da utilização do simulador SECS, com o qual é possível avaliar o desempenho do circuito para diferentes frequências de operação. Dessa forma, as frequências foram variadas até se obter o seu valor ótimo para cada circuito. A figura 3.2 apresenta os procedimentos necessários para simulação com o SECS.

Por fim, a estabilidade foi avaliada através dos diagramas fornecidos pelo SIMON. Assim, foi possível observar se certas combinações entre tensões de polarização e tensões de entrada resultavam na operação dos dispositivos em regiões estáveis.

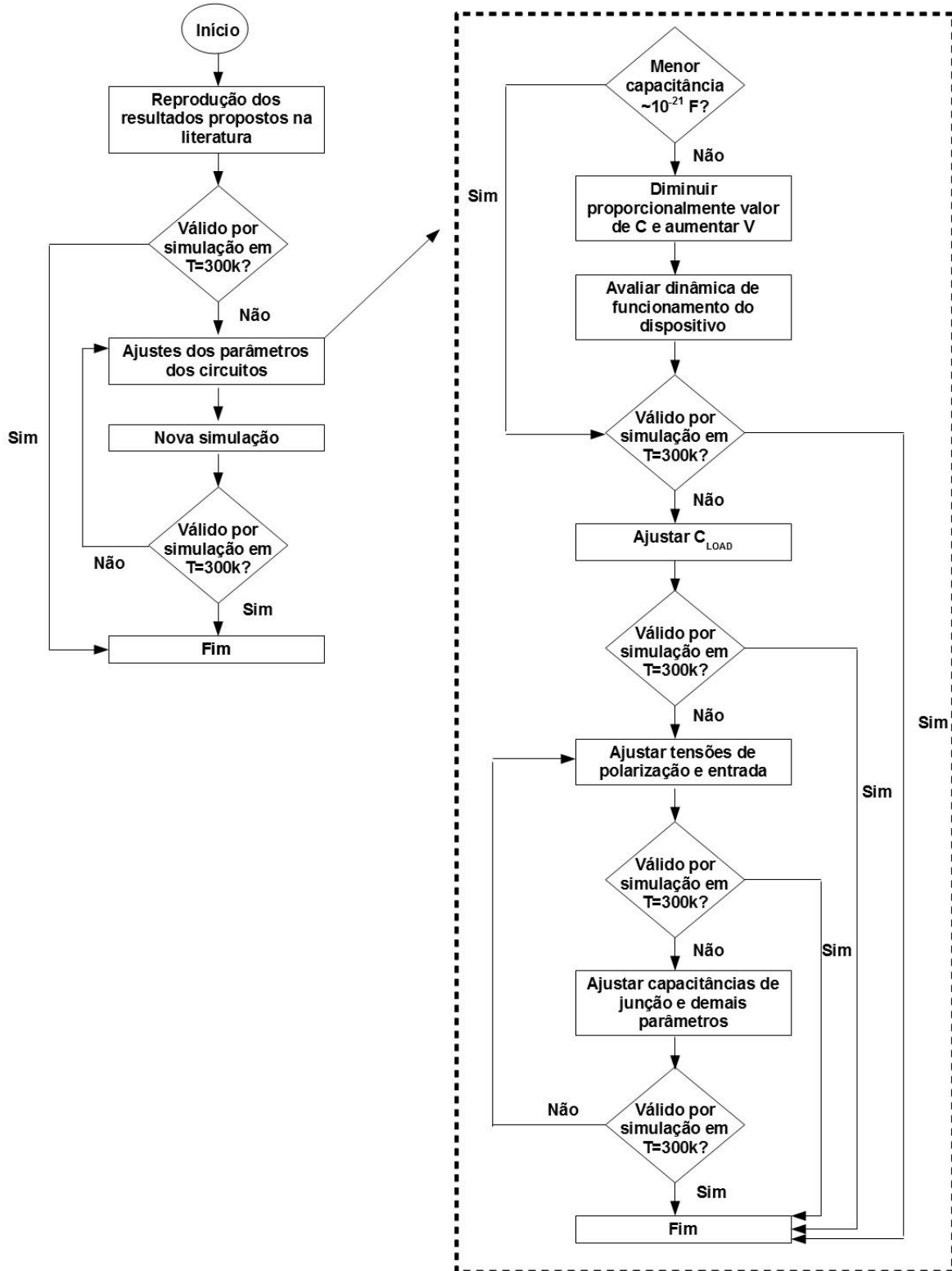


Figura 3.1. Metodologia utilizada para validação dos circuitos mono-elétron em T=300K.

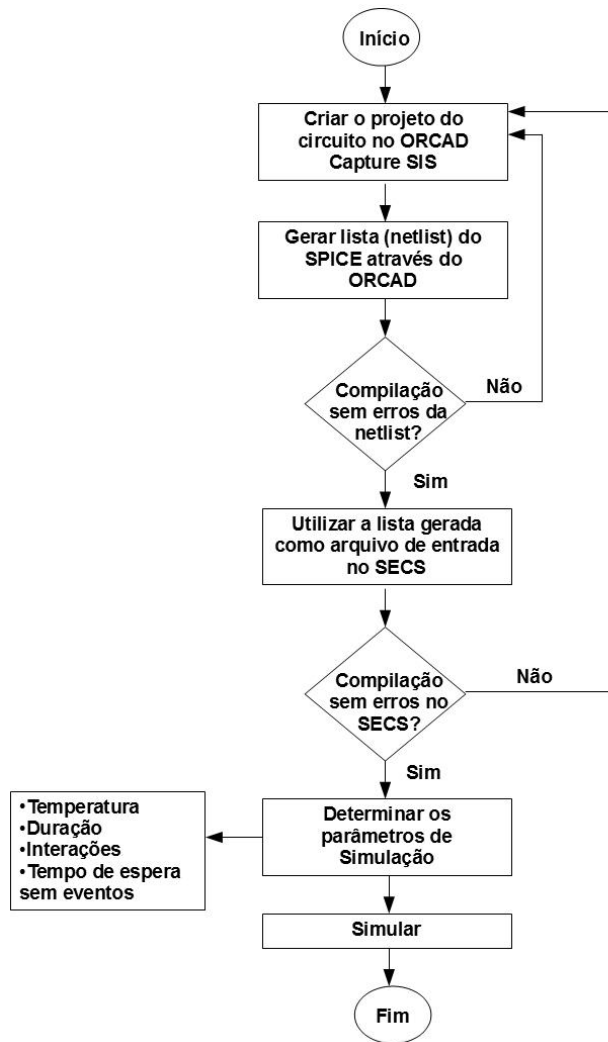


Figura 3.2. Procedimentos utilizados para realizar a simulação dinâmica através do SECS.

3.3.2 Sistema SET

O sistema mono-elétron que será proposto neste trabalho consiste em uma memória associativa capaz de armazenar palavras de dois bits. A sua concepção foi iniciada através da análise das possibilidades de utilização dos circuitos básicos mono-elétron para a obtenção de um circuito complexo de estrutura híbrida, analógico-digital. Assim, foi escolhida uma arquitetura já conhecida para uma memória associativa que serviu como modelo para o desenvolvimento desse trabalho. A arquitetura escolhida foi apresentada por Mattausch *et al.* em [39] e fabricada com tecnologia MOS.

Após a escolha da arquitetura a ser utilizada, os circuitos básicos foram interconectados de forma a compor a estrutura final do circuito. Conforme dito anteriormente, para que o

acoplamento dos circuitos mono-elétron seja bem sucedido, a influência entre eles deve ser minimizada. Assim, foram necessários ajustes adicionais nos parâmetros apresentados em [51]. Estes ajustes seguiram individualmente a mesma metodologia apresentada na figura 3.1, buscando, especificamente, adequar os níveis de tensão de saída às tensões de entrada dos circuitos subsequentes, conforme é apresentado na figura 3.3.

Por fim, o funcionamento do circuito foi avaliado a partir dos programas SIMON e SECS, que apresentaram seu comportamento estático e dinâmico. Através do SIMON, foi obtido também o diagrama de estabilidade do circuito proposto, cuja análise será apresentada posteriormente.

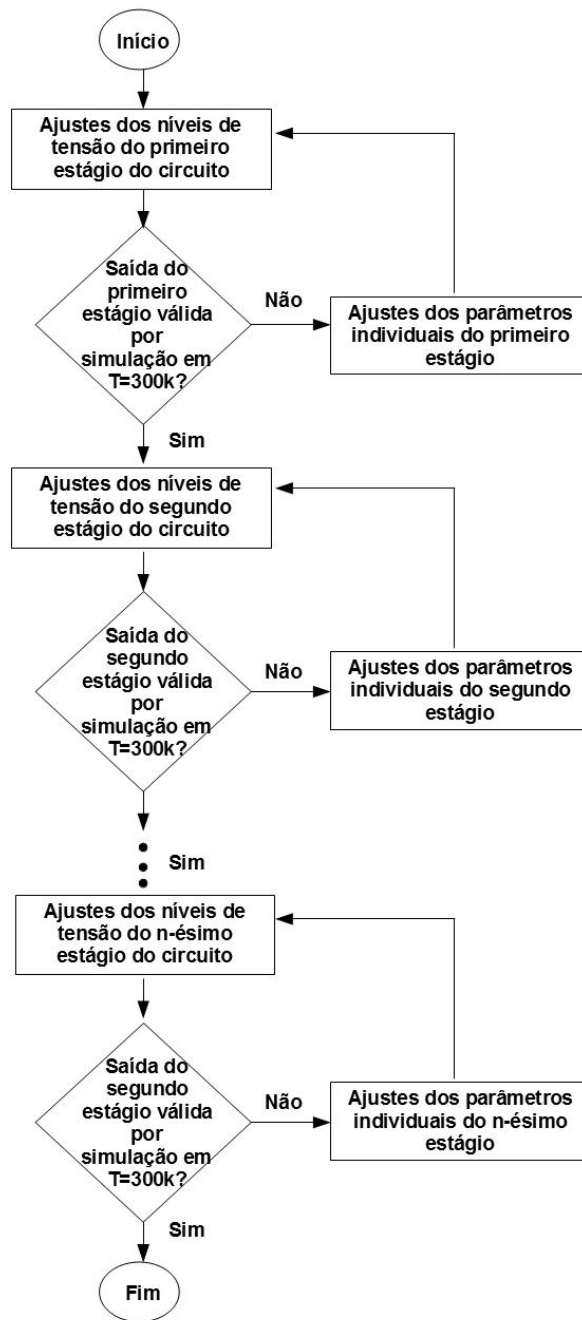


Figura 3.3. Metodologia utilizada para ajuste do circuito final, após a interconexão dos circuitos básicos.

4 BLOCOS BÁSICOS SET: RESULTADOS E ANÁLISES

4.1 INTRODUÇÃO

Neste capítulo, serão apresentadas primeiramente as propostas de circuitos mono-elétron que fornecem ganho existentes na literatura e a avaliação de seu desempenho em temperatura ambiente. Elas serão aqui denominadas conforme indicado a seguir:

1. *Buffer 1* : Proposta de Heij *et al.* em [57].
2. *Buffer 2* : Proposta de Lageweg *et al.* em [26].
3. *Buffer 3* : Proposta de Lageweg *et al.* em [59].
4. *Buffer 4* : Proposta de Chen *et al.* em [30].

Em seguida, serão apresentados o comportamento dinâmico e o diagrama de estabilidade para os circuitos anteriormente definidos como os blocos básicos SET deste trabalho.

Vale lembrar que os circuitos lógicos que serão apresentados utilizam como lógica de funcionamento o estado lógico por tensão. Dessa forma, os níveis lógicos do circuito – nível lógico alto (1) e nível lógico baixo (0) – são associados a certos níveis de tensão.

4.2 CIRCUITOS INVERSORES MONO-ELÉTRON COM GANHO (*BUFFERS*): ANÁLISE ESTÁTICA

Buscando a obtenção de um circuito mono-elétron com ganho de tensão cuja operação seja validada por simulação em temperatura ambiente, foram estudados quatro circuitos inversores com ganho já propostos na literatura. Conforme citado anteriormente, a obtenção de ganhos maiores do que a unidade para operação em $T=300K$ é bastante difícil em dispositivos SET [56]. Assim, além de se discutir a utilização de um *buffer* como célula básica para a implementação da arquitetura da memória associativa proposta, os resultados aqui apresentados objetivam também iniciar a análise sobre a utilização de circuitos mono-elétron como amplificadores. Vale lembrar que a análise estática dos comportamentos dos circuitos será efetuada a partir de simulações no SIMON.

4.2.1 Buffer 1

Em seu trabalho, Heij *et al.* propôs um circuito inversor formado a partir de dois transistores mono-elétron que forneceu ganho de tensão igual a 2,6 quando fabricado em temperatura de 25 mK. Os valores sugeridos para cada um de seus parâmetros, conforme nomenclatura apresentada na figura 2.19, são mostrados na tabela 4.1. A validação do circuito no SIMON conforme proposta apresentada e considerando $T=25$ mK não foi bem-sucedida e assim ajustes foram necessários para validar seu funcionamento.

Utilizando uma capacitância de carga (C_L) de 1,4 pF ao invés do valor originalmente proposto, foi possível validar o funcionamento do circuito em $T=0$ K. Nessa situação, foi verificado um ganho de tensão igual a 1,078. Os demais valores dos parâmetros foram mantidos os mesmos.

Tabela 4.1. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Heij *et al.*[57].

Parâmetro	Valor projetado
C_L	130 pF
C_1	800 aF
C_2	810 aF
C	280 aF
R	1,1 M Ω
V_i (nível lógico alto)	0,1 mV
V_i (nível lógico baixo)	0 V
V_B	0,1 mV

Visando a operação em temperatura ambiente, novos ajustes foram realizados seguindo a metodologia apresentada na figura 3.1. Dessa forma, foi validada a simulação em $T=300$ K, com ganho de tensão igual a 1,28. A tabela 4.2 apresenta os novos valores dos parâmetros utilizados e a figura 4.1 ilustra o comportamento do circuito nessa situação.

Tabela 4.2. Novos valores projetados de forma que o circuito fosse capaz de operar em temperatura ambiente.

Parâmetro	Valor projetado
C_L	0,11 aF
C_1	0,085 aF
C_2	0,085 aF
C	0,01 aF
R	0,1 M Ω
V_i (nível lógico alto)	1 V
V_i (nível lógico baixo)	0 V
V_B	1 V

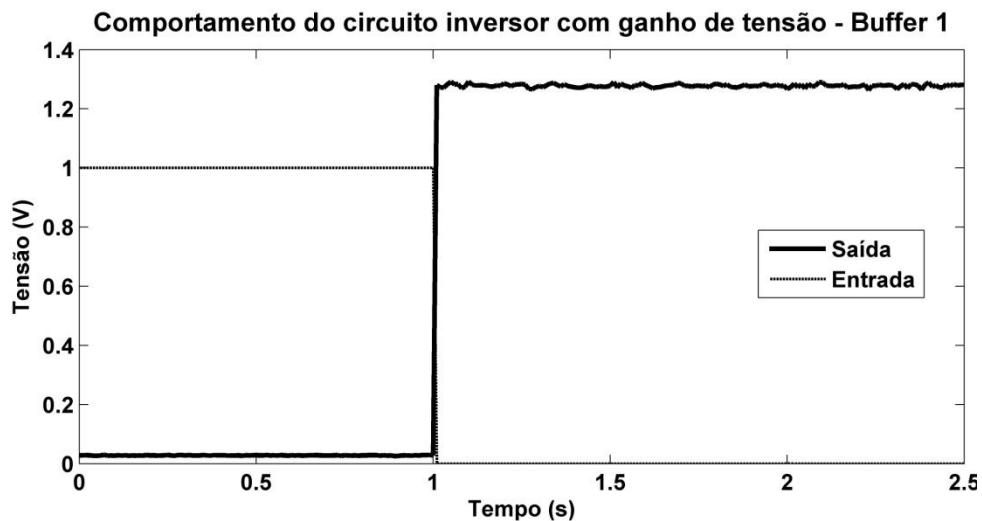


Figura 4.1. Simulação do *Buffer 1* no SIMON, com parâmetros ajustados e em temperatura ambiente.

Vale lembrar que o aparecimento de ruídos nas tensões de saída é provocado pelo alto valor da temperatura de simulação ($T=300K$). Nessa situação, a energia térmica possui valor considerável quando comparada à energia de carregamento associada ao tunelamento.

A robustez do circuito na presença de cargas de desvio também foi analisada. O valor máximo suportado por ele de modo a manter suas funcionalidades de amplificação em $T=300K$ foi alcançado com a introdução percentual de $\pm 4\%$ de cargas aleatórias. Para fins de comprovação desse resultado, as simulações no SIMON com a introdução dessas cargas

foram repetidas 10 vezes – a introdução aleatória de cargas no circuito pode gerar resultados falsos.

Na presente análise, é interessante ainda avaliar a característica de transferência do circuito representada pela curva tensão de entrada *versus* tensão de saída. Esse comportamento é especialmente utilizado quando se deseja caracterizar o funcionamento de circuitos amplificadores. Dessa forma, a figura 4.2 ilustra as características de transferência do *buffer* 1 considerando a simulação do circuito com os parâmetros originais em $T=0K$ e com os parâmetros ajustados em $T=300K$.

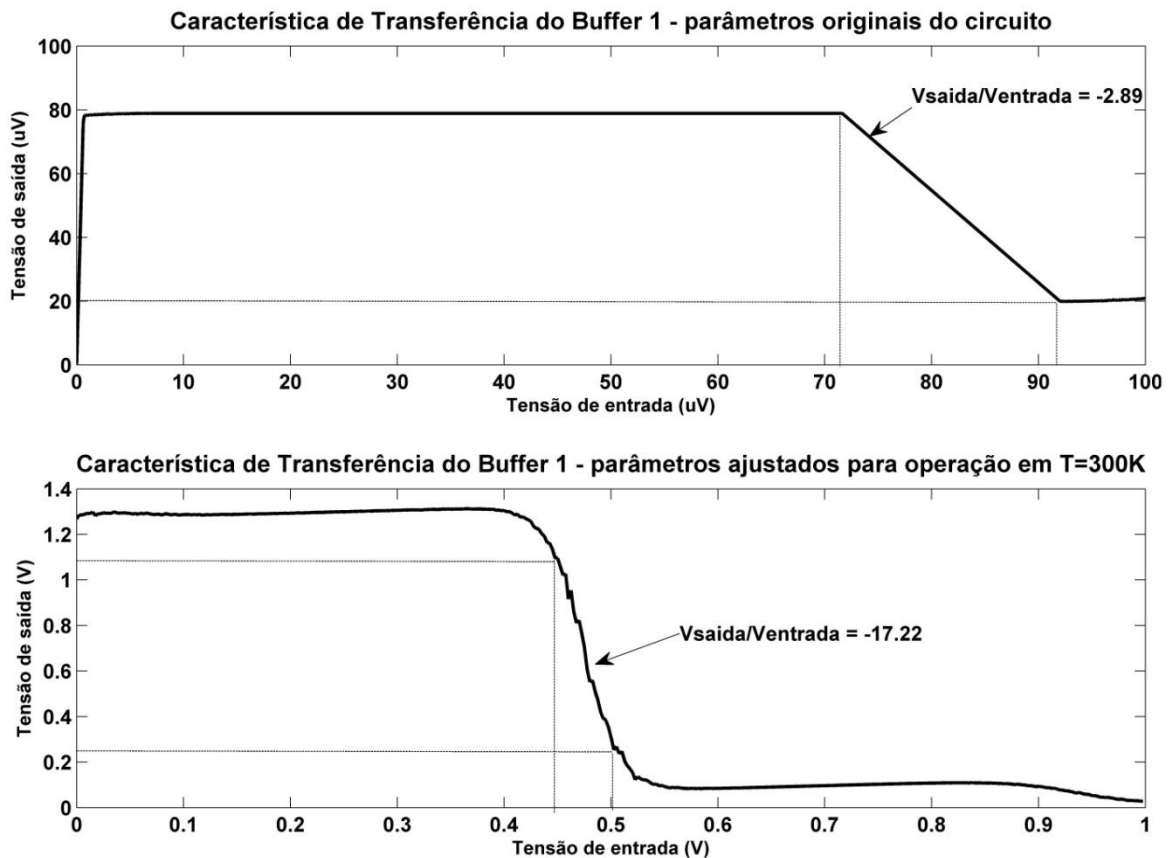


Figura 4.2. Característica de transferência do *Buffer* 1: parâmetros originais em $T=0K$ e parâmetros ajustados em $T=300K$.

A avaliação do comportamento do circuito pelas curvas de transferências indicou que o ajuste proposto para operação em temperatura ambiente resultou também no aumento na inclinação da curva no intervalo de maior ganho do circuito – entre as tensões de entrada 0,45 V e 0,5 V. Dessa forma, caso sejam utilizadas tensões de entrada com valores

pertencentes a esse intervalo de maior ganho, é possível se obter amplificação de tensão de até 17,22.

Por fim, é importante mencionar que os valores de tensão adotados na análise estática representada pela figura 4.1 foram escolhidos de forma a se utilizar valores próximos às tensões associadas aos estados lógicos 0 e 1 para os demais circuitos básicos mono-elétron que serão apresentados posteriormente nesse trabalho. Vale lembrar que a interconexão dos blocos básicos resultará na concepção final de uma memória associativa SET. Caso se desejasse utilizar o circuito *buffer* 1 isoladamente e com o propósito de se obter o maior ganho possível, as tensões de entrada 0 V e 1 V não seriam as opções mais adequadas. Nesse caso, seria recomendável se utilizar valores de entrada pertencentes ao intervalo de maior ganho de tensão.

4.2.2 *Buffer* 2

A proposta apresentada por Lageweg *et al.* em [26] também consistiu na obtenção de um *buffer*/inversor formado a partir de dois transistores mono-elétron, conforme configuração apresentada na figura 2.20. Essa arquitetura difere da proposta de Heij pela inclusão de um terminal de polarização e outras duas capacitâncias. No artigo, os valores sugeridos para os parâmetros dos circuitos foram dados em função de uma capacitância C base e, no caso das tensões, da relação entre a carga de um elétron e C , conforme é apresentado na tabela 4.3. Com a proposta apresentada, esperava-se obter um ganho de tensão para o circuito.

Fazendo a capacitância base $C=1$ aF, conforme proposto em [26] é possível validar o funcionamento do circuito em $T=0$ K utilizando o *software* SIMON. Nessa situação, o ganho de tensão obtido foi igual a 1,07. No entanto, com esses valores de projeto não é possível validar o funcionamento do circuito em $T=300$ K. Assim, foi utilizada a metodologia descrita para o ajuste dos parâmetros do circuito visando o seu funcionamento em temperatura ambiente e com o maior ganho possível. Como resultados desses ajustes foram obtidos os valores apresentados na tabela 4.4 para os parâmetros do circuito.

Tabela 4.3. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Lageweg et al.[26].

Parâmetro		Valor projetado
C _{G1}		0,5C
C _{G2}		0,5C
C _{B1}		2,4C
C _{B2}		2,75C
J ₁	R ₁	0,1 MΩ
	C ₁	0,1C
J ₂	R ₂	0,1 MΩ
	C ₂	0,5C
J ₃	R ₃	0,1 MΩ
	C ₃	0,5C
J ₄	R ₄	0,1 MΩ
	C ₄	0,1C
V _S		(1,55)*(Qe/C)
C _L		9C
Vi (nível lógico alto)		e/C
Vi (nível lógico baixo)		0

Tabela 4.4. Novos valores projetados de forma que o circuito fosse capaz de operar em temperatura ambiente e com o maior ganho alcançado.

Parâmetro		Valor projetado
C _{G1}		0,005 aF
C _{G2}		0,005 aF
C _{B1}		0,024 aF
C _{B2}		0,0265 aF
J ₁	R ₁	0,1 MΩ
	C ₁	0,001 aF
J ₂	R ₂	0,1 MΩ
	C ₂	0,005 aF
J ₃	R ₃	0,1 MΩ
	C ₃	0,005 aF
J ₄	R ₄	0,1 MΩ
	C ₄	0,001 aF
V _S		2,5 V
C _L		0,07 aF
Vi (nível lógico alto)		1,6 V
Vi (nível lógico baixo)		0 V

O funcionamento final do circuito com a utilização dos parâmetros da tabela 4.4 foi corretamente validado em temperatura ambiente e apresentou ganho de tensão igual a 1,32. A figura 4.3 apresenta as tensões de entrada e saída nessa situação.

Na presença de cargas de desvio, o circuito operou corretamente até o limite máximo de introdução de $\pm 3\%$ dessas cargas. Para fins de comprovação desse resultado, as simulações foram repetidas 10 vezes.

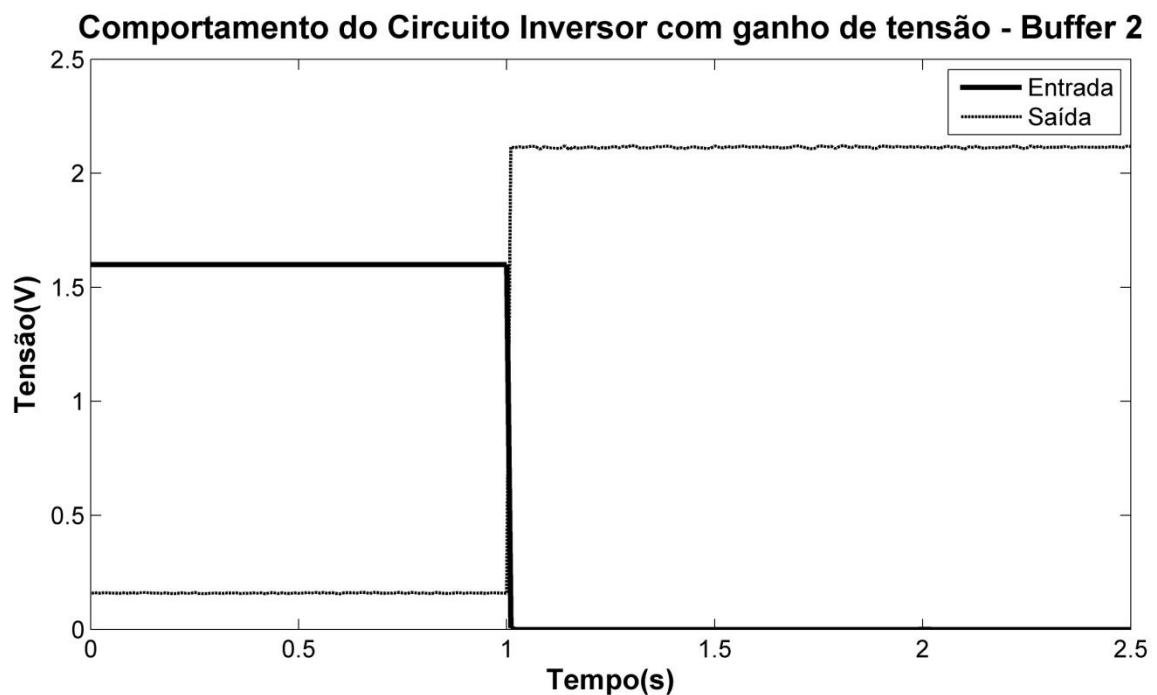


Figura 4.3. Simulação do *Buffer 2* no SIMON com os novos ajustes propostos em temperatura ambiente.

Da mesma forma realizada na análise do comportamento do *buffer 1*, a característica de transferência do circuito *buffer 2*, representada pelo gráfico da tensão de entrada *versus* tensão de saída, será avaliada a seguir. Para isso, deve-se considerar a curva apresentada na figura 4.4.

A curva de transferência em $T=300K$ explicita o fato de que o maior ganho do circuito após os ajustes dos parâmetros foi consideravelmente menor do que quando utilizados os parâmetros originais em $T=0K$. Este fato, no entanto, não invalida a proposta apresentada, já que conforme citado anteriormente, um dos principais critérios para a determinação do

bom funcionamento dos circuitos nesse trabalho será a possibilidade do mesmo operar em temperatura ambiente.

Além disso, as mesmas considerações feitas para o *buffer* 1 em relação às escolhas das tensões de entrada são válidas também para esse circuito: os valores foram escolhidos de forma a se utilizar valores próximos às tensões associadas aos estados lógicos 0 e 1 para os demais circuitos básicos mono-elétron que serão apresentados posteriormente nesse trabalho. Dessa forma, apesar de seu funcionamento em temperatura ambiente implicar em menores ganhos quando comparado ao *buffer* 1, para os níveis de tensão de interesse – 1 V e 1,6 V, correspondendo ao estado lógico 1 ou 0,7 V, 0 V e -1,6 V correspondendo ao estado lógico 0 – os dois circuitos (*buffer* 1 e *buffer* 2) oferecem ganhos de tensão próximos e um pouco maiores do que a unidade. Caso se desejasse a operação isolada desses circuitos, o *buffer* 1 seria considerado melhor ao *buffer* 2 em termos de desempenho.

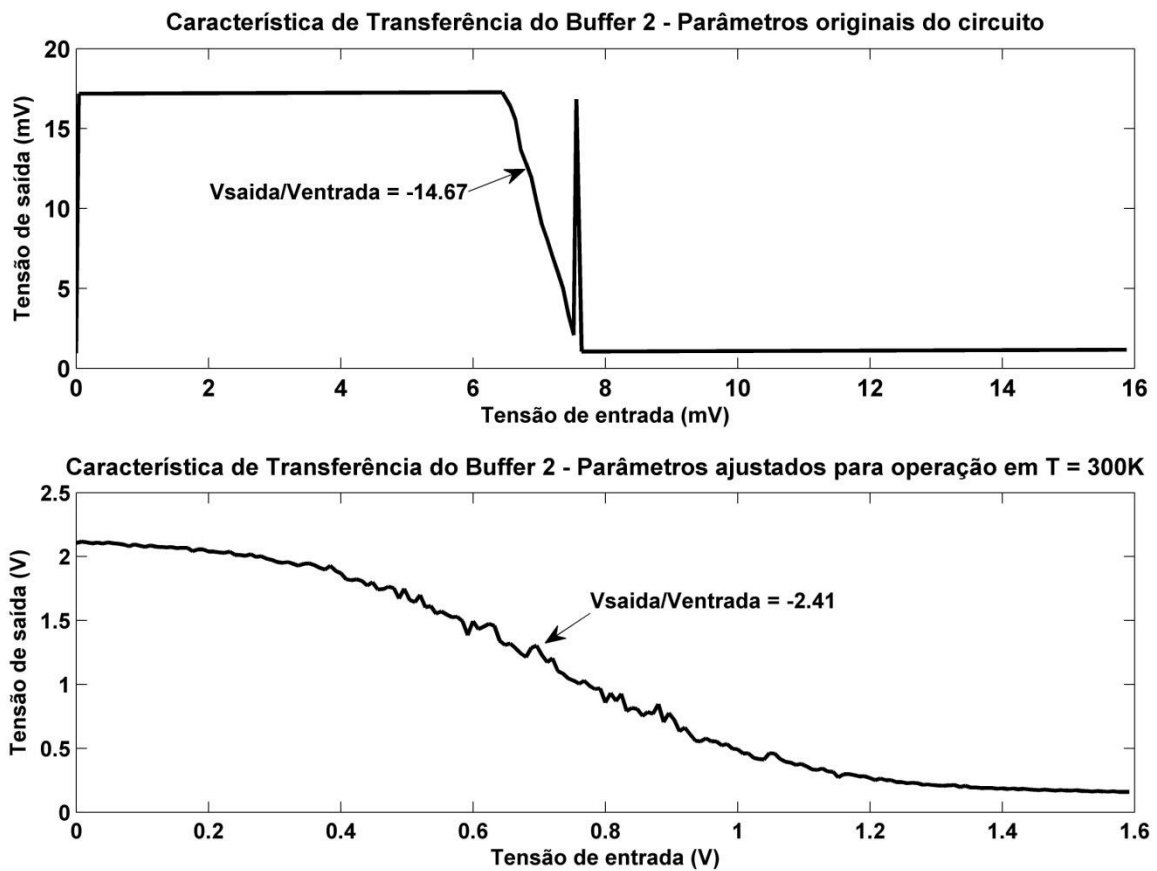


Figura 4.4. Característica de transferência do *Buffer* 2: parâmetros originais em $T=0K$ e parâmetros ajustados em $T=300K$.

4.2.3 Buffer 3

Utilizando a arquitetura apresentada na figura 2.20 e que correspondeu também á proposta do *buffer 2*, Lageweg *et al.* propôs em [59] o circuito que será aqui denominado *buffer 3*. Ele difere do *buffer 2* em relação aos valores projetados para cada parâmetro, cuja sugestão também foi feita em função de uma capacitância base C , conforme é apresentado na tabela 4.5.

Fazendo a capacitância base $C=1$ aF, conforme proposto em [59] é possível validar o comportamento do circuito como um inversor, sem ganho de amplificação em temperatura ambiente. Visando à obtenção da amplificação de tensão, adotou-se a metodologia apresentada na figura 3.1 para ajuste dos parâmetros. Dessa forma, utilizando como capacitância base $C=0,01$ aF e fazendo a capacitância de carga $C_L= 0,07$ aF, foi possível validar o funcionamento do circuito em $T=300$ K com ganho de tensão aproximadamente igual a 12,5%.

Tabela 4.5. Valores sugeridos para o circuito inversor com ganho de tensão proposto por Lageweg et al.[59].

Parâmetro		Valor projetado
$C_{G1}=C_{G2}$		0,5C
$C_{B1}=C_{B2}$		4,25C
J_1	R_1	0,1 M Ω
	C_1	0,1C
J_2	R_2	0,1 M Ω
	C_2	0,5C
J_3	R_3	0,1 M Ω
	C_3	0,5C
J_4	R_4	0,1 M Ω
	C_4	0,1C
V_S		(0,1)*(Qe/C)
C_L		9C
Vi (nível lógico alto)		e/C
Vi (nível lógico baixo)		0

A figura 4.5 apresenta o comportamento do circuito com os redimensionamentos citados anteriormente. Os ruídos na tensão de saída surgiram devido à alta temperatura de simulação considerada.

Na presença de cargas de desvio, o circuito operou corretamente até o limite máximo de introdução de $\pm 2,5\%$ dessas cargas. As simulações foram repetidas 10 vezes para fins de comprovação desse resultado.

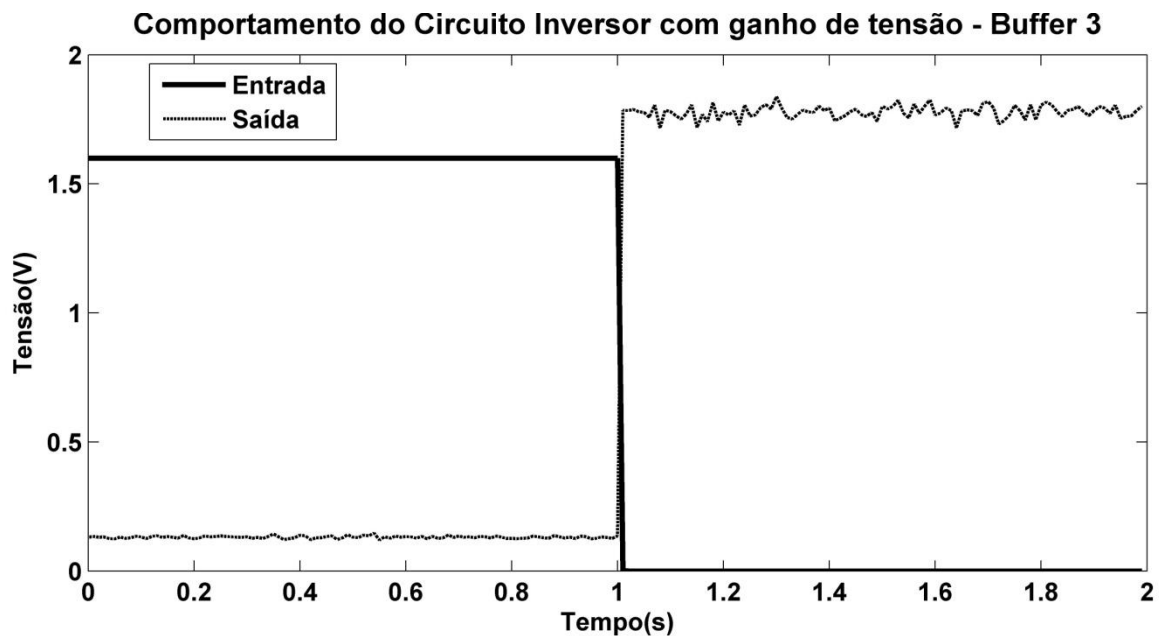


Figura 4.5. Simulação do *Buffer 3* no SIMON com os novos ajustes propostos em temperatura ambiente.

A curva característica de transferência do circuito *buffer 3* é apresentada na figura 4.6. A partir da sua observação, é possível concluir que, da mesma forma ocorrida para o *buffer 2*, o ajuste dos parâmetros para operação em temperatura ambiente implicou em redução no valor máximo de ganho do circuito. Além disso, tendo como referência o ganho de tensão do *buffer 2*, que possui os mesmos valores para as tensões de entrada correspondentes aos estados lógico 0 e 1 e que difere dessa proposta somente pelos valores dos demais parâmetros (capacitâncias e junções), o desempenho do circuito *buffer 3* foi inferior aos anteriormente analisados. Dessa forma, esse circuito não será aqui considerado para composição dos blocos básicos mono-elétron cujas utilizações resultarão na memória associativa proposta.

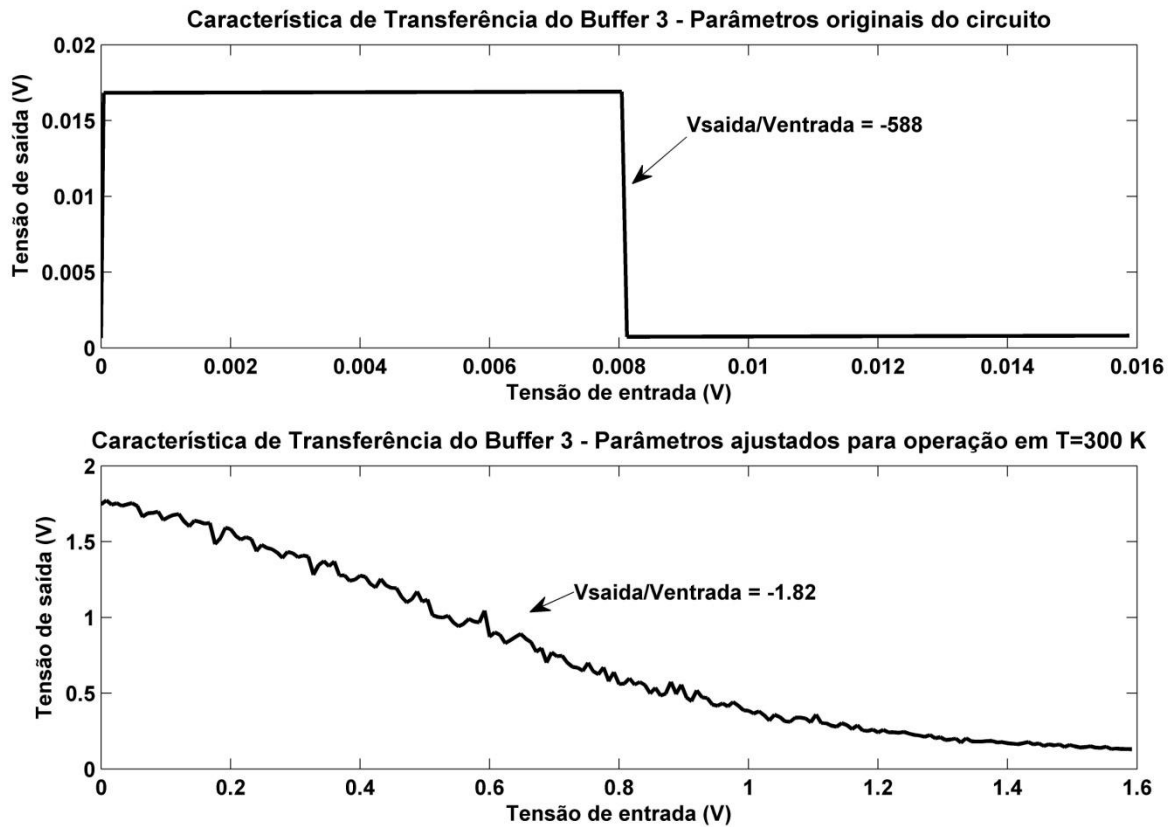


Figura 4.6. Característica de transferência do *Buffer* 3: parâmetros originais em T=0K e parâmetros ajustados em T=300K.

4.2.4 *Buffer* 4

O último circuito mono-elétron com ganho de amplificação que será avaliado corresponde à proposta de Chen *et al.* em [30], cuja arquitetura é apresentada na figura 2.21. As relações para determinação dos valores dos parâmetros propostos em [30] estão representadas na tabela 4.6. Esse circuito é semelhante ao *buffer* 1, a menos da introdução de uma tensão de polarização negativa.

Tabela 4.6. Relações propostas por Chen et al.[30] para o circuito buffer/inversor.

Parâmetro	Valor projetado
C_0	3C
V_i (nível lógico alto)	$(0,125)*(Qe/C)$
V_i (nível lógico baixo)	0
V_B	$+ (0,065)*(Qe/C)$
$-V_B$	$- (0,065)*(Qe/C)$

A partir das relações apresentadas na tabela 4.6, foram atribuídos valores iniciais para cada um dos parâmetros. Em seguida, utilizou-se a metodologia descrita no capítulo 3 para realizar os ajustes necessários, visando à operação do circuito em temperatura ambiente. Apesar de se ter conseguido validar o comportamento do circuito como um inversor, não foi possível ajustá-lo de forma a obter ganhos de tensão maiores do que a unidade. Ao contrário, foram observadas atenuações consideráveis do sinal, sem haver convergência dos parâmetros para valores ótimos, segundo a ótica adotada nesse trabalho – valores que possibilitem a simulação em $T=300\text{K}$. Dessa forma, seus resultados serão desconsiderados nesse trabalho.

4.3 CIRCUITOS BÁSICOS MONO-ELÉTRON: ANÁLISE DINÂMICA

Nesse trabalho, são denominados circuitos básicos mono-elétron aqueles que serão utilizados para a composição da nova memória associativa que será aqui proposta. Fazem parte desse agrupamento o *latch* SET-RESET, a porta lógica ou-exclusivo – ambos conforme ajustes feitos em [51] –, o neurônio de Hamming [4] e os circuitos *buffer* 1 [57] e *buffer* 2 [26], considerando os ajustes propostos para suas operações em temperatura ambiente.

A seguir, será feita pela primeira vez a análise dinâmica do comportamento de cada um desses circuitos a partir da qual foi possível determinar as suas frequências ótimas de operação. As simulações foram realizadas no simulador SECS.

4.3.1 *Latch* SET-RESET

Para a avaliação do comportamento dinâmico do *latch* SET-RESET, foram utilizados em sua maioria os valores ajustados em [51] para cada um dos parâmetros desse circuito. A mudança realizada consistiu em adotar como nível lógico baixo de entrada a tensão $-1,6\text{ V}$ ao invés de 0 V . Esse ajuste foi feito de forma a aumentar a diferença entre os níveis de tensão que correspondem aos estados 0 e 1 na saída do dispositivo. A tabela 4.7 apresenta os valores utilizados nas simulações.

Em seguida, após a realização dos procedimentos indicados na figura 3.2, foi iniciada a simulação do circuito utilizando o programa SECS. Primeiramente, foram utilizados valores de frequências nas fontes de tensão de entrada da ordem de MHz. Esse valor foi gradativamente aumentado até 25 GHz e o circuito continuou funcionando conforme o esperado. O aumento da frequência para valores acima de 25 GHz não foi avaliado, já que esse valor de operação é superior aos valores hoje praticados com a eletrônica convencional.

Tabela 4.7. Valores projetos para o funcionamento do latch SET-RESET em temperatura ambiente.

Parâmetro	Valor
Resistência de Junção	100 k Ω
C_1^P, C_2^P	0,005 aF
C_1^N, C_2^N	0,004 aF
C_J	0,001 aF
C_B	0,127 aF
C_{g1}, C_{g2}	0,005 aF
C_1, C_4	0,005 aF
C_2, C_3	0,001 aF
C_{b1}, C_{b2}	0,0425 aF
C_L	0,09 aF
C_0	0,086 aF
V_B	1,6 V
V_i (nível lógico alto)	1,6 V
V_i (nível lógico baixo)	-1,6 V

A tabela 4.8 apresenta os valores dos parâmetros de entrada da simulação para $f= 25$ GHZ. O número de interações é relacionado a cada evento de tunelamento e o tempo de espera sem eventos corresponde a um valor percentual da duração da simulação. É interessante notar que a escolha da duração da simulação foi feita de forma a se observar 2 períodos da tensão de saída.

Na figura 4.7 são mostradas as tensões de entrada SET e RESET do *latch*, que representam os estados lógicos da figura 2.13 para um período de observação (entre 0 e 40 ps ou entre 40 e 80 ps). Vale lembrar que para a combinação de entradas (0,0) e (1,1) idealmente o circuito deve operar em estado de espera, repetindo o estado anteriormente armazenado.

Por sua vez, a figura 4.8 apresenta a saída do *latch* fornecida como resultado da simulação no SECS.

Tabela 4.8. Parâmetros de entrada da simulação dinâmica do latch SR no simulador SECS.

Parâmetro	Valor adotado
Temperatura	300 K
Duração da simulação	80 ps
Interações	15
Tempo de espera sem eventos	0,005

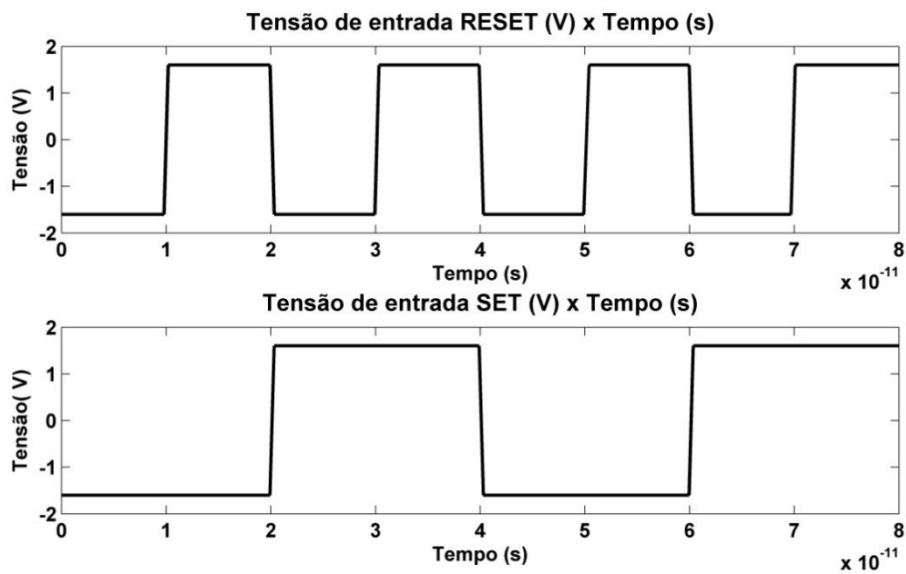


Figura 4.7. Tensões de entrada do latch SR para simulação no SECS.

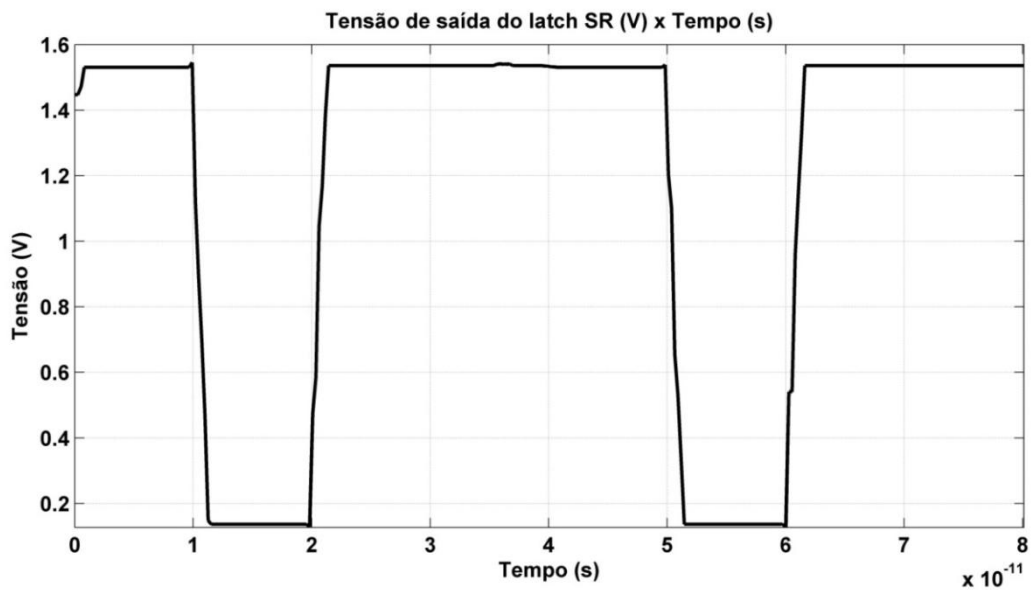


Figura 4.8. Tensão de saída do latch SR - simulação no SECS.

Para a melhor compreensão dos resultados da figura 4.8, é apresentada a tabela 4.9, que contém a dinâmica do funcionamento do circuito em função dos estados lógicos esperados para cada intervalo de tempo, considerando as tensões atribuídas às entradas. Assim, a partir da observação desta tabela, é confirmado o bom funcionamento do circuito com frequência de operação de 25 GHz e em temperatura ambiente. Nesta situação, a tensão correspondente ao nível lógico 1 foi aproximadamente 1,54 V, enquanto que a tensão correspondente ao nível lógico 0 foi aproximadamente 0,14 V.

Tabela 4.9. Tabela exemplificativa do comportamento do latch, segundo comportamento apresentado na simulação através do SECS.

ΔT (ps)	Entrada SET	Entrada RESET	Saída ($\Delta T-1$)	Saída (ΔT)	Estado
0-10	0	0	----	1	Espera (hold)
10-20	0	1	1	0	"Resetar"
20-30	1	0	0	1	"Setar"
30-40	1	1	1	1	Espera (hold)
40-50	0	0	1	1	Espera (hold)
50-60	0	1	1	0	"Resetar"
60-70	1	0	0	1	"Setar"
70-80	1	1	1	1	Espera (hold)

Nos circuitos lógicos digitais, o comportamento dinâmico é caracterizado pelos tempos de atraso temporal entre o chaveamento lógico dos níveis alto para baixo e vice-versa e a respectiva mudança na saída (tempo de comutação ou chaveamento) e também do tempo gasto pelo circuito para responder a uma informação fornecida em sua entrada (tempo de atraso de propagação). A partir da observação da figura 4.8 não é possível determinar o tempo de atraso de propagação do circuito, já que sua forma de onda apresentou valor positivo para a tensão de saída a partir do instante inicial de simulação ($t=0$).

No entanto, pode-se determinar que o tempo médio de descida apresentado – tempo que o circuito leva para ir do nível lógico 1 para o nível 0 – correspondeu a 1,48 ps. Por sua vez, o tempo médio de subida – tempo que o circuito leva para ir do nível lógico 0 para o nível 1 – foi igual a 1,52 ps. É sabido que os valores de atraso de comutação para circuitos da família lógica TTL e CMOS são da ordem de ns. Dessa forma, o menor atraso de

chaveamento apresentado para o *latch* mono-elétron pode representar uma vantagem competitiva em aplicações futuras desse dispositivo.

É interessante ainda comparar para fins de validação do comportamento do circuito as diferenças existentes entre as tensões de saída fornecidas nas simulações realizadas no SIMON e no SECS. Para tanto, é ilustrado nas figuras 4.9 e 4.10 um exemplo mais simples do comportamento estático do *latch* SET-RESET fornecido pelo SIMON. A figura 4.9 apresenta as tensões de entrada do circuito enquanto que a figura 4.10 apresenta a tensão de saída. Vale lembrar que os parâmetros utilizados para a simulação foram os mesmos contidos na tabela 4.7, e que a temperatura considerada foi $T=300\text{K}$.

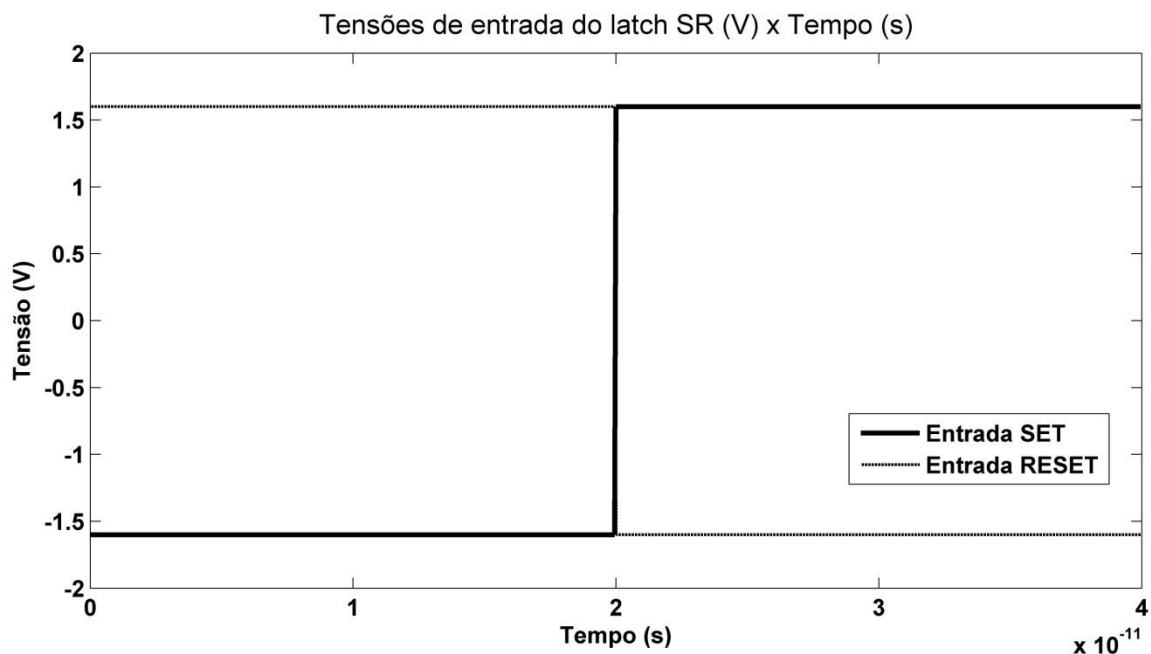


Figura 4.9. Tensões de entrada do latch SR para simulação no SIMON.

A partir da simulação do *latch* SR no SIMON é possível verificar que a tensão média correspondente ao nível lógico baixo (0) para o circuito foi 0,28 V, enquanto que o valor médio correspondente ao nível lógico alto (1) foi 1,42 V. Apesar de percentualmente a diferença entre os níveis de tensão para o estado 0 ser grande, a diferença absoluta desses valores não é representativa, já que ainda assim é possível diferenciar facilmente as tensões entre cada estado lógico, sem que os mesmos se confundam. Essas diferenças entre simulações são esperadas, pois apesar de ambos os programas utilizarem o método de Monte Carlo, cada qual apresenta particularidades em relação à estruturação de seus algoritmos e formas de cálculo.

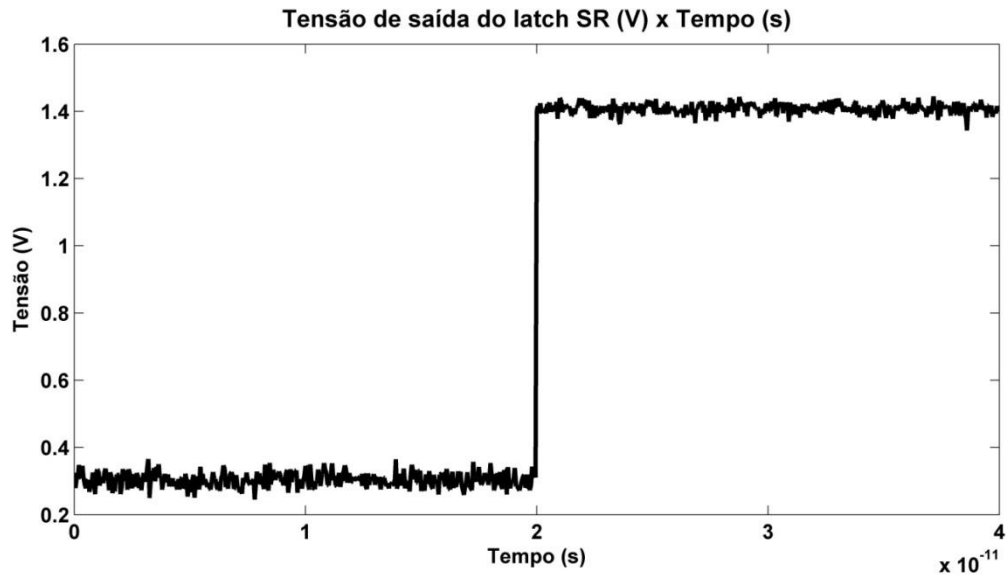


Figura 4.10. Tensões de saída do latch SR - simulação no SIMON.

4.3.2 Porta Ou-exclusivo (XOR)

Para a avaliação do comportamento dinâmico da porta ou-exclusivo mono-elétron, foram utilizados alguns dos valores ajustados em [51] para os parâmetros desse circuito e os demais valores foram redimensionados. As mudanças realizadas consistiram em adotar como nível lógico baixo de entrada a tensão 0,7 V ao invés de 0 V e para o nível lógico alto de entrada a tensão 1,6 V ao invés de 2 V. Além disso, às tensões de polarização V_B foram atribuídos diferentes valores e assim a tensão positiva V_B será agora denominada V_{B1} e a tensão negativa V_B será denominada V_{B2} . Por fim, a capacitância de carga C_L assumiu valor igual a 0,1 aF.

Esses ajustes foram motivados pelo interesse em se manter padrões próximos de tensão em relação a cada estado lógico entre os circuitos básicos sem, no entanto, prejudicar as funcionalidades esperadas para cada circuito. A tabela 4.10 apresenta os valores utilizados nas simulações.

Tabela 4.10. Valores projetos para o funcionamento da porta ou-exclusivo em temperatura ambiente.

Parâmetro	Valor
Resistência de Junção	100 k Ω
C ₀	0,03 aF
C	0,01 aF
C _L	0,1 aF
V _{entrada} (nível lógico alto)	1,6 V
V _{entrada} (nível lógico baixo)	0,7 V
V _{B1}	2,0 V
V _{B2}	-1,04 V

Os procedimentos indicados na figura 3.2 foram então realizados visando à obtenção do comportamento dinâmico do circuito através do programa SECS. Primeiramente, foram utilizados valores de frequências nas fontes de tensão de entrada da ordem de MHz. Esse valor foi gradativamente aumentado até 25 GHz e o circuito continuou funcionando conforme o esperado. O aumento da frequência para valores acima de 25 GHz não foi avaliado, conforme explicação apresentada anteriormente na análise do comportamento dinâmico do *latch* SET-RESET.

A figura 4.11 apresenta as tensões de entrada da XOR e a figura 4.12 ilustra a sua tensão de saída em T=300K e f=25GHz (menor frequência utilizada nas fontes de tensão). É importante mencionar que os parâmetros de entrada da simulação no SECS foram os mesmos apresentados na tabela 4.8.

Na saída da porta ou-exclusivo mono-elétron, será considerado que valores negativos de tensão equivalem a estados lógicos 0 e que valores positivos de tensão equivalem a estados lógicos 1. Dessa forma, o circuito mono-elétron apresentado possui funcionalidades de uma não-ou-exclusivo – NXOR, do inglês, *Exclusive Nor Gate*. Este fato não invalida a sua utilização em aplicações específicas, já que o comportamento obtido por simulação é complementar ao de uma porta XOR. Caso seja utilizado um circuito inversor em sua saída, os resultados serão equivalentes à saída de uma porta lógica ou-exclusivo.

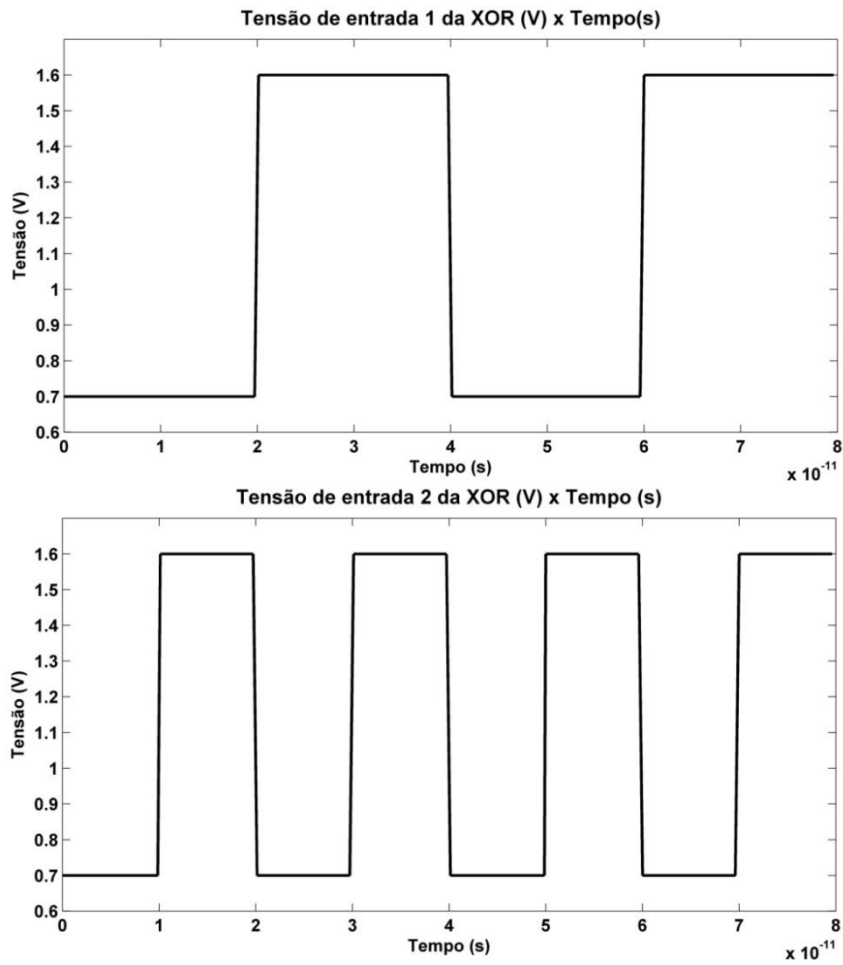


Figura 4.11. Tensões de entrada da XOR para simulação no SECS.

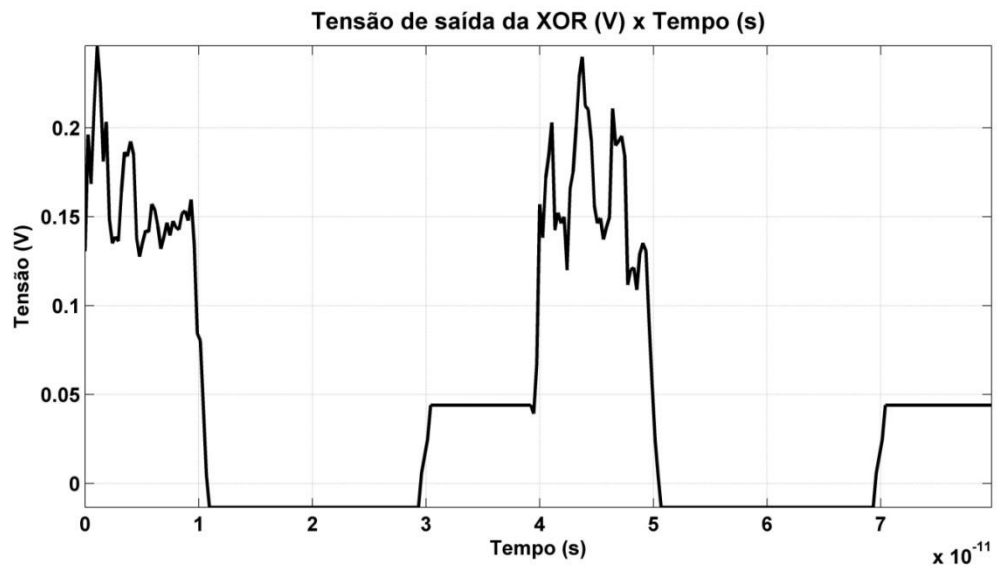


Figura 4.12. Tensões de saída da XOR - simulação no SECS.

Portanto, através de simulações do programa SECS foi possível validar o funcionamento da porta NXOR em temperatura ambiente. Vale lembrar que os ruídos apresentados na tensão de saída ocorrem devido ao alto valor da energia térmica na situação simulada quando comparado à energia de carregamento associada ao tunelamento. Este fato representa o compromisso que se deve ter ao operar um circuito mono-elétron em $T=300K$.

A caracterização dinâmica do comportamento do circuito será representada pelos seus atrasos de chaveamento, da mesma maneira considerada na análise do circuito *latch* mono-elétron. A partir da observação do comportamento ilustrado na figura 4.12 é possível determinar que o tempo de subida é igual a 1,07 ps e o tempo de descida é igual a 1,6 ps. Não é possível determinar o tempo de atraso de propagação do circuito, já que sua forma de onda apresentou valor positivo para a tensão de saída a partir do instante inicial de simulação ($t=0$). Assim, da mesma maneira ocorrida para o *latch* SR, os atrasos observados foram inferiores aos valores de atrasos de chaveamento típicos das famílias lógicas TTL e CMOS.

Por fim, é interessante comparar para fins de validação do comportamento do circuito as diferenças existentes entre as tensões de saída fornecidas nas simulações realizadas no SIMON e no SECS. Para tanto, é ilustrado nas figuras 4.13 e 4.14 o comportamento estático da porta anteriormente denominada ou-exclusivo fornecido pelo SIMON. A figura 4.13 apresenta as tensões de entrada do circuito enquanto que a figura 4.14 apresenta a tensão de saída. Vale lembrar que os parâmetros utilizados para a simulação foram os mesmos contidos na tabela 4.10, e que a temperatura considerada foi $T=300K$.

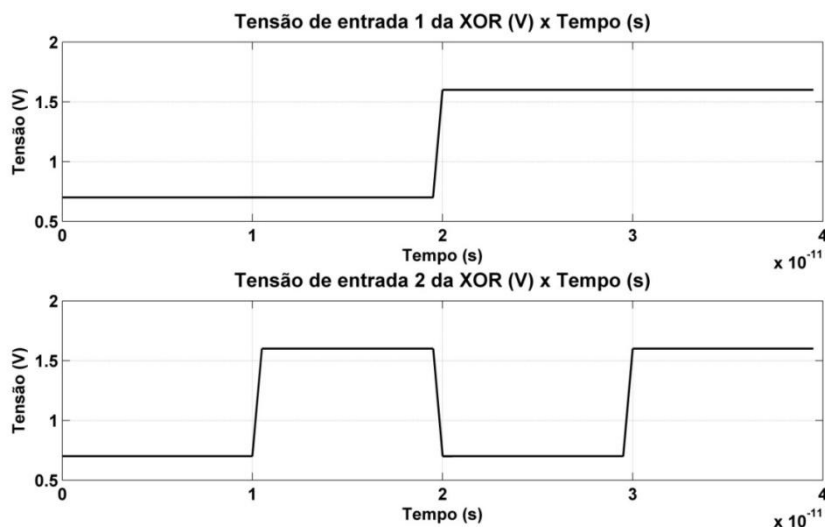


Figura 4.13. Tensões de entrada da XOR para simulação no SIMON.



Figura 4.14. Tensões de saída da XOR - simulação no SIMON.

Para melhor comparar os resultados apresentados nas simulações realizadas no SIMON e no SECS é apresentada a tabela 4.11, na qual são indicados os valores médios de tensão para cada intervalo no período observado de 40 ps. A partir dos resultados nela contidos, é confirmada a validação de ambas as simulações nos diferentes programas. A menos das tensões de saída no intervalo inicial (0-10 ps), os demais valores foram iguais quando consideramos as mesmas condições de entrada nos circuitos. Vale lembrar que a inexistência de diferenças no comportamento da tensão de saída na simulação estática e na dinâmica ocorre por se tratar de um circuito digital. Dessa forma, o efeito perceptível da frequência limita-se aos atrasos observados na operação do circuito.

Tabela 4.11. Tensões médias de saída para as simulações da XOR no SECS e no SIMON.

ΔT (ps)	Entrada 1	Entrada 2	Saída (ΔT)	Tensão média de Saída SECS (ΔT)	Tensão média de Saída SIMON (ΔT)
0-10	0	0	1	0,16 V	0,22 V
10-20	0	1	0	-0,01 V	-0,01 V
20-30	1	0	0	0,04 V	0,04 V
30-40	1	1	1	-0,01 V	-0,01 V

4.3.3 Circuitos mono-elétron com ganho de amplificação (*Buffers*)

Dentre os circuitos que fornecem ganhos de amplificação, serão considerados componentes do bloco de circuitos básicos mono-elétron as propostas representadas pelo *buffer 1* e *buffer 2*. A escolha desses circuitos foi motivada pela combinação entre maior ganho de tensão, considerando os ganhos fornecidos para valores de entrada próximos às entradas dos demais circuitos básicos aqui denominados, e complexidade do circuito. A relevância desse último critério foi minimizada, tendo em vista que as duas propostas diferem entre si pela utilização de um terminal de porta e duas capacitâncias.

4.3.3.1 *Buffer 1*

A avaliação do comportamento dinâmico do circuito *buffer 1* foi realizada através da simulação no programa SECS com os parâmetros apresentados nas tabelas 4.2 e 4.8 e considerando as etapas indicadas na figura 3.2. Dessa forma, foram utilizados primeiramente valores de frequências na fonte de tensão de entrada da ordem de MHz. Esse valor foi gradativamente aumentado até 50 GHz e o circuito continuou funcionando conforme o esperado. O aumento da frequência para valores acima de 50 GHz não foi avaliado, conforme observações anteriormente feitas. A figura 4.15 apresenta as tensões de entrada e saída do circuito *buffer 1* em $T=300\text{K}$ e $f=50\text{GHz}$.

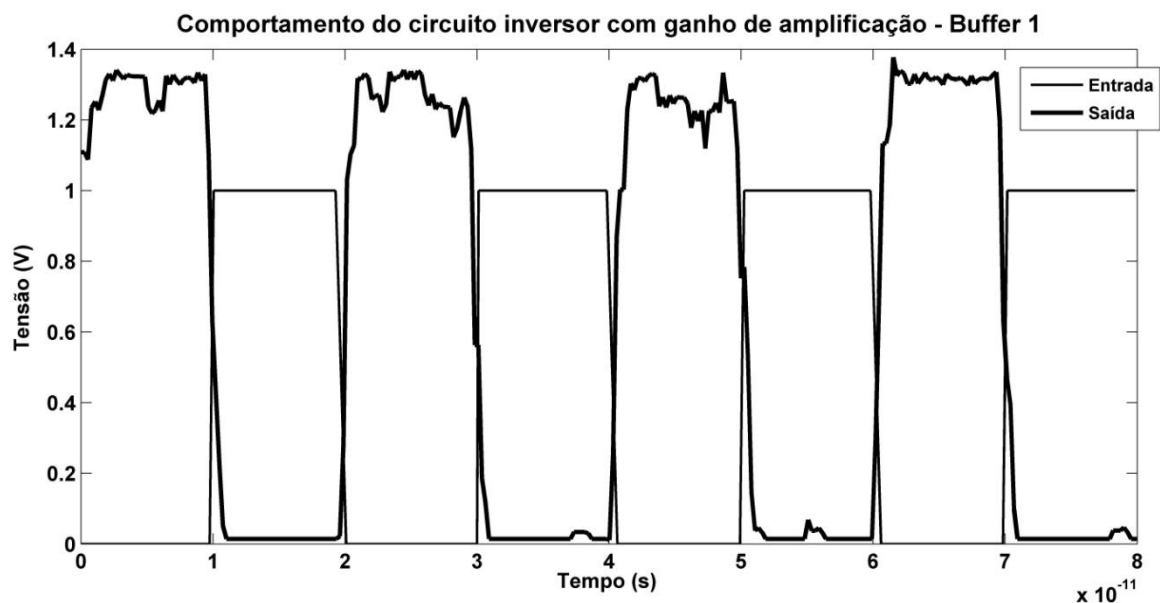


Figura 4.15. Simulação do circuito *buffer 1* no SECS – entrada e saída em $T = 300\text{K}$ e $f = 50\text{GHz}$.

Por se tratar de um circuito lógico digital, seu comportamento dinâmico será caracterizado pelos atrasos de propagação e chaveamento, conforme apresentado anteriormente para os demais circuitos básicos. A partir da observação da figura 4.15 não é possível determinar o atraso de propagação, já que o circuito responde à tensão de entrada no instante inicial ($t=0$). Por sua vez, pode-se determinar que o tempo de descida equivale a 1,95 ps e o tempo de subida é aproximadamente igual a 1,62 ps. Esses atrasos são inferiores aos valores de atrasos de chaveamento típicos das famílias lógicas TTL e CMOS, o que indica uma possibilidade de vantagem comparativa às suas futuras aplicações em circuitos eletrônicos.

Para fins de validação do comportamento do circuito, é possível comparar as diferenças existentes entre as tensões de saída fornecidas nas simulações realizadas no SIMON e no SECS, ilustradas nas figuras 4.1 e 4.15, respectivamente. Na simulação estática, a tensão correspondente ao estado lógico 0 foi igual a 0,03 V e a tensão correspondente ao estado lógico 1 foi 1,28 V. Por sua vez, na simulação dinâmica, a tensão correspondente ao estado lógico 0 foi igual a 0,01 V e a tensão correspondente ao estado lógico 1 foi em média igual a 1,3 V. E ainda, o ganho obtido na simulação com $T= 300$ K e $f =50$ GHz foi aproximadamente igual a 1,3. Dessa forma, foi confirmado o bom comportamento estático e dinâmico do circuito com os ajustes anteriormente propostos através da utilização de dois simuladores de dispositivos SET distintos.

4.3.3.2 *Buffer 2*

Para a avaliação do comportamento dinâmico do circuito denominado *buffer 2*, foram utilizados os valores apresentados na tabela 4.4 para os parâmetros do circuito e os mesmos procedimentos descritos na análise dinâmica do *buffer 1*. Dessa forma, seu comportamento foi analisado até a frequência máxima de 50 GHz e operação em temperatura ambiente. A figura 4.16 apresenta as tensões de entrada e saída nessa situação. É importante mencionar que os parâmetros de entrada da simulação no SECS foram os mesmos apresentados na tabela 4.8.

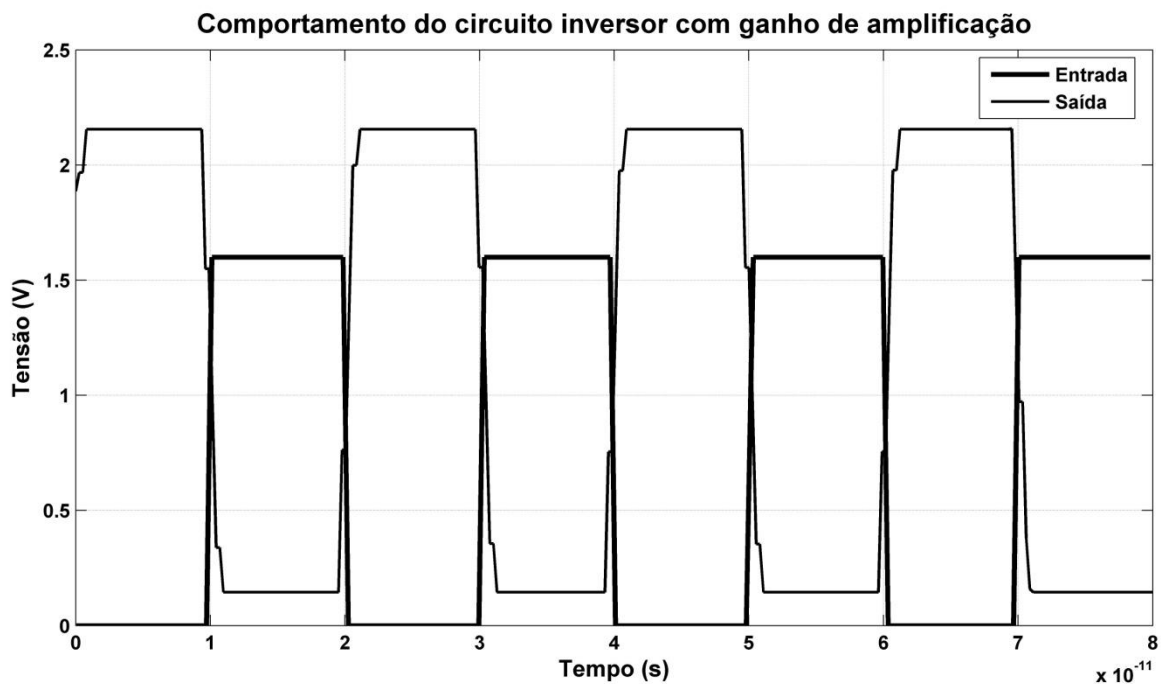


Figura 4.16. Simulação do circuito *buffer 2* no SECS – entrada e saída em $T= 300\text{K}$ e $f = 50\text{ GHz}$.

Por se tratar de um circuito lógico digital, seu comportamento dinâmico também será caracterizado pelos atrasos de propagação e chaveamento, conforme apresentado anteriormente. A partir da observação da figura 4.16 não é possível determinar o atraso de propagação, já que o circuito responde à tensão de entrada no instante inicial ($t=0$). Por sua vez, é possível determinar que o tempo de descida equivale a 1,83 ps e o tempo de subida é aproximadamente igual a 1,69 ps. Esses atrasos são inferiores aos valores de atrasos de chaveamento típicos das famílias lógicas TTL e CMOS, o que indica uma possibilidade de vantagem comparativa às suas futuras aplicações em circuitos eletrônicos.

A comparação entre as tensões de saída fornecidas nas simulações realizadas no SIMON e no SECS e ilustradas nas figuras 4.3 e 4.16, respectivamente, é interessante para validar o comportamento do circuito. Na simulação estática, a tensão correspondente ao estado lógico 0 foi igual a 0,16 V e a tensão correspondente ao estado lógico 1 foi 2,12 V. Por sua vez, na simulação dinâmica, a tensão correspondente ao estado lógico 0 foi igual a 0,15 V e a tensão correspondente ao estado lógico 1 foi 2,16 V. Dessa forma, foi confirmado o bom comportamento estático e dinâmico do circuito com os ajustes anteriormente propostos através da utilização de dois simuladores de dispositivos SET distintos.

4.3.4 Neurônios

A avaliação do comportamento dinâmico dos neurônios de Hamming mono-elétron propostos em [4] será feita a partir da utilização dos valores ajustados em [51] e apresentados na tabela 4.12 para os parâmetros do circuito. Vale lembrar que em sua proposta original, esse circuito já era capaz de operar corretamente por simulação em temperatura ambiente. No entanto, os redimensionamentos feitos posteriormente em [51] possibilitaram a maior excursão do sinal de entrada em intervalos de tensões próximos aos utilizados nas entradas dos demais circuitos básicos SET.

Tabela 4.12. Valores projetos para o funcionamento dos neurônios de Hamming mono-elétron em temperatura ambiente.

Parâmetro	Valor
Resistência de junção	100 k Ω
C ₁	1 aF
C ₂	1 aF
C ₃	0.01 aF
C ₄	0.009 aF
C ₅	100 aF
V _{bias}	-0.7 V
V _{bias1}	0.16 V

Por se tratar da simulação de um circuito analógico, é sabido que o seu comportamento dinâmico será caracterizado em termos da sua resposta em frequência que, por sua vez, é dependente da constante de tempo RC. Dessa forma, buscou-se identificar nas simulações qual era o valor ótimo de frequência para a operação do circuito, acima do qual o efeito de carregamento esperado pela presença de capacitores causaria distorções consideráveis nas tensões de saída do circuito.

As simulações no SECS foram então iniciadas com a utilização de fontes de tensão de frequências da ordem de MHz e parâmetros de entrada do simulador conforme apresentado na tabela 4.13. As frequências foram aumentadas até 2 GHz, situação na qual o circuito manteve suas funcionalidades esperadas. Para valores acima desse limite, as distorções das tensões de saída foram cada vez mais evidenciadas, prejudicando o

funcionamento do circuito, e, portanto, 2 GHz foi considerada a frequência ótima de operação.

Tabela 4.13. Parâmetros de entrada da simulação dinâmica do neurônios de Hamming no simulador SECS.

Parâmetro	Valor adotado
Temperatura	300 K
Duração da simulação	1 ns
Interações	3
Tempo de espera sem eventos	0,01

As tensões de entrada do circuito para $T=300$ K e $f= 2$ GHz são apresentadas na figura 4.17 e as tensões de saída dos neurônios nessa situação são apresentadas na figura 4.18. No apêndice A são ilustradas as tensões de entrada e saída para as simulações realizadas em temperatura ambiente e com frequências de operação iguais a 1 GHz (figuras A.1 e A.2) e 12,5 GHz (figuras A.3 e A.4).

A simulação estática do neurônio foi realizada a partir do SIMON e as tensões de entrada e saída para o circuito conforme ajustes apresentados na tabela 4.12 são ilustradas nas figuras 4.19 e 4.20, respectivamente.

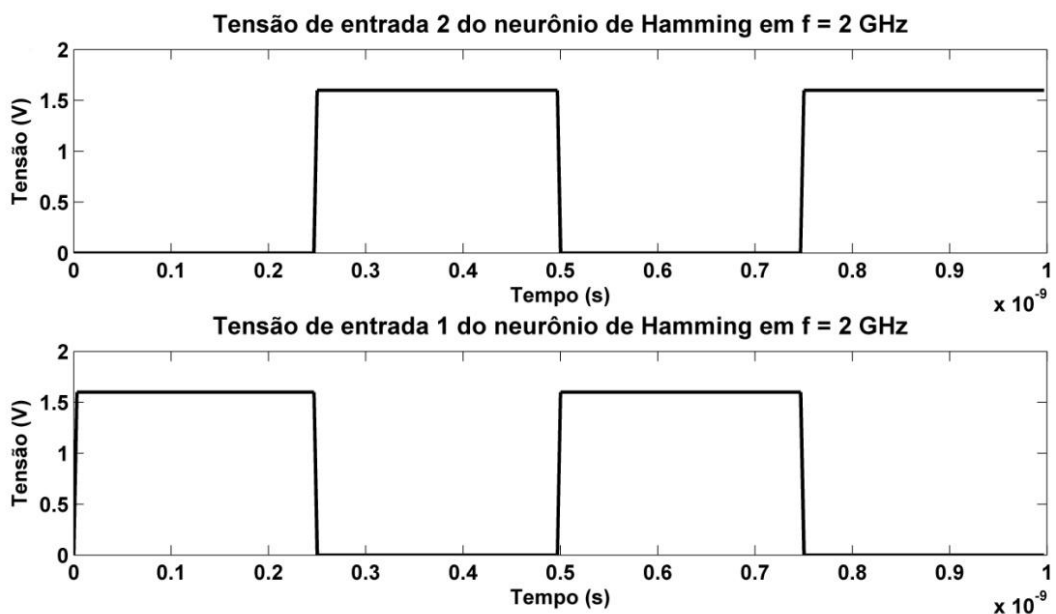


Figura 4.17. Tensões de entrada dos neurônios de Hamming com $f= 2$ GHz e $T=300$ K – simulação dinâmica.

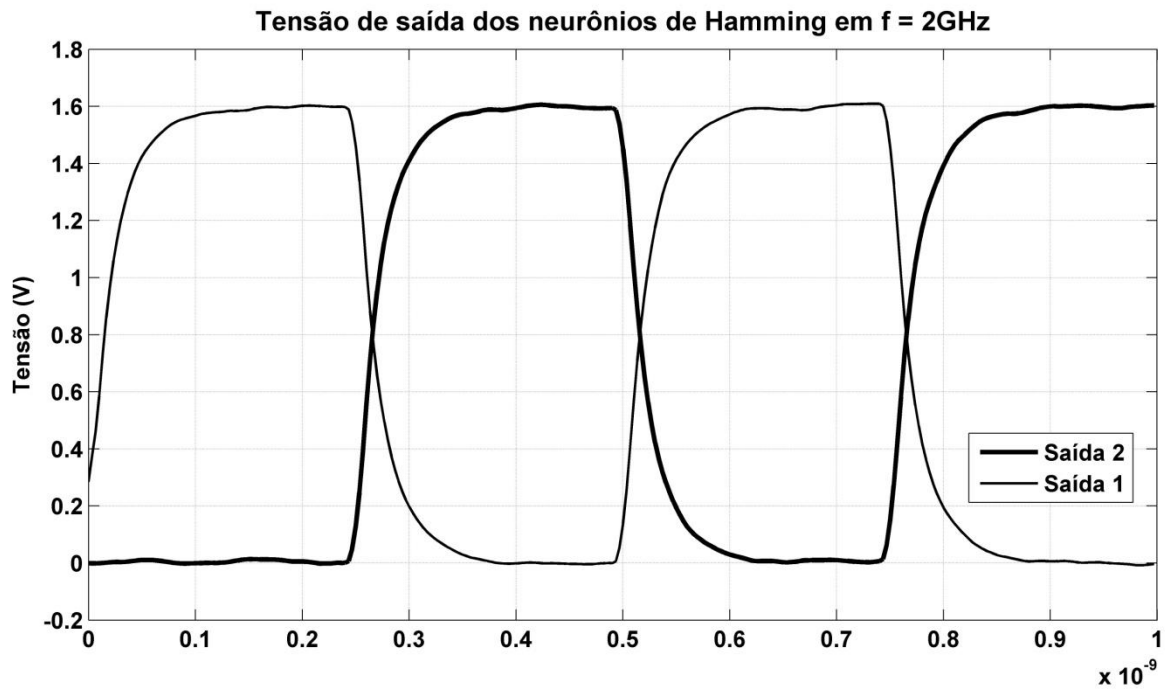


Figura 4.18. Tensões de saída dos neurônios de Hamming com $f=2\text{ GHz}$ e $T=300\text{K}$ – simulação dinâmica.

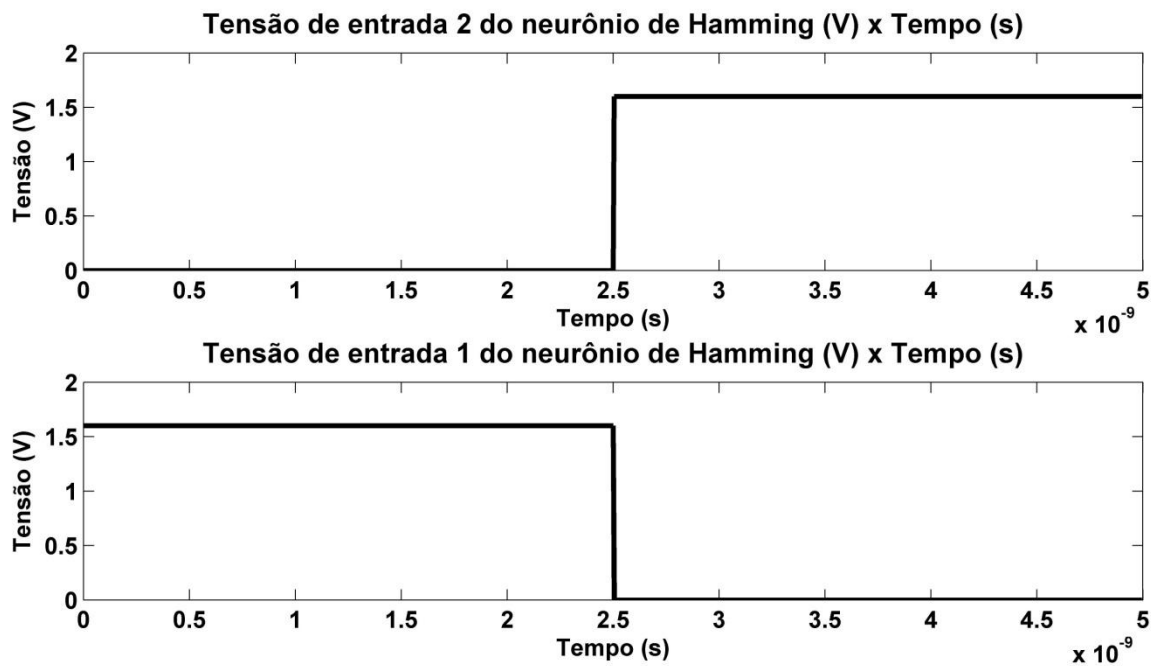


Figura 4.19. Tensões de entrada dos neurônios de Hamming em $T=300\text{K}$ – simulação estática.

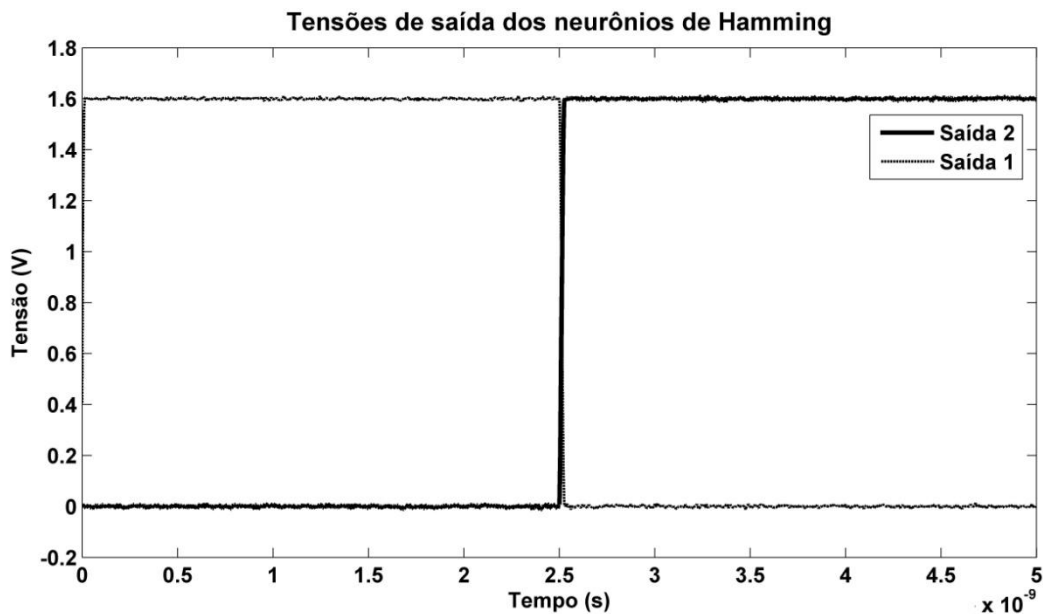


Figura 4.20. Tensões de saída dos neurônios de Hamming em $T=300K$ – simulação estática.

A partir da observação das tensões de saída apresentadas nas figuras 4.18 e 4.20, é possível concluir que para ambos os casos a tensão correspondente a entrada 0 V foi também 0 V e a tensão correspondente a entrada 1,6 V manteve esse mesmo valor. A conformidade dos resultados das duas simulações valida o bom desempenho do circuito em temperatura ambiente, com a utilização dos ajustes propostos. Vale lembrar que na simulação dinâmica foi evidenciado o efeito da constante de tempo RC no circuito, fato este que provocou as diferenças no comportamento das tensões de saída em cada uma das simulações, conforme era esperado.

4.4 CIRCUITOS BÁSICOS MONO-ELÉTRON: ANÁLISE DE ESTABILIDADE

A operação de circuitos em regiões estáveis é interessante para se garantir que certas combinações de entradas não levarão a resultados inesperados em suas saídas. Com essa motivação, será realizada a seguir a análise da estabilidade para cada um dos circuitos básicos mono-elétron anteriormente apresentados. Vale lembrar que, conforme indicado na seção 2.7 do capítulo 2 – Revisão Bibliográfica – para cada ponto do diagrama de estabilidade obtido através do SIMON, a energia livre do circuito é calculada com base na variação das tensões de entrada nele aplicadas. Dessa forma, pontos estáveis são coloridos em branco e pontos instáveis em preto. São utilizadas gradações da cor cinza para

representar os demais pontos, de forma que quanto mais escuro, mais instável será determinado ponto de operação [61].

4.4.1 Latch SET-RESET

A estabilidade do latch SR mono-elétron será avaliada em função das oscilações de carga resultantes das combinações entre as tensões das entradas SET e RESET, com as tensões de polarização (V_B) mantidas constantes. Dessa forma, a partir da simulação no SIMON, é possível obter o diagrama ilustrado na figura 4.21, no qual foram identificados os 4 pontos de operação utilizados anteriormente na análise do comportamento estático e dinâmico do circuito. Vale lembrar que há correspondência entre os valores das tensões de entrada e os estados lógicos 0 e 1. Portanto, os pontos de operação foram denominados (0,0), (0,1), (1,0) e (1,1), indicando as combinações possíveis para um circuito lógico de duas entradas.

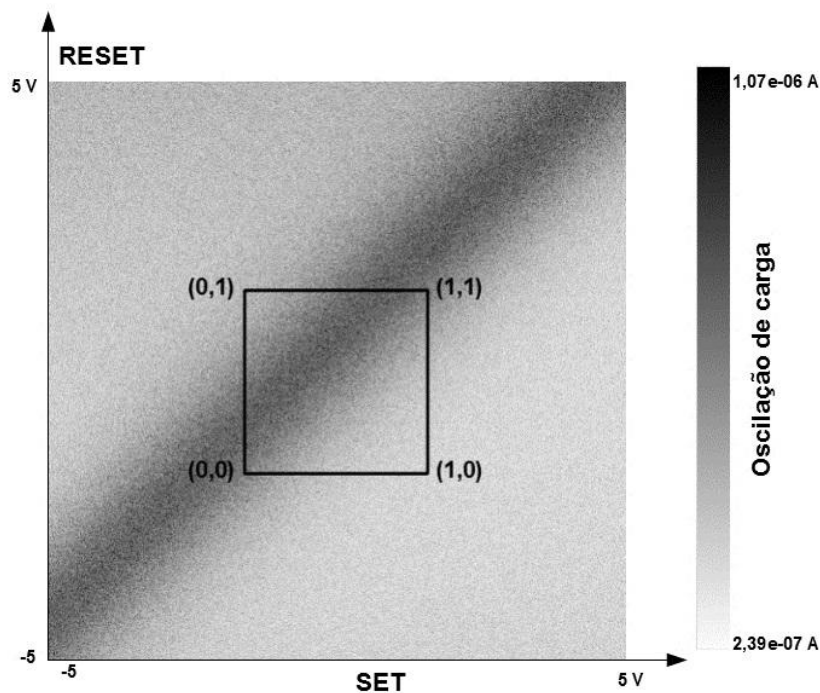


Figura 4.21. Diagrama de estabilidade do latch SR mono-elétron.

No diagrama de estabilidade apresentado, é possível notar que os pontos (1,0) e (0,1) encontram-se em regiões mais estáveis de operação. Por sua vez, as combinações das tensões de entrada adotadas para os estados (0,0) e (1,1) resultam em maiores oscilações de

carga o que, no entanto, não impede o correto funcionamento do circuito conforme confirmado anteriormente nesse trabalho.

4.4.2 Porta Ou-exclusivo (XOR)

O diagrama de estabilidade do circuito denominado ou-exclusivo foi obtido a partir da avaliação do efeito da oscilação de cargas provocado pelas diferentes combinações de tensões em suas entradas (V_{entrada1} e V_{entrada2}). Nesse diagrama, que é apresentado na figura 4.22, estão identificados os 4 pontos de operação utilizados nas simulações do comportamento estático e dinâmico do circuito. Através da sua observação, é possível determinar que os pontos (0,1), (1,0) e (1,1) encontram-se em regiões estáveis, nas quais os valores de oscilação de carga são mínimos – aproximadamente $3,34 \times 10^{-10}$ A. O ponto (0,0), por sua vez, está localizado em uma região na qual há maior oscilação de carga o que não invalida, no entanto, a operação do circuito em temperatura ambiente, conforme mostrado anteriormente nas simulações realizadas.

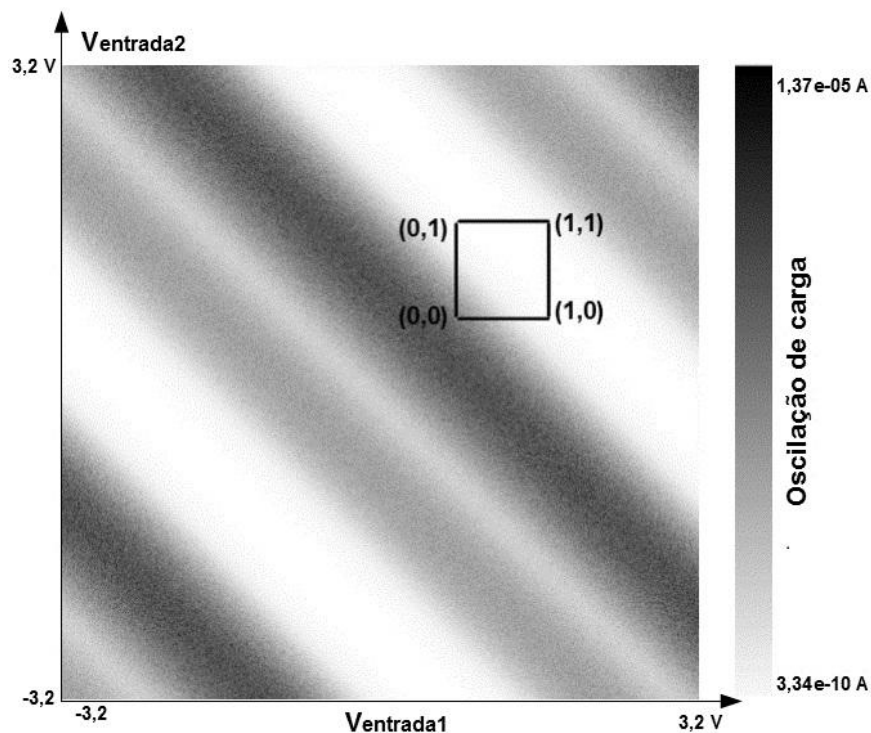


Figura 4.22. Diagrama de estabilidade do circuito XOR mono-elétron.

4.4.3 Circuitos mono-elétron com ganho de amplificação (*Buffers*)

O diagrama de estabilidade do *buffer* 1 foi obtido para diferentes combinações entre a tensão de entrada (V_i) e a tensão de polarização (V_B). Considerando que este último parâmetro é constante ao longo de toda a simulação, há apenas 2 pontos de operação do circuito, os quais representam os estados lógicos 0 ou 1 e estão representados na figura 4.23. A partir da observação dessa figura, é possível concluir que os dois pontos encontram-se em regiões estáveis, com oscilações de carga de valores próximos ao mínimo fornecidos para o circuito.

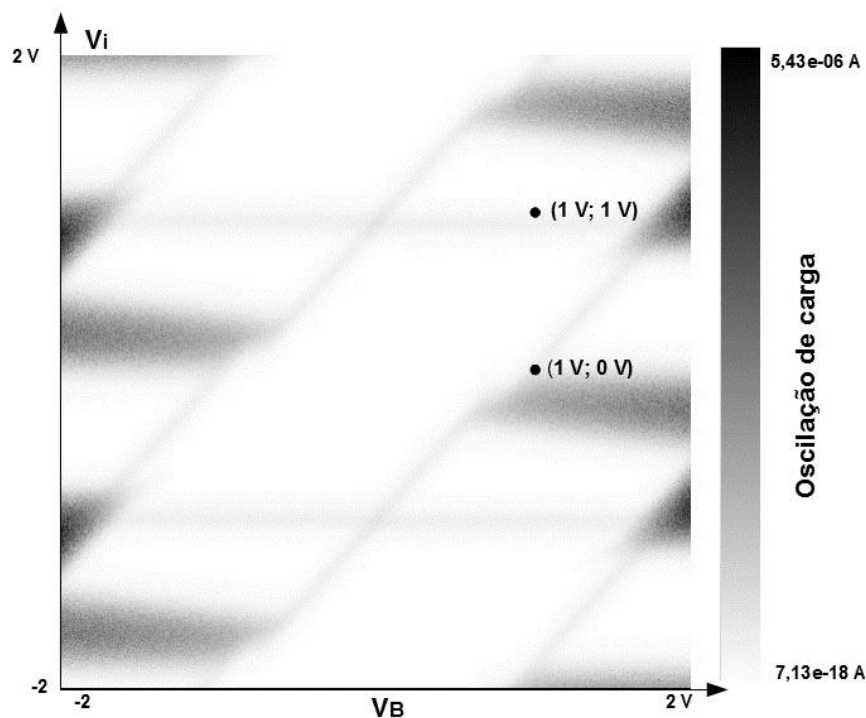


Figura 4.23. Diagrama de estabilidade do circuito *buffer* 1.

Por sua vez, para o *buffer* 2 foi analisado o diagrama de estabilidade correspondente à combinação entre a tensão de entrada (V_i) e a tensão de polarização (V_S). Por existirem duas fontes de polarização, seria possível, na verdade, se obter dois diagramas, cada um correspondendo à utilização dessas diferentes fontes. No entanto, por se tratar de polarizações com os mesmos valores de tensão, se em um dos diagramas o circuito operar em uma região estável é esperado que no outro diagrama o ponto de operação também se encontre em uma região estável. Esse fato foi confirmado por simulação e, portanto, aqui será apresentado somente um dos diagramas de estabilidade nessa situação.

Na figura 4.24 são identificados os dois pontos de operação, que correspondem às diferentes combinações das entradas relacionadas aos estados lógicos 0 e 1. Assim, é evidenciado o fato de esses pontos estarem localizados em regiões estáveis, o que indica a escolha adequada das combinações de tensões de forma a se garantir o funcionamento esperado para o circuito.

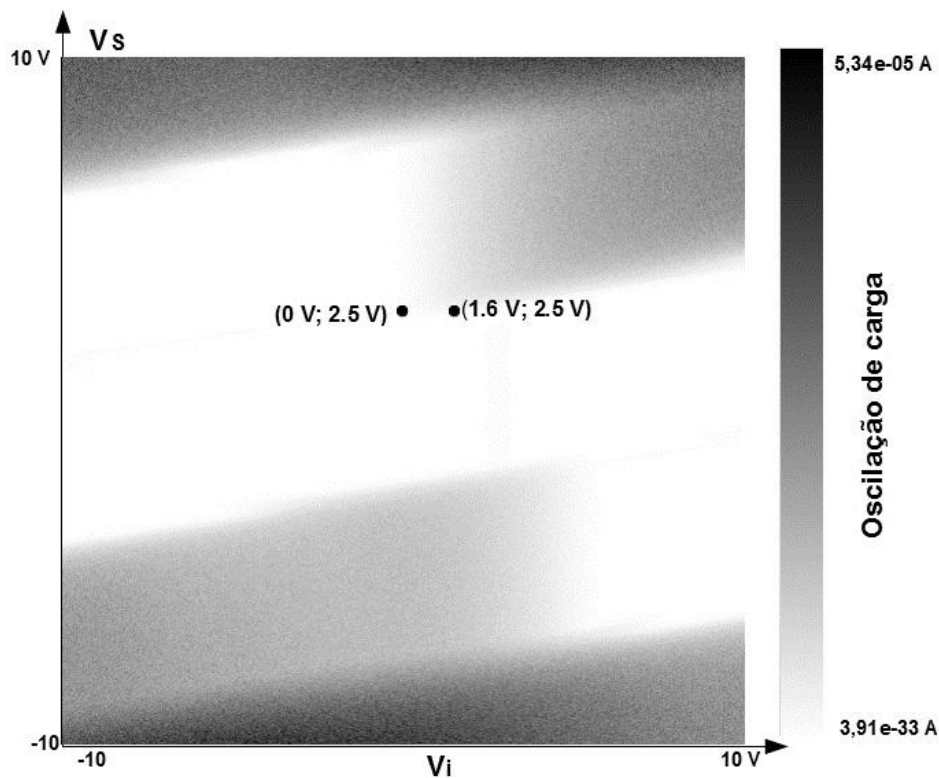


Figura 4.24. Diagrama de estabilidade do *buffer 2*: combinação entre V_i e V_s .

4.4.4 Neurônio

A estabilidade do neurônio mono-elétron será avaliada em um único ponto de operação, correspondente à combinação entre as tensões de polarização V_{BIAS} (-0,7 V) e V_{BIAS1} (0,16 V), indicadas na figura 2.15. Essa consideração é feita, já que as tensões de polarização são mantidas constantes durante todo o ciclo de operação do circuito, enquanto que suas entradas assumem valores não discretos no tempo. Portanto, esses valores de tensões de entrada não estão relacionados a estados lógicos 0 ou 1 – o circuito é analógico e não digital.

A partir da observação do diagrama de estabilidade fornecido através da simulação no SIMON, que é apresentado na figura 4.25, é possível notar que a operação do circuito ocorre em uma região estável, com oscilações de carga da ordem de 1×10^{-7} A. Dessa forma, é esperado que o circuito se comporte conforme suas funcionalidades projetadas.

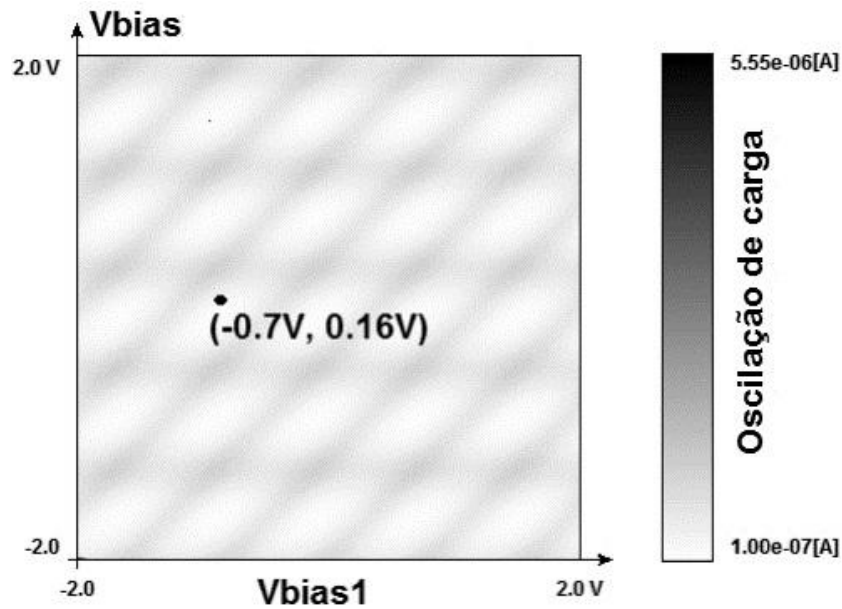


Figura 4.25. Diagrama de estabilidade do neurônio de Hamming mono-elétron.

5 A MEMÓRIA ASSOCIATIVA NANOELETRÔNICA

5.1 INTRODUÇÃO

Visando à aplicação dos blocos básicos mono-elétron anteriormente apresentados, será proposta uma memória associativa nanoeletrônica, cuja arquitetura é baseada no trabalho apresentado por Matuschek *et al.* em [39] e também na proposta de Alencar em [51]. A nova memória associativa possui arquitetura mista, com a utilização de circuitos analógicos e digitais, a partir da qual é possível identificar palavras armazenadas mais semelhantes às palavras de busca fornecidas como dados de entrada. A figura 5.1 apresenta o diagrama de blocos dessa arquitetura proposta.

A partir da comparação entre as figuras 5.1 e 2.17 é fácil identificar que a diferença entre as duas arquiteturas consiste na utilização de um circuito com ganho de amplificação na nova proposta. Vale lembrar, no entanto, que os demais circuitos que desempenham a função de célula de memória, comparador e neurônio, foram redimensionados buscando sua operação mais robusta em temperatura ambiente de forma a compor a arquitetura final da memória associativa.

É interessante mencionar ainda que, por analogia ao trabalho de Matuschek *et al.*, cujo diagrama de blocos é apresentado na figura 2.16, os blocos à esquerda correspondem às partes das memórias, nas quais são armazenados os padrões de busca e os demais blocos consistem nos circuitos de busca da palavra vencedora, com a identificação do sinal vencedor e amplificação do mesmo. A diferença entre essas arquiteturas consiste no fato de que na proposta MOS é realizada primeiramente a amplificação do sinal (circuito WLA) para então identificá-lo como vencedor ou não (circuito WTA). Já na proposta mono-elétron, a amplificação é a última etapa do processo de recuperação de dados da memória a partir de um padrão de entrada fornecido.

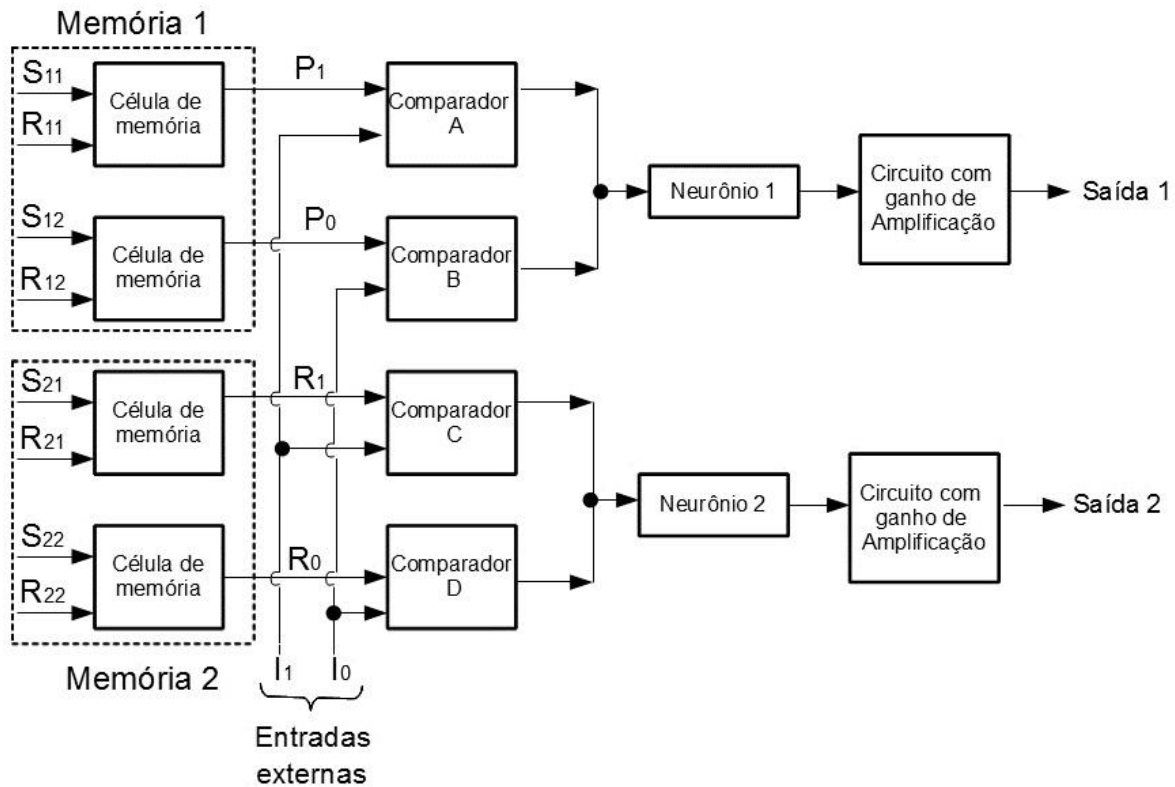


Figura 5.1. Diagrama de blocos da memória associativa proposta.

A memória associativa proposta é apresentada na sua forma mais simples, com a utilização de palavras de dois bits. A palavra de entrada é identificada pelos bits (I_1 , I_0), ordenados conforme sua significância. Ela é então comparada às duas palavras armazenadas, que são identificadas pelos bits (P_1 , P_0) e (R_1 , R_0) e correspondem às saídas das memórias 1 e 2.

De acordo com a semelhança entre a palavra de entrada e as palavras armazenadas, a memória endereçará seu conteúdo. Assim, se houver a exata correspondência na comparação realizada considerando a equivalência de estados lógicos, isto é, se a palavra armazenada for logicamente equivalente à palavra de busca, este será considerado o caminho vencedor pela arquitetura do circuito final. Ao contrário, se não houver correspondência lógica exata entre os dados de busca e os dados armazenados, o circuito identificará o vencedor segundo as maiores semelhanças entre os bits de cada um desses dados desejados. Dessa forma, a palavra armazenada que possuir maior semelhança de bits com a palavra de busca representará o caminho vencedor.

A memória associativa nanoeletrônica proposta baseia-se na utilização da distância de Hamming para determinação do grau de semelhança entre os dados de busca e

armazenados. Assim, caso sejam armazenadas palavras iguais ou que possuem a mesma distância de Hamming – essa distância é dada pelo número de bits que diferem entre as palavras [39] – o circuito não será capaz de identificar o caminho vencedor.

O comportamento da memória proposta é exemplificado através da tabela 5.1, considerando que a palavra de entrada é igual a (0,0). O bit identificado como ‘x’ representa a situação conhecida por *don't care*. Assim, não importa qual valor seja a ele atribuído, a saída assumirá como vencedora a palavra identificada na coluna ‘saída do circuito’. Além disso, o uso do símbolo ‘*’ é feito para representar as situações nas quais a memória é incapaz de identificar uma palavra vencedora, seja porque os dados armazenados são iguais, ou devido à existência das mesmas distâncias de Hamming entre os dados armazenados e a entrada.

Tabela 5.1. Exemplificação do comportamento esperado para a memória associativa proposta, quando utilizada a palavra de busca (0,0).

Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(P_1, P_0)	(P_1, P_0)	*
	(0,0)	(x,1)	Palavra armazenada 1
	(0,0)	(1,x)	Palavra armazenada 1
	(x,1)	(0,0)	Palavra armazenada 2
	(1,x)	(0,0)	Palavra armazenada 2
	(0,1)	(1,0)	*
	(0,1)	(1,1)	Palavra armazenada 1
	(1,0)	(0,1)	*
	(1,0)	(1,1)	Palavra armazenada 1
	(1,1)	(0,1)	Palavra armazenada 2
	(1,1)	(1,0)	Palavra armazenada 2

Por fim, na memória associativa proposta a célula de memória será representada pelo *latch* SR, o bloco comparador pela porta lógica XOR e o circuito mono-elétron com amplificação pelo uso do *buffer* 1 ou do *buffer* 2, conforme escolha que será mostrada a seguir. Os neurônios de Hamming serão utilizados para identificar os vencedores após a comparação entre dados armazenados e dados de entrada pelas portas ou-exclusivo.

5.2 ANÁLISE ESTÁTICA

A validação da memória associativa proposta será realizada primeiramente através do uso do simulador SIMON, o qual permite a observação do comportamento estático em temperatura ambiente da arquitetura. Conforme apresentado anteriormente, os circuitos *buffer 1* e *buffer 2* foram considerados como componentes do bloco básico de circuitos que comporá a memória. No entanto, visando à manutenção da uniformidade da arquitetura proposta, apenas um entre esses circuitos deverá ser utilizado para fins de obtenção do ganho de tensão esperado. Dessa maneira, a seguir serão apresentados os diferentes resultados da utilização de um ou outro circuito a partir dos quais será possível determinar qual é o mais adequado para a aplicação desejada.

5.2.1 Memória associativa nanoeletrônica com o uso do *buffer 1*

A proposta de obtenção da memória associativa nesse trabalho consiste na interconexão entre os circuitos componentes do bloco básico para que se possa ao final do processo obter uma arquitetura que funcione de acordo com o esperado. Dessa forma, os circuitos foram interconectados conforme apresentado na figura 5.1 e considerando os seus ajustes apresentados nas seções anteriores.

Para verificação do funcionamento estático da memória com a configuração adotada, serão utilizados os exemplos discriminados na tabela 5.2, nos quais são apresentados os valores lógicos utilizados para os dados dos circuitos. As figuras 5.2 e 5.3 ilustram as tensões de saída dos neurônios e dos circuitos com ganho de amplificação, respectivamente, para as situações de entrada correspondentes ao exemplo 1. Por sua vez, as figuras 5.4 e 5.5 ilustram essas tensões de saída quando utilizadas as entradas escolhidas no exemplo 2.

Tabela 5.2. Exemplos de funcionamento para verificação do comportamento da memória associativa proposta.

EXEMPLO 1			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,0)	(1,1)	Palavra armazenada 1
(0,1)	(0,0)	(1,1)	*
(1,0)	(0,0)	(1,1)	*
(1,1)	(0,0)	(1,1)	Palavra armazenada 2

EXEMPLO 2			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,0)	(1,0)	Palavra armazenada 1
(0,1)	(0,0)	(1,0)	Palavra armazenada 1
(1,0)	(0,0)	(1,0)	Palavra armazenada 2
(1,1)	(0,0)	(1,0)	Palavra armazenada 2

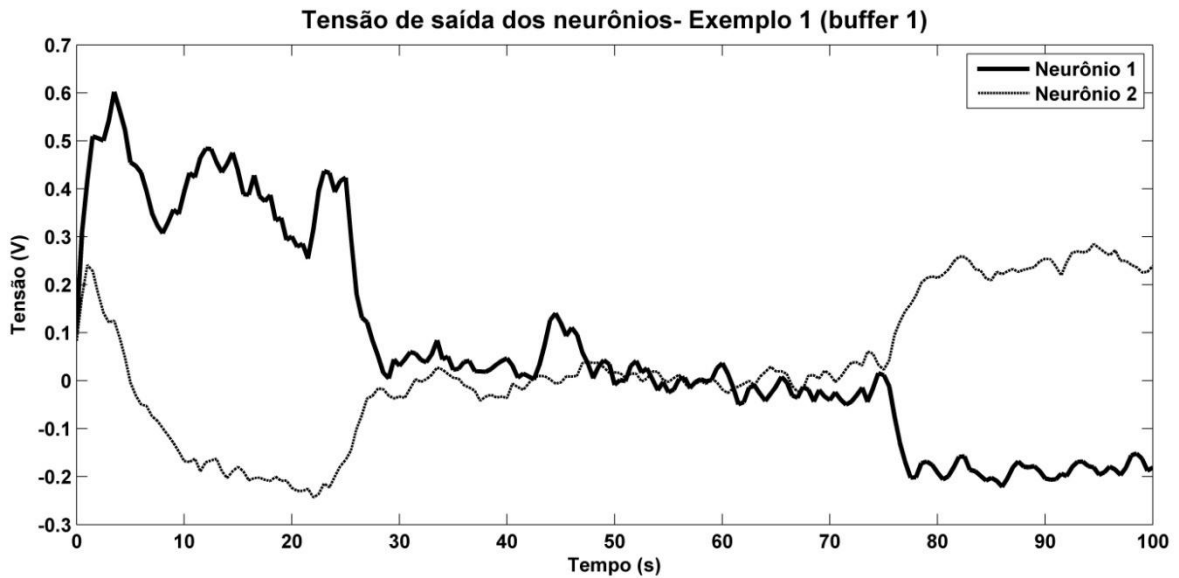


Figura 5.2. Tensões de saída dos neurônios em $T = 300K$ – exemplo 1.

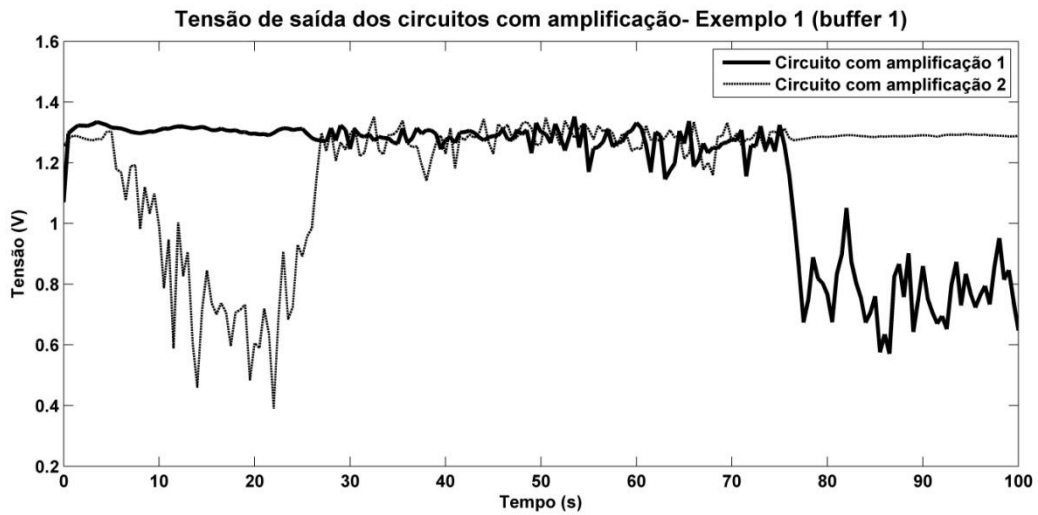


Figura 5.3. Tensões de saída do circuito com amplificação em $T = 300K$ – exemplo 1.

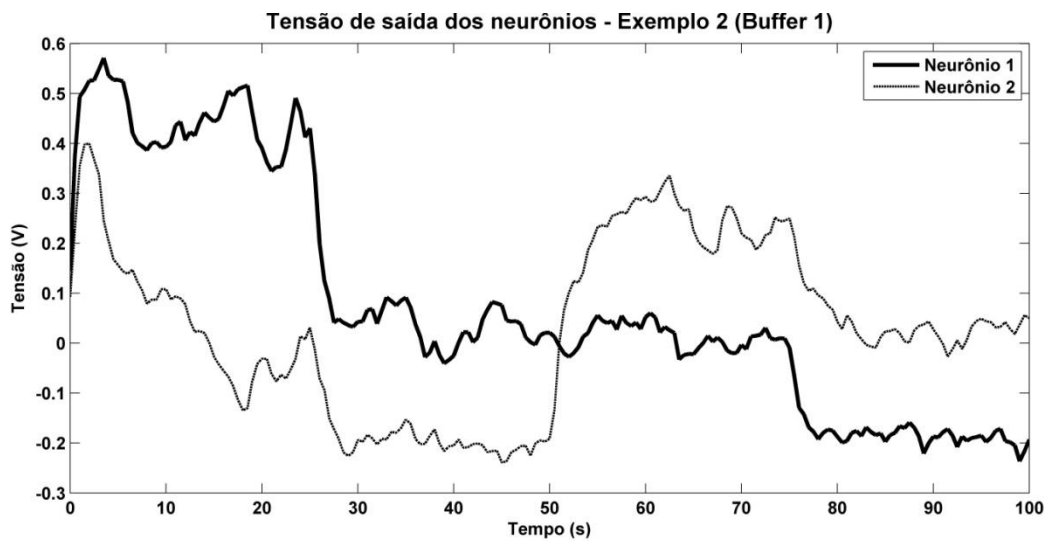


Figura 5.4. Tensões de saída dos neurônios em $T = 300K$ – exemplo 2.

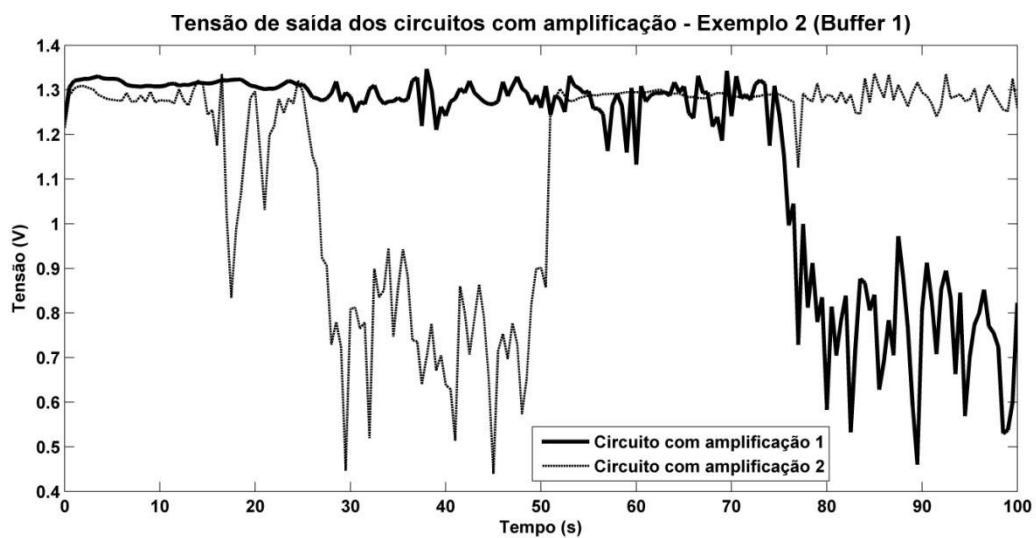


Figura 5.5. Tensões de saída do circuito com amplificação em $T = 300K$ – exemplo 2.

A partir do comportamento da memória representado pelas tensões de saída anteriormente mostradas, é possível notar que as saídas dos neurônios foram de acordo com os resultados esperados, considerando que a vitória do neurônio 1 sobre o neurônio 2 implicaria no reconhecimento da palavra armazenada 1 como vencedora, por exemplo. Vale lembrar que uma palavra é considerada vencedora em relação à outra por possuir maior valor de tensão.

Por sua vez, as saídas dos circuitos com amplificação forneceram resultados esperados na operação do exemplo 1 e resultados inesperados no exemplo 2. Nesse caso, quando a palavra de busca foi feita igual a (0,0), a memória deveria ter reconhecido a palavra armazenada 1 como vencedora. Ao contrário, os resultados finais foram confundidos, sem haver a identificação de um vencedor. Essa mesma situação ocorreu para a entrada (1,0), na qual também houve confusão dos estados de saída.

Dessa forma, a utilização do *buffer* 1 como circuito com ganho de amplificação não resultou no funcionamento bem-sucedido da memória associativa proposta. Foram adotadas então as metodologias de ajuste apresentadas nas figuras 3.3 e 3.1 na busca da obtenção de valores dos parâmetros que resultassem na operação desejada. Após diversas simulações com novos ajustes não foi possível validar o comportamento da arquitetura em temperatura ambiente.

5.2.2 Memória associativa nanoeletrônica com o uso do *buffer* 2

A proposta de se obter uma memória associativa nanoeletrônica a partir da interconexão dos circuitos básicos mono-elétron será avaliada com a utilização do *buffer* 2 como circuito com ganho de amplificação. De maneira análoga à realizada na seção 5.2.1, a verificação inicial do comportamento estático da arquitetura proposta foi realizada através da observação das tensões de saída fornecidas para os exemplos apresentados na tabela 5.2 após a interconexão de todos os circuitos básicos, considerando os ajustes propostos nesse trabalho.

Da mesma forma ocorrida com a utilização do *buffer* 1, o uso do *buffer* 2 também não foi bem-sucedido somente com a consideração dos parâmetros anteriormente ajustados. Assim, foram adotadas as metodologias apresentadas nas figuras 3.3 e 3.1 na busca da

obtenção de valores dos parâmetros que resultassem na operação desejada. Como resultado, foi possível simular corretamente o circuito em temperatura ambiente em todas as situações resultantes do armazenamento de duas palavras de dois bits.

Os ajustes adicionais determinados após a aplicação das metodologias apresentadas foram realizados nos neurônios mono-elétron e no circuito *buffer 2*. Todos os parâmetros desses circuitos foram redimensionados, conforme é apresentado nas tabelas 5.3 e 5.4.

Tabela 5.3. Novos valores projetos para os neurônios de Hamming, de forma a compor a memória associativa proposta.

Parâmetro	Valor
Resistência de junção	100 k Ω
C ₁	0.2 aF
C ₂	0.2 aF
C ₃	0.002 aF
C ₄	0.015 aF
C ₅	20 aF
V _{bias}	-1.5 V
V _{bias1}	2.5 V

Tabela 5.4. Novos valores projetados para o buffer 2, de forma a compor a memória associativa proposta.

Parâmetro	Valor projetado	
C _{G1}	0.0575 aF	
C _{G2}	0.0575 aF	
C _{B1}	0.0345 aF	
C _{B2}	0.0385 aF	
J ₁ = J ₄	R ₁ = R ₄ C ₁ = C ₄	0.1 M Ω 0.00156 aF
J ₂ = J ₃	R ₂ = R ₃ C ₂ = C ₃	0.1 M Ω 0.0078 aF
V _{S1}	1.6 V	
V _{S2}	-0.3 V	
C _L	0.109 aF	

A tabela 5.5, por sua vez, apresenta todas as combinações possíveis para o armazenamento de duas palavras de dois bits na memória associativa. Será desconsiderado nesse trabalho o armazenamento de duas palavras iguais, já que essa situação não é interessante para demonstrar as funcionalidades da memória – não há palavra vencedora. Além disso, as demais situações serão numeradas para que se possa apresentar posteriormente os resultados fornecidos em cada uma das combinações, fazendo referência ao seu número identificador.

Tabela 5.5. Combinações possíveis para o armazenamento de duas palavras de dois bits.

Número identificador do exemplo	Palavra armazenada 1 (P₁, P₀)	Palavra armazenada 2 (R₁, R₀)
-----	(0,0)	(0,0)
1	(0,0)	(0,1)
2	(0,0)	(1,0)
3	(0,0)	(1,1)
4	(0,1)	(0,0)
-----	(0,1)	(0,1)
5	(0,1)	(1,0)
6	(0,1)	(1,1)
7	(1,0)	(0,0)
8	(1,0)	(0,1)
-----	(1,0)	(1,0)
9	(1,0)	(1,1)
10	(1,1)	(0,0)
11	(1,1)	(0,1)
12	(1,1)	(1,0)
-----	(1,1)	(1,1)

As tabelas 5.6, 5.7, 5.8 e 5.9 apresentam individualmente as saídas esperadas para a memória associativa em cada um dos exemplos de 1 a 4, respectivamente. Por sua vez, as figuras 5.6, 5.8, 5.10 e 5.11 correspondem às saídas da memória proposta em temperatura ambiente nessas mesmas situações. Para avaliação do desempenho do circuito com ganho de amplificação na operação conjunta com os demais circuitos, são apresentadas também as figuras 5.7 e 5.9, com as saídas dos neurônios para os exemplos 1 e 2. Todas as demais saídas finais da memória associativa juntamente com as correspondentes tabelas exemplificativas são apresentadas nos anexos do trabalho (figuras 8.5 – 8.12 e tabelas 8.1 – 8.8).

Tabela 5.6. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (0,1).

EXEMPLO 1			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,0)	(0,1)	Palavra armazenada 1
(0,1)	(0,0)	(0,1)	Palavra armazenada 2
(1,0)	(0,0)	(0,1)	Palavra armazenada 1
(1,1)	(0,0)	(0,1)	Palavra armazenada 2

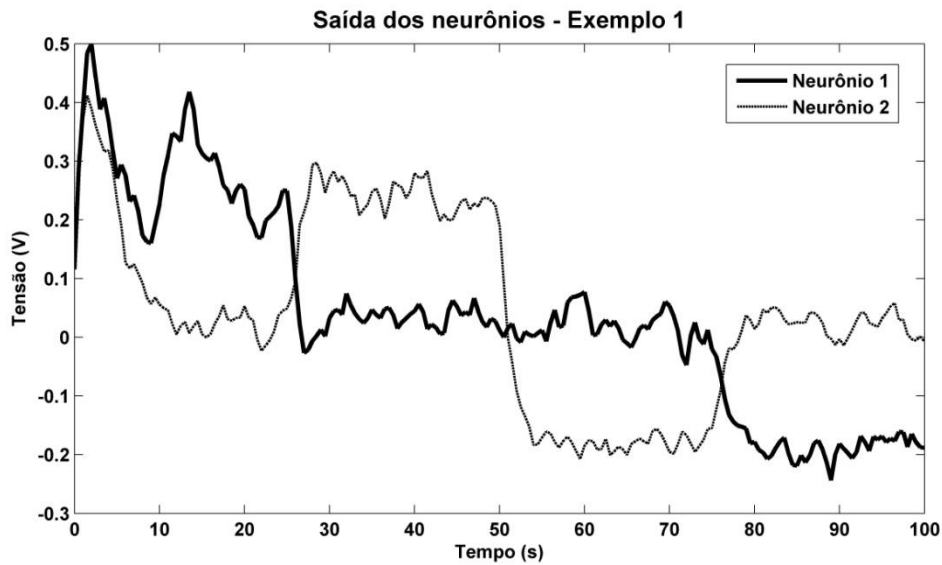


Figura 5.6. Tensões de saída dos neurônios em $T = 300K$ – exemplo 1.

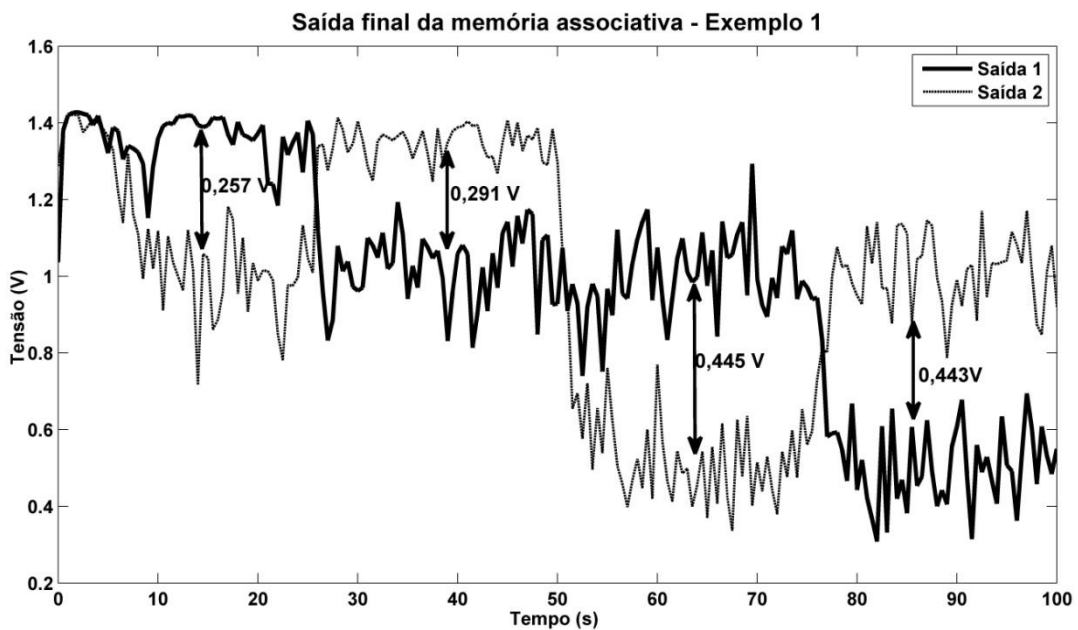


Figura 5.7. Tensões de saída da memória em $T = 300K$ – exemplo 1.

Tabela 5.7. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (1,0).

EXEMPLO 2			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,0)	(1,0)	Palavra armazenada 1
(0,1)	(0,0)	(1,0)	Palavra armazenada 1
(1,0)	(0,0)	(1,0)	Palavra armazenada 2
(1,1)	(0,0)	(1,0)	Palavra armazenada 2

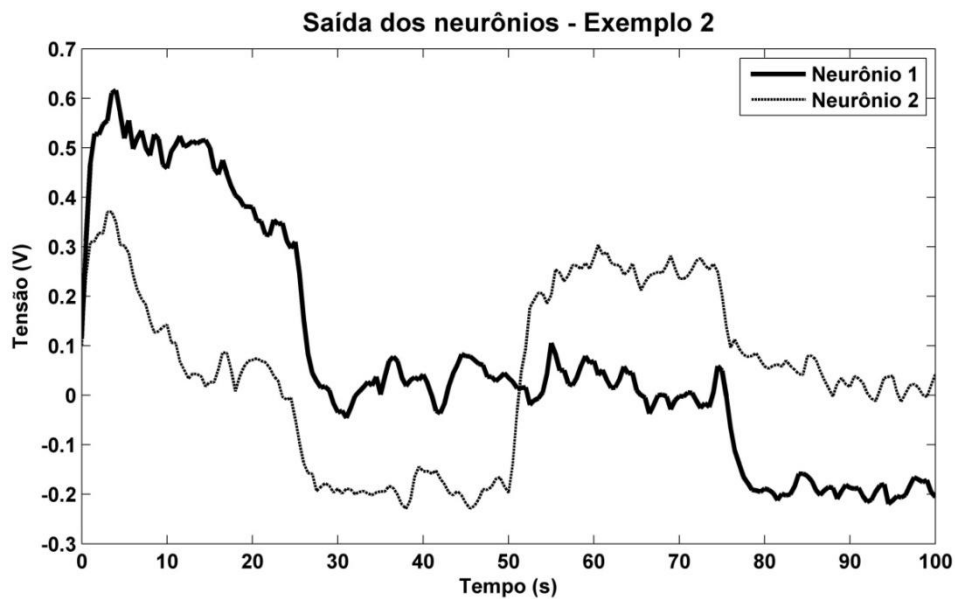


Figura 5.8. Tensões de saída dos neurônios em $T = 300K$ – exemplo 2.

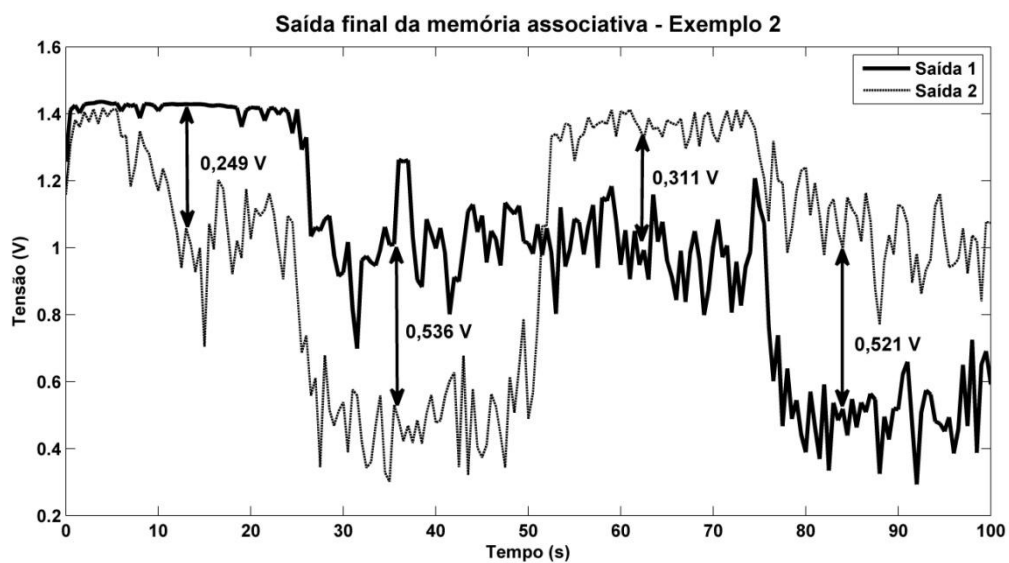


Figura 5.9. Tensões de saída da memória em $T = 300K$ – exemplo 2.

Tabela 5.8. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,0) e (1,1).

EXEMPLO 3			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,0)	(1,1)	Palavra armazenada 1
(0,1)	(0,0)	(1,1)	-----
(1,0)	(0,0)	(1,1)	-----
(1,1)	(0,0)	(1,1)	Palavra armazenada 2

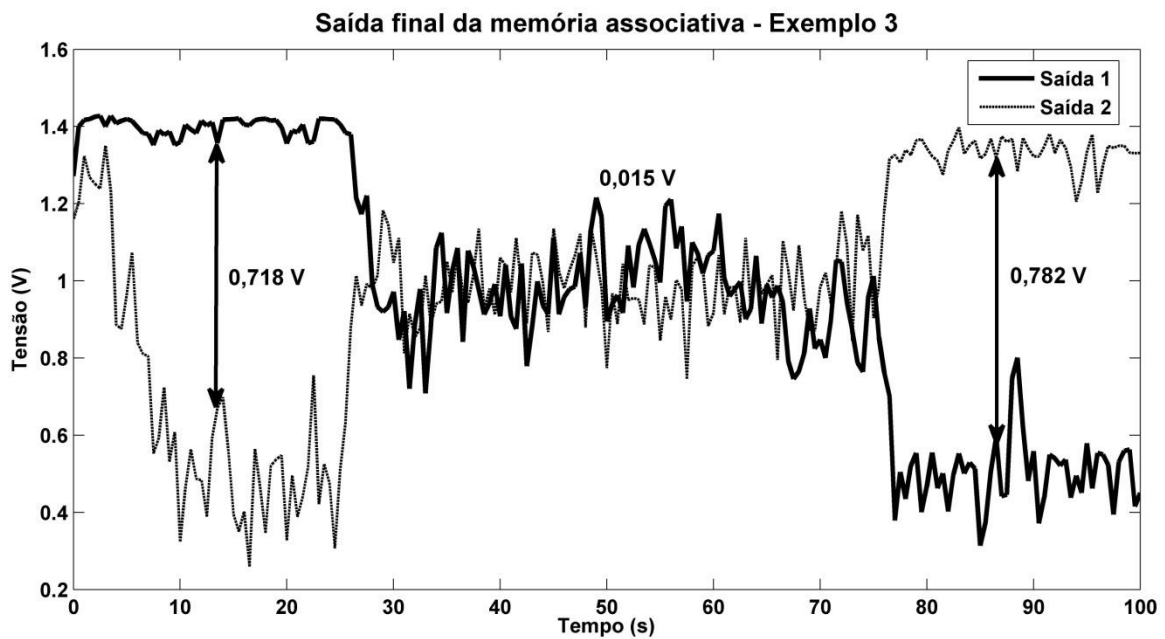


Figura 5.10. Tensões de saída da memória em $T = 300K$ – exemplo 3.

Tabela 5.9. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (0,0).

EXEMPLO 4			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,1)	(0,0)	Palavra armazenada 2
(0,1)	(0,1)	(0,0)	Palavra armazenada 1
(1,0)	(0,1)	(0,0)	Palavra armazenada 2
(1,1)	(0,1)	(0,0)	Palavra armazenada 1

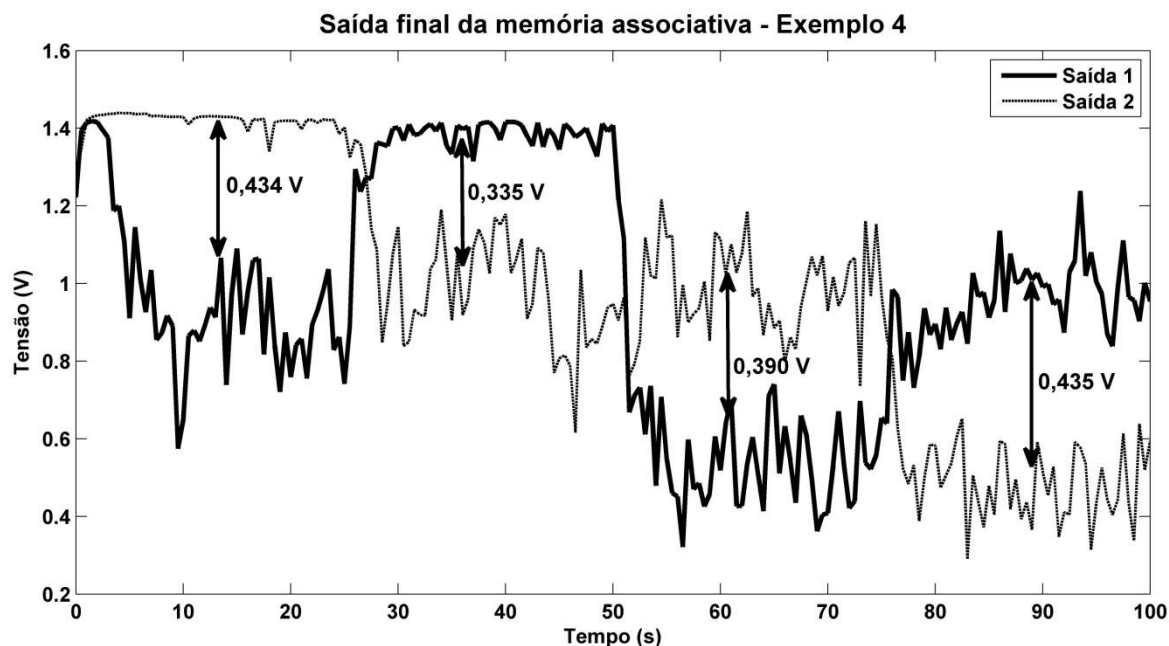


Figura 5.11. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 4.

Primeiramente, através da observação das saídas finais da memória e das saídas dos neurônios para os exemplos 1 e 2 é possível determinar o ganho de amplificação médio obtido com a utilização do *buffer 2*. Para tanto, considere os dados apresentados na tabela 5.10, que correspondem aos valores médios de saída para intervalos de tempo de 25 s antes e depois da amplificação e os ganhos finais obtidos nos exemplos. Os resultados apresentados indicam que o redimensionamento dos parâmetros do circuito mono-elétron com ganho de amplificação possibilitou a obtenção de ganhos médios consideravelmente maiores do que a unidade. Dessa forma, a opção pelo uso do *buffer 2* se mostrou bem-sucedida não somente no aspecto de interconexão entre os circuitos, mas também em termos do ganho de tensão, motivação principal para utilizá-lo na arquitetura da memória associativa nanoeletrônica.

Por sua vez, a comparação entre as tensões de saída e respectivas tabelas exemplificativas apresentadas pôde confirmar a operação do circuito conforme o esperado – houve a correta identificação da palavra armazenada em cada caso. Vale ressaltar que os ruídos observados nas saídas surgiram primeiramente devido à alta temperatura de simulação, na qual a energia térmica assume valor cada vez mais próximo da energia de carregamento do circuito. Além disso, o grande número de interconexões entre os circuitos contribuiu para as oscilações das tensões de saída, conforme pode ser observado.

Tabela 5.10. Ganhos de tensão obtidos para os exemplos 1 e 2 do funcionamento da memória associativa proposta.

EXEMPLO 1						
Intervalo de tempo	Tensão média neurônio 1 (antes da amplificação)	Tensão média neurônio 2 (antes da amplificação)	Tensão média saída 1 (depois da amplificação)	Tensão média saída 2 (depois da amplificação)	Ganho médio absoluto de amplificação - saída 1	Ganho médio absoluto de amplificação - saída 2
t =0 a 25 s	0,283	0,103	1,357	1,11	4,80	10,78
t =25 a 50 s	0,04	0,231	1,043	1,334	26,08	5,77
t =50 a 75 s	0,018	-0,156	1,001	0,556	55,61	3,56
t =75a 100s	-0,173	0,012	0,54	0,982	3,12	81,83

EXEMPLO 2						
Intervalo de tempo	Tensão média neurônio 1 (antes da amplificação)	Tensão média neurônio 2 (antes da amplificação)	Tensão média saída 1 (depois da amplificação)	Tensão média saída 2 (depois da amplificação)	Ganho médio absoluto de amplificação - saída 1	Ganho médio absoluto de amplificação - saída 2
t = 0 a 25 s	0,456	0,133	1,417	1,168	3,11	8,78
t =25 a 50 s	0,04	-0,183	1,038	0,502	25,95	2,74
t =50 a 75 s	0,019	0,218	0,993	1,304	52,26	5,98
t =75a 100s	-0,176	0,046	0,538	1,059	3,06	23,02

Visando à obtenção dos limiares a partir dos quais se pode garantir que os níveis de tensão foram corretamente identificados, isto é, no qual há um vencedor e um perdedor, ou ainda, confusão entre as tensões provocada pela mesma distância de Hamming entre as palavras armazenadas e a palavra de busca, foram determinadas as tensões médias das saídas da memória em intervalos de 25 s. A diferença entre essas tensões médias são apresentadas em cada intervalo nos gráficos anteriormente mostrados. A partir da determinação desses valores para todas as situações simuladas, foi possível determinar que o menor valor da diferença de tensão para identificação de uma saída vencedora foi igual a 0,249 V e que o maior valor da diferença de tensão para confusão entre as saídas foi igual a 0,082 V.

Portanto, pode-se considerar que nessa memória associativa, quando a diferença média entre as tensões de saída em cada intervalo de tempo equivalente à mesma palavra de busca for superior a 0,249 V haverá a identificação de uma palavra vencedora e abaixo de 0,082 V haverá confusão entre os estados de saída. Essa será considerada a característica de funcionamento da memória associativa proposta, cuja validação foi realizada por

simulação em temperatura ambiente. A arquitetura da memória utilizada para simulação é apresentada na figura 5.12.

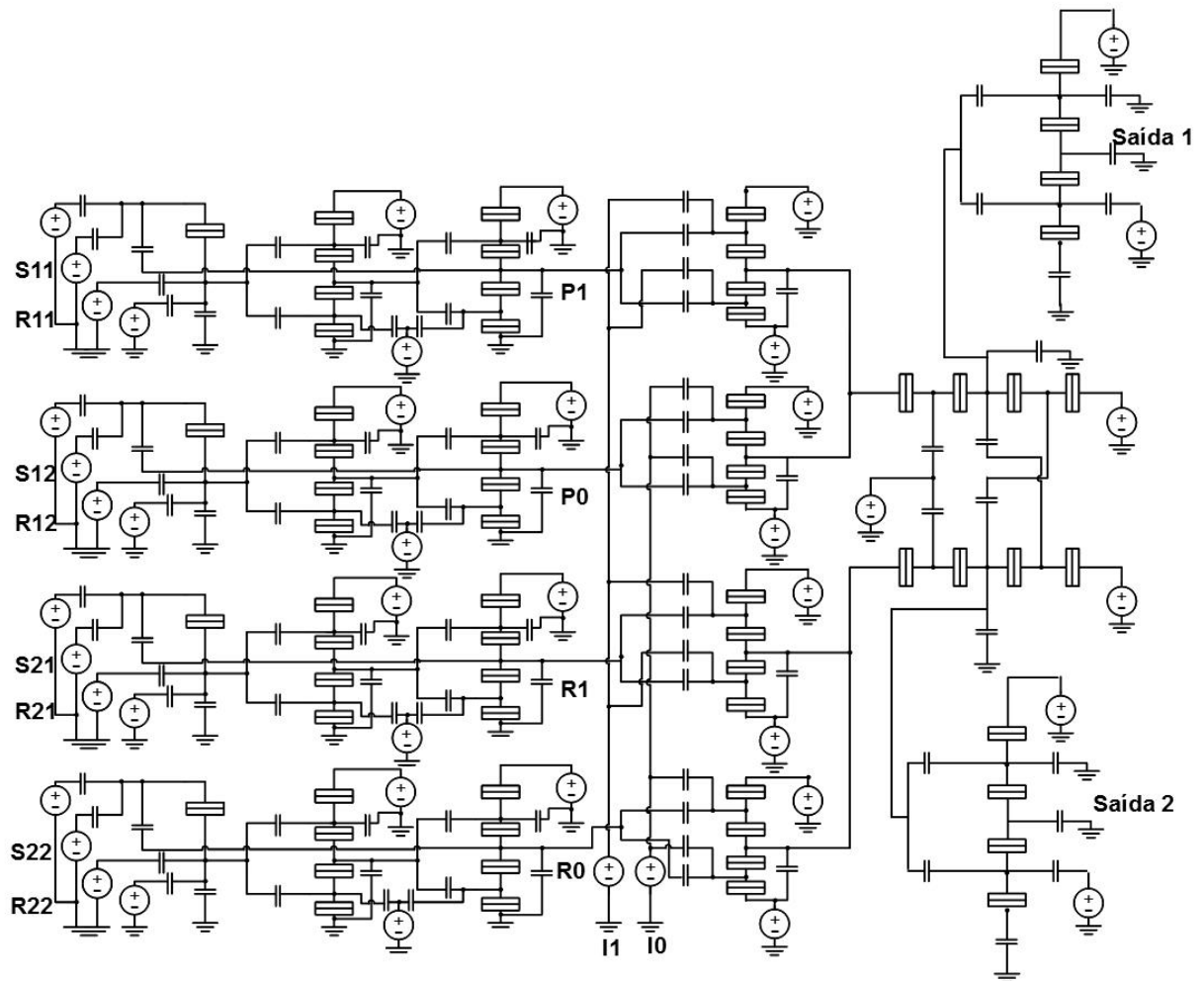


Figura 5.12. Arquitetura da memória associativa nanoeletrônica proposta.

5.3 ANÁLISE DINÂMICA

O interesse em se realizar a análise dinâmica da memória associativa proposta consiste na busca pela máxima frequência de operação que pode ser alcançada. A análise individual dos circuitos básicos mono-elétron indicou que a limitação em frequência é dada pelo neurônio, cuja frequência ótima de operação foi igual 2 GHz. Dessa forma, é esperado que a memória associativa opere no melhor caso com esse mesmo valor de frequência.

A simulação dinâmica da arquitetura proposta foi então realizada a partir do SECS e considerando os ajustes validados nas simulações estáticas através do SIMON. Nesta simulação, não foram obtidos bons resultados para o desempenho dinâmico da memória,

especialmente em relação à saída do circuito com amplificação. Assim, a partir do uso das metodologias de ajuste dos parâmetros do circuito, a capacitância de saída do *buffer* 2 foi redimensionada para 0,05 aF. Os resultados obtidos para essa nova configuração quando considerado o armazenamento das palavras (1,1) e (0,1) e fazendo a palavra de busca igual a (0,1) estão apresentados nas figuras 5.13, 5.14, 5.15 e 5.16. Cada uma dessas ilustrações indica as saídas intermediárias do circuito, enquanto que a figura 5.17 indica a saída final da memória proposta.

É importante mencionar que as simulações foram realizadas com os parâmetros de entrada do SECS apresentados na tabela 5.11. O aumento da temperatura de simulação, assim como da sua duração ou do número de interações provocava o aumento considerável do tempo de simulação. Esse tempo, que é da ordem de algumas horas para os parâmetros da tabela, passa a levar dias, sem que ao menos 1 % da simulação seja completada. Dessa forma, a simulação no SECS de circuitos complexos em temperatura ambiente e com maiores intervalos de observação mostrou-se inviável.

Tabela 5.11. Parâmetros para simulação da memória associativa no SECS.

Parâmetro	Valor adotado
Temperatura	0 K
Duração da simulação	10 ps
Interações	3
Tempo de espera sem eventos	0,01

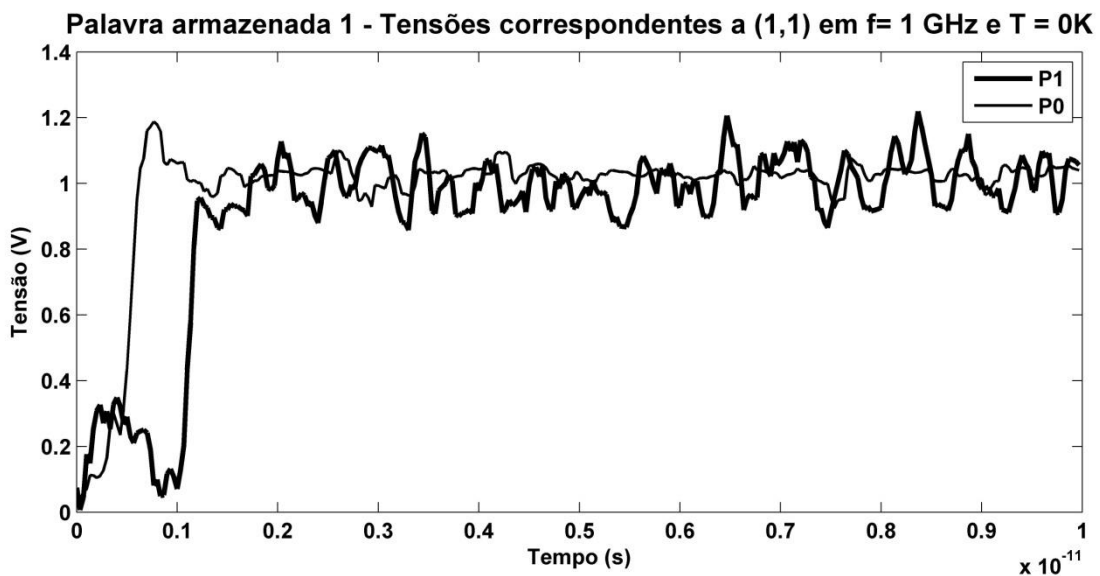


Figura 5.13. Palavra armazenada 1 (1,1) com simulação em $f = 1$ GHz e $T = 0$ K.

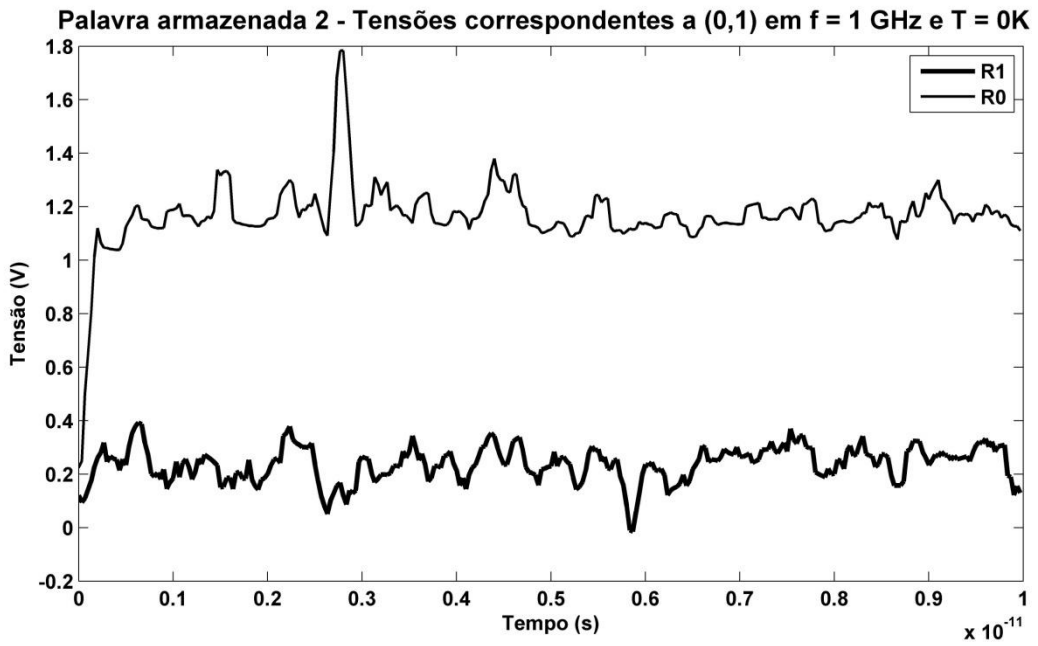


Figura 5.14. Palavra armazenada 2 (0,1) com simulação em $f = 1$ GHz e $T = 0$ K.

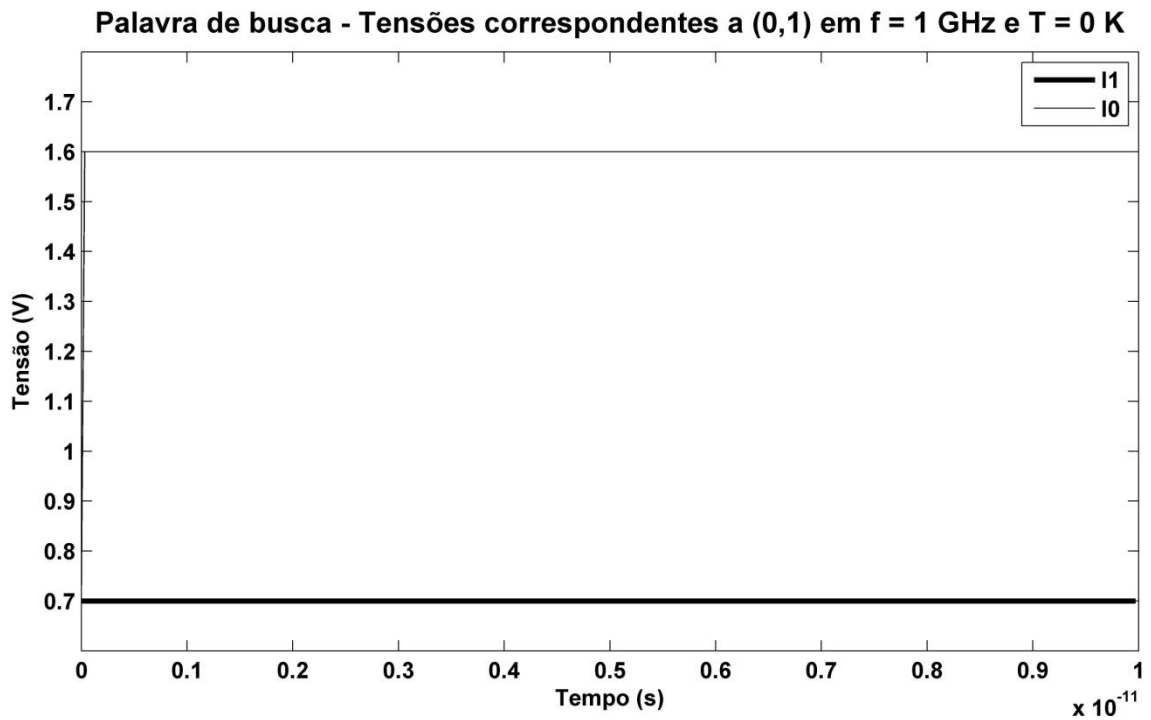


Figura 5.15. Palavra de busca (0,1) com simulação em $f = 1$ GHz e $T = 0$ K.

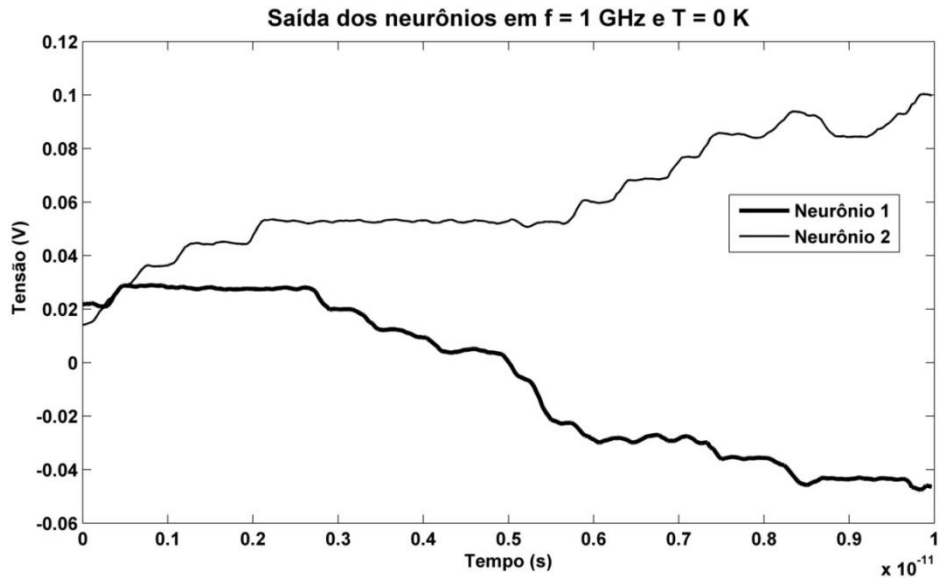


Figura 5.16. Saída dos neurônios com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$.

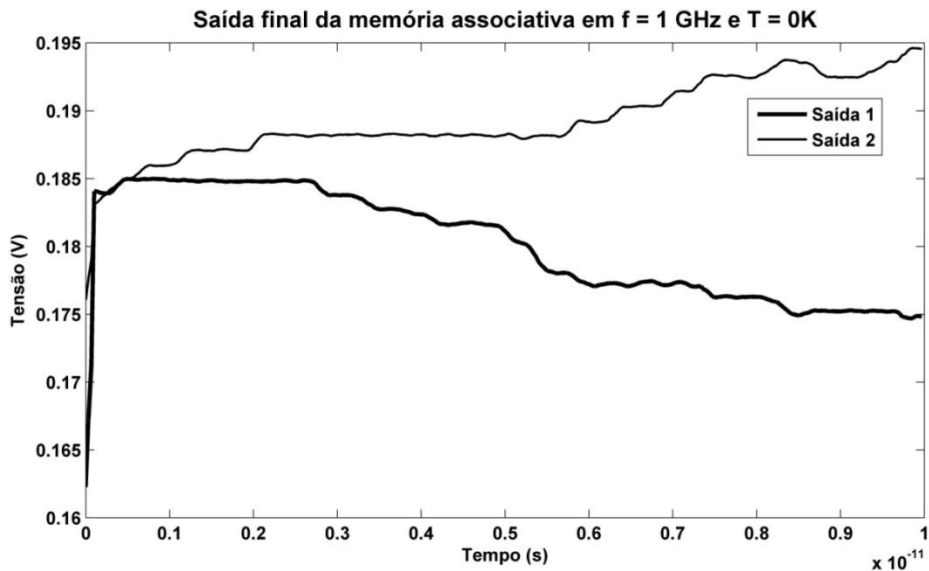


Figura 5.17. Saída final do circuito com simulação em $f = 1 \text{ GHz}$ e $T = 0 \text{ K}$.

Com a observação das saídas finais da memória associativa é possível constatar que, na situação verificada, o circuito operou conforme o esperado, com a vitória da palavra armazenada 2 em todo o intervalo de tempo. Para a validação do comportamento da memória sob os parâmetros de simulação da tabela 5.11, é necessário, no entanto, que todos os demais 11 exemplos da tabela 5.5 sejam simulados a fim de se confirmar o funcionamento em cada situação. Devido aos altos tempos de simulação demandados na utilização do SECS, as simulações efetuadas não contemplaram todas as situações possíveis. Ainda assim, pôde ser verificado por simulação o potencial da memória associativa em operar com frequências da ordem de GHz, como no exemplo aqui analisado.

5.4 ESTABILIDADE

O diagrama de estabilidade, conforme apresentado anteriormente nesse trabalho, é obtido através da combinação das tensões de entrada do circuito. Para a memória associativa proposta, as 10 combinações das entradas, sendo elas S_{11} , R_{11} , S_{12} , R_{12} , S_{21} , R_{21} , S_{22} , R_{22} , I_0 e I_1 de acordo com a figura 5.1, resultariam num total de 1024 (2^{10}) combinações, e conseqüentemente 1024 diagramas de estabilidade.

Assim, devido à complexidade em se obter 1024 diagramas através do SIMON, será aqui apresentada uma análise simplificada da estabilidade da arquitetura proposta. Para isso, será avaliada a estabilidade resultante da combinação entre os bits de entrada I_0 e I_1 da palavra de busca, mantendo todas as demais fontes de tensão constantes. A figura 5.18 apresenta os resultados obtidos nessa situação. Como pode ser observado, para qualquer combinação entre as entradas I_1 e I_0 , há operação em regiões cinza, com oscilações de carga da ordem de 10^{-15} A. Ainda assim, conforme verificado por simulação, a operação nessas regiões não implicou em instabilidade para o comportamento do circuito.

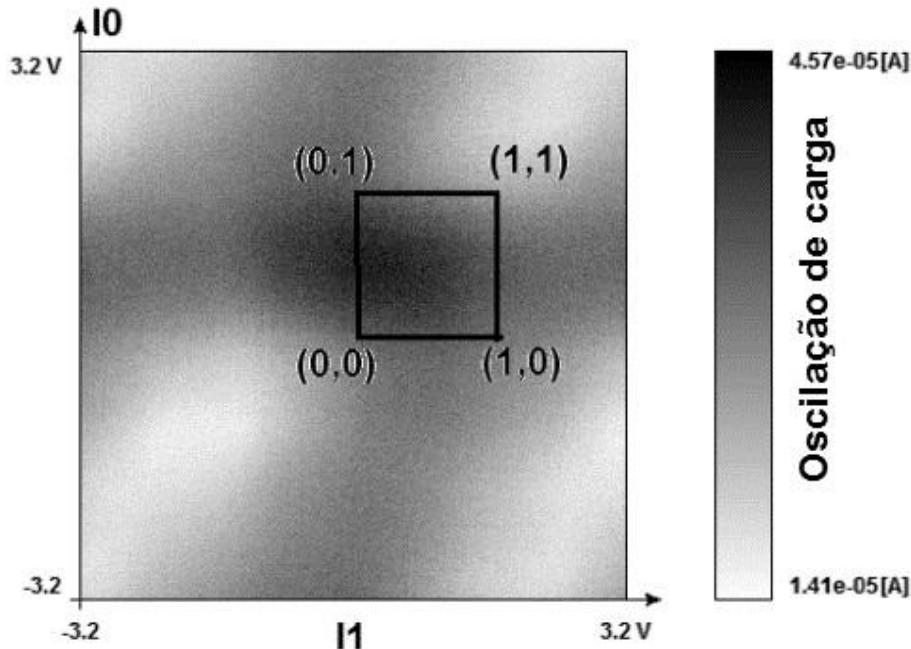


Figura 5.18. Diagrama de estabilidade da memória associativa nanoeletrônica proposta.

5.5 CONSIDERAÇÕES FINAIS

A edição de 2011 do guia da ITRS – *International Techonolgy Roadmap for Semiconductor* – apresenta em sua seção sobre pesquisas emergentes de novos dispositivos alguns aspectos que devem ser considerados no desenvolvimento de novos sistemas de memória. São eles [3]:

1. **Capacidade de armazenamento.** Refere-se ao tamanho potencial de armazenamento de dados da memória, em Bytes. O seu entendimento é importante para se quantificar custos e potência.
2. **Velocidade.** As velocidades de acesso e leitura da memória são fatores importantes a serem considerados em seu desempenho.
3. **Consumo de potência.** A média de consumo de potência impactará nos sistemas de suprimento de tensão e refrigeração necessária ao funcionamento da memória projetada.
4. **Proporcionalidade do consumo de potência.** Muitos sistemas não operam sob carga máxima constantemente. Assim, o consumo de potência do sistema deve buscar a proporcionalidade com a carga atual.
5. **Persistência.** Refere-se à capacidade do sistema em continuar operando ainda quando sua fonte tensão é removida rapidamente, ou ele é desligado.
6. **Capacidade associativa.** Algumas aplicações são beneficiadas com sistemas que possuem memórias associativas, como as memórias endereçadas por conteúdo, por exemplo.

Dessa maneira, será apresentada a seguir uma estimativa do consumo de área e potência que resultaria da aplicação da memória associativa proposta nesse trabalho. Para o cálculo da área ocupada, será considerado que as dimensões das ilhas prevalecem sobre as dimensões dos demais componentes (capacitâncias, entre outros). Além disso, será considerado que as ilhas são circulares, com diâmetro igual a 8nm [67]. A tabela 5.12 apresenta o número de ilhas que cada um dos circuitos que compõem a memória possui. Portanto, considerando que a arquitetura final do circuito é constituída por quatro *latches* SR, quatro portas ou-exclusivo, dois neurônios e dois *buffers*, a área total do dispositivo seria igual a 602 nm². A esse valor devem-se acrescentar ainda as áreas ocupadas pelas redes de interconexão. Assim, estimando que 50% da área de uma arquitetura

nanoeletrônica é composta por interconexões, a área final da memória equivaleria a 1204 nm².

Tabela 5.12. Estimativa de área ocupada para a memória associativa proposta.

Circuito mono-elétron	Número de ilhas	Número de circuitos utilizados na memória	Área total estimada (nm²)
<i>Latch SR</i>	6	4	201
XOR	3	4	201
Neurônio	6	2	100
<i>Buffer</i>	3	2	100
Total	18	12	602

Por sua vez, para a estimativa do consumo de potência estática associado à utilização da memória associativa, é apresentada a tabela 4.19. Esta contém a estimativa de consumo individual para cada circuito mono-elétron componente da arquitetura final da memória, conforme proposta apresentada em [68].

Tabela 5.13. Estimativa de consumo de potência para a memória proposta.

Circuito mono-elétron	Potência individual (nW)	Número de circuitos utilizados na memória	Estimativa de potência total (nW)
<i>Latch SR</i>	80	4	320
XOR	288	4	1152
Neurônio	125	2	250
<i>Buffer</i>	480	2	960
Total	973	12	2.682

Comparando os valores de área ocupada e consumo de potência aos resultados apresentados para a memória fabricada com tecnologia MOS em [39], pode-se perceber que arquiteturas mono-elétron possuem potenciais vantagens comparativas nesses critérios em relação aos dispositivos existentes e fabricados com as tecnologias atuais. Deve-se considerar, no entanto, que enquanto a memória associativa proposta possui capacidade de armazenar duas palavras de dois bits, a memória MOS foi organizada de forma a possuir 4 kbits de informação.

A extrapolação da utilização da arquitetura da memória associativa proposta de modo que sejam armazenados 4kbits implica em uma área ocupada de 0,602 μm² e potência estática

igual 5,364 mW – foi considerado que o maior número de circuitos e interconexões implicará em um aumento de 100% do consumo de potência estática caso se mantivesse apenas o aumento linear do número de dispositivos. Assim, espera-se que as vantagens potenciais dos dispositivos SET sejam mantidas com a expansão de arquiteturas simplificadas, como a proposta nessa dissertação.

Em relação aos demais aspectos listados pela ITRS, a capacidade de armazenamento da memória apresentada foi avaliada na sua forma mais simples, tomando como exemplo palavras de dois bits. A velocidade de operação, por sua vez, foi estudada através das simulações dinâmicas no SECS, a partir das quais foram estimadas frequências possíveis para a operação da arquitetura proposta. Já a capacidade associativa da memória foi explorada desde a escolha de qual aplicação que seria proposta para a utilização dos blocos básicos mono-elétron, primeiramente estudados nesse trabalho. Por fim, os demais aspectos listados em [3] devem ser objetos de trabalhos futuros, para melhor caracterização da proposta apresentada. Pode-se acrescentar ainda às demandas futuras de trabalho, a necessidade de se avaliar o tempo de armazenamento (*leakage*) do circuito.

6 CONCLUSÕES

Na presente dissertação, foram estudados primeiramente alguns circuitos básicos mono-elétron já propostos na literatura, cujas funções desempenhadas são: latch SR [28], porta ou-exclusivo [30], neurônio de Hamming [4] e buffer/ inversor com ganho de amplificação [26, 30, 57, 59]. Para cada circuito, foram apresentadas as análises estáticas – simulações no SIMON –, análise dinâmica – simulações no SECS – e análise dos diagramas de estabilidade fornecidos para certa combinação entre tensões de entrada.

Os três circuitos básicos anteriormente citados já foram objetos de estudo em relação ao seu desempenho estático em temperatura ambiente. Para os circuitos mono-elétron com ganho de amplificação, por sua vez, foi realizada primeiramente a escolha dos circuitos existentes na literatura que foram aqui avaliados, para posteriormente proceder aos redimensionamentos necessários e validação das operações em relação aos aspectos desejados em $T=300K$. Vale lembrar que as análises dinâmicas e de estabilidade para os circuitos de interesse foram realizadas pela primeira vez nesse trabalho.

Por fim, foi proposta uma memória associativa nanoeletrônica concebida como aplicação para os circuitos básicos validados por simulação. A memória baseou-se na utilização da distância de Hamming para endereçar o resultado final da memória por certo caminho vencedor, o qual foi determinado pela maior semelhança de bits entre a palavra de busca e as palavras armazenadas. É importante mencionar que para a investigação do funcionamento da memória, foi utilizada capacidade de armazenamento de palavras de dois bits. Ainda assim, espera-se que as potenciais vantagens apresentadas na operação da arquitetura simplificada sejam mantidas quando houver a sua expansão. Como perspectivas futuras há a ampliação dessa capacidade de armazenamento, para verificação da capacidade de processamento de informação em condições mais próximas das utilizadas nas aplicações atuais.

Nesse momento, é interessante mencionar que limitações existentes nos programas de simulação de dispositivos mono-elétron como a reprodutibilidade manual dos circuitos no SIMON e os consideráveis tempos de simulação no SECS, especialmente quando utilizada temperatura ambiente e maior tempo de observação, limitaram também o desenvolvimento

de investigações mais minuciosas, principalmente em relação à memória associativa proposta. Dessa maneira, tais investigações poderão ser realizadas em trabalhos futuros, com a possível avaliação de outros meios computacionais de se simular circuitos e arquiteturas SET.

Assim, o estudo exploratório de circuitos básicos mono-elétron com a possibilidade de aplicações no campo de processamento de informações foi efetuado nessa dissertação. Este trabalho foi realizado como produto da perspectiva em se desenvolver um processador nanoeletrônico pelo Laboratório de Dispositivos e Circuitos Intergrados do Departamento de Engenharia Elétrica da Universidade de Brasília.

7 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Costa, J.C., Goossens, M., Verhoeven, C. e Roermund, A. (1997). “Applications of Single-electron Transistors” In: *Proceedings of the ProRISC Workshop on Circuits, Systems and Signal Processing*, 97-102.
- [2] Bindal, A. e Hagh, S.H. (2006). “The impact of silicon nano-wire technology on the design of single-work-function CMOS transistors and circuits” In: *Nanotechnology*, 17, 4340-4351.
- [3] ITRS, (2011). “International Technology Roadmap for Semiconductors- Emerging Research Devices”. <http://www.itrs.net/> (acessado em fevereiro de 2012).
- [4] Guimarães, J.G. (2005). “Arquitetura de redes neurais nanoeletrônicos para processadores em escala giga out tera”. Tese de doutorado, Universidade de Brasília, Brasil.
- [5] Karafyllidis, I.G. e Hagouel, P.I. (2010). “Quantum mechanical tunneling: design of a nanoelectronic single-electron RAM”. In: *Proceedings of the 27th IEEE International Conference on Microelectronics*, 21-28.
- [6] Gorter, C.J. (1951). “A possible explanation of the increase of the electrical resistance of thin metal films at low temperatures and small field strengths” In: *Physics*, 17, 777-780.
- [7] Hanson, G.W. (2008). “Fundamentals of Nanoelectronics”, Pearson/Prentice Hall.
- [8] Lemos, G.B. (2006). Dissertação de mestrado, Universidade Federal de Minas Gerais, Brasil.
- [9] Ferry, D.K. (1991). “Transport in nanostructures”, vol.294. Cambridge University Press, EUA.
- [10] Likharev, K.K. (1987). “Single-electron transistors electrostatic analogs of the DC SQUIDS”, In: *IEEE Transactions on Magnetics*, 23, 1142-1145.
- [11] Likharev, K.K. (1999). “Single-electron devices and their applications”, In: *Proceedings of the IEEE*, 87, 606-632.
- [12] Likharev, K.K., Bakhalov, N.S., Kasacha, G.S. e Serdyukova, S.I. (1989). “Single-electron device”, In: *IEEE Transactions on Magnetics*, 25, 1436-1439.

- [13] Pepin, A., Vieu, C., Mejias, M., Jin, Y., Carcenac, F., Gierak, J., David, C., Couraud, L. e H. Launois (1999). “Temperature Evolution of Multiple Tunnel Junction Devices Mode with Disordered Two-Dimensional Arrays of Metallic Islands”. In: *Applied Physics Letters*, 74.
- [14] Dragoman, M. e Gragoman, D. (2009). “Nanoelectronics: Principles and Devices”, 2^a edição, Artech House, Boston, MA.
- [15] Takahashi, Y., Ono, Y., Fujiwara, A. e Inokawa, H. (2002) “ Silicon single-electron devices”. In: *Journal of Physics: Condensed Matter*, 14, 995-1033.
- [16] Matsumoto, K., Ishii, M., Segawa, K. e Oka, Y.(1996). “Room temperature operation of a single electron transistor made by scanning tunneling microscope nanooxidation process for the TiOx/Ti system”. In: *Applied Physics Letters*, 68 (1).
- [17] Ahlskog, M., Tarkiainen, R., Roschier, L. e Hakonen, P.(2000). “Single-electron transistor made of two crossing multiwalled carbon nanotubes and its noise properties”. In: *Applied Physics Letters*, 77 (4).
- [18] Roschier, L., Penttila, J., Martin, M., Hakonen, P. e Paalanen M. (1999). “Single-electron transistor made of multiwalled carbon nanotubes using scanning probe manipulation”. In: *Applied Physics Letters*, 75 (5).
- [19] Park, H., Park, J., Lim, A.K.L, Anderson, E.H., Alivisatos, A.P. e McEuwén, P.L. (2000). “Nano-mechanical oscillations in a single C₆₀ transistor”. In: *Nature*, 407 (57).
- [20] Postma, H.W.C., Teepen, T., Yao, Z., Grifoni, M. e Dekker, C. (2001). “Carbon nanotube single-electron transistors at room temperatures”. In: *Science*, 293 (76).
- [21] Shin, S.J., Jung, C.S., Park, B.J., Yoon, T.K., Lee, S.J., Kim, S.J., Choi, J.B., Takahashi, Y. e Hasko, D.G. (2010). “Si-based ultrasmall multiswitching single-electron transistor operating at room-temperature”. In: *Applied Physics Letters*, 97.
- [22] Matsumoto, K., Gotoh, Y. e Maeda, T. (2000). “Room-temperature single-electron memory made by pulse-mode atomic force microscopy nano oxidation process on atomically flat α -alumina substrate”. In: *Applied Physics Letters*, 76 (2).
- [23] Matsumoto, K., Gotoh, Y. e Maeda, T. (2000). “Experimental and theoretical results of room-temperature single-electron transistor formed by the atomic force microscope nano-oxidation process”. In: *Journal of Vacuum Science Technology*, 18 (4).

- [24] Shirakashi, J., Matsumoto, K., Miura, N. e Konagai, M. (1997). “Room temperature Nb/ Nb oxide-based single-electron transistors”. In: *Electron Devices Meeting, 1997*.
- [25] Yano, K., Ishii, T., Sano, T., Mine, T., Murai, F., Hashimoto, T., Kobayashi, T., Kure, T. e Seki, K. (1996). “Single Electron Memory for Giga-to-Tera Bit Storage”. In: *Proceedings of the IEEE*, 87 (4).
- [26] Lageweg, C., Cotofana, S. e Vassaliadis, S. Static (2002). “Static buffered SET Logic Gates”. In: *Proceedings of the 2nd. IEEE Conference on Nanotechnology*, 491-494.
- [27] Gerousis, C.P., Goodnick, S.M. e Porod, W. (2004). “Nanoelectronic single-electron transistor circuits and architectures”. In: *International Journal of Circuit Theory and Applications*., 32, 323-338.
- [28] Lageweg, C., Cotofana, S. e Vassaliadis, S. Static (2004). “Single Electron Encoded Latches and Flip-Flops”. In: *IEEE Transactions on Nanotechnology*, 3 (2).
- [29] Dasigenis, M.M., Karafyllidis, I. e Thanailakis, A. (2001). “A single electron XOR gate”. In: *Microelectronics Journal*, 32,117-119.
- [30] Chen, R.H., Korotkov, A.N. e Likharev, K.K. (1996). “Single electron transistor logic”. In: *Journal of Applied Physics*, 68(14).
- [31] Wasshuber, C., Kosina, H. e Selberherr, S. (1998). “A Comparative Study of Single-Electron Memories”. In: *IEEE Transactions on Electron Devices*, 45 (11).
- [32] Zardalidis, G.T. e Karafyllidis, I. (2003). “Design and simulation of a single-electron full-adder”. In: *IEEE Proceedings on Circuits, Devices and Systems*, 150, 173-177.
- [33] Hu, C.H., Cotofana, S.D. e Jiang, J.F. (2004). “Digital to analogue converter based on single-electron tunneling transistor”. In: *IEEE Proceedings on Circuits, Devices and Systems*, 151 (5), 438-442.
- [34] Beckett, P. e Jennings, A. (2002). “Towards nanocomputer architecture”. In: *Proceedings of the seventh Asia-Pacific Conference on Computer systems architecture*, Vitória, Austrália.
- [35] Haykins, S. (1999). “Neural networks”. Prentice Hall, NJ.
- [36] Hassoun, M.H. (1993). “Associative neural memories: theory and implementation”. Oxford University Press.

- [37] Koo, J.T. (1970). "Integrated-circuit content-addressable memories". In: *IEEE Journal of Solid-State Circuits*, 5, 208-215.
- [38] Abedin, M.A., Koide, T. e Mattausch, H.J. (2008). "Fully parallel single and two-stage associative memories for high speed pattern matching". In: *5th Conference on Electrical and Computer Engineering*, 20-22.
- [39] Mattausch, H.J., Gyohten, T., Soda, Y. e Koide, T. (2002). "Compact associative-memory architecture with fully parallel search capability for the minimum Hamming distance". In: *IEEE Journal of Solid-State Circuits*, 37 (2).
- [40] Yano, Y., Koide, T. e Mattausch, H.J. (2004). "Associative memory with fully parallel nearest-Manhattan-distance search for low power real-time single-chip applications". In: *IEEE Proceedings of the 2004 Asia and South Pacific Design Automation Conference*.
- [41] Abedin, M.A., Tanaka, Y., Ahmadi, A., Koide, T. e Mattausch, H.J. (2006). "Fully parallel associative memory architecture with mixed digital-analog match circuit for nearest Euclidean distance search". In: *IEEE Asia Pacific Conference on Circuits and Systems*, 1309-1312.
- [42] Abedin, M.A., Kamimura, K., Ahmadi, A., Mattausch, H.J. e Koide, T. (2005). "Fully parallel associative memory architecture realizing minimum Euclidean distance search". In: *4th COE Workshop Proceedings, Hiroshima University*.
- [43] Sudo, A., Sato, A. e Hasegawa, O. (2009). "Associative memory for online learning in noisy environments using self-organizing incremental neural networks". In: *IEEE Transactions on Neural Networks*, 20 (6).
- [44] Imafuku, W., Sakakibara, S., Kawabata, A., Ansari, T., Mattausch, H.J. e Koide, T. (2009). "Associative-memory based prototype LSI with recognition and on-line learning capability and its application to handwritten characters". In: *International Symposium on Intelligent Signal Processing and Communication Systems*, 627-630.
- [45] Arya, K.V., Singh, V., Mitra, P. e Gupta, P.(2008). "Face recognition using parallel associative memory". In: *IEEE International Conference on Systems, Man and Cybernetics*, 1332-1336.
- [46] Chung, A., Deen, J., Lee, J.S. e Meyyapan, M. (2010). "Nanoscale memory devices". In: *Nanotechnology*, 21 412001.

- [47] Yamanaka, T., Morie, T., Nagata, M. e Iwata, A. (2000). “A single-electron stochastic associative processing circuit robust to random background-charge effects and its structure using nanocrystal floating-gate transistors”. In: *Nanotechnology*, 11, 154-160.
- [48] Degawa, K., Aoki, T., Higuchi, T., Inokawa, H. e Takahashi, Y. (2005). “A two-bit-per-cell content-addressable memory using single-electron transistors”. In: *Proceedings of the 35th IEEE International Symposium on Multiple-valued Logic*, 32-38.
- [49] Degawa, K., Aoki, T., Higuchi, T., Inokawa, H. e Takahashi, Y. (2006). “A high-density ternary content-addressable memory using single-electron transistors”. In: *Proceedings of the 36th IEEE International Symposium on Multiple-valued Logic*.
- [50] Carmo, H.C., Guimarães, J.C. e Da Costa, J.C. (2006). “Signal classifier based on a single-electron stochastic associative memory”. In: *Proceedings of the 21th Symposium on Microelectronics, Technology and Devices*, 1, 377-384.
- [51] Alencar, B.M.S.M. (2009). “Memória endereçada por conteúdo nanoeletrônica”. Trabalho de Conclusão de Curso em Engenharia Elétrica, Universidade de Brasília, Brasil.
- [52] Göpfert, S, Worschech, L., Lingemann, S., Schneider, C., Press, D., Höfling, S. e Forchel, A. (2010). “Room temperature single-electron memory and light sensor with three-dimensionally positioned InAs quantum dots”. In: *Applied Physics Letters*, 97.
- [53] Dubuc, C., Beauvais, J. e Drouin, D. (2008). “A nanodamascene process for advanced single-electron transistor fabrication”. In: *IEEE Transactions on Nanotechnology*, 7(1), 68-73.
- [54] Beaumont, A., Dubuc, C., Beauvais, J. e Drouin, D. (2010). “Direct-write electron beam lithography in silicon dioxide at low energy”. In: *Journal of Vacuum Science Technology*, 28 (5), 940-945.
- [55] Xuan, W., Beaumont, A., Guilmain, M., Bounouar, M.A., Baboux, N., Etkorn, J., Drouin, D. e Calmon, F. (2012). “Static and Dynamic Modeling of Single-electron memory for circuit simulation”. In: *IEEE Transactions on Electron Devices*, 59 (1), 212-220.
- [56] Hadley, P., Lientschnig, G. e Lai, M.J. (2003). “Single-electron transistors”. Delft University of Technology, The Netherlands.
- [57] Heij, C.P., Hadley, P. e Mooij, J.E. (2001). “A single-electron inverter”. In: *Applied Physics Letters*, 78 (8).

- [58] Heij, C.P. e Hadley, P. (2002). “Superconducting single-electron push-pull amplifier stage”. In: *Review of Scientific Instruments*, 73, 491-492.
- [59] Lageweg, C., Cotofana, S. e Vassaliadis, S. Static (2003). “Single Electron Encoded Logic Memory elements”. In: *Third IEEE Conference on Nanotechnology*, 449-452.
- [60] Hadley, P., Heij, P., Lientschnig, G., Teepe, T., Postma, H. e Dekker, C. (2001). “Single Electron effects in metals and nanotubes for nanoscale circuits”. In: *Proceedings on the MIOP – The German Wireless Week, 11th Conference on Microwaves, Radio Communication and Electromagnetic Compatibility*, 408-412.
- [61] Zardalidis, G.T. e Karafyllidis, I.G. (2004). “Design and simulation of a nanoelectronic single-electron universal Fredkin gate”. In: *IEEE Transactions on Circuits and Systems*, 51 (12), 2395-2403.
- [62] Wasshuber, R.C., Kosina, K. e Selberherr, S. (1997). “SIMON – a simulator for single-electron tunneling devices and circuits”. In: *IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems*, 16 (9), 937-944.
- [63] Chen, R.H. (1996). “MOSES: a general Monte Carlo simulator for single-electronic circuits”. In: *Meeting Abstracts*, 96 (2).
- [64] Zardalidis, G.T. e Karafyllidis, I.G. (2008). “SECS: a new single-electron circuit simulator”. In: *IEEE Transactions on Circuits and Systems*, 55 (9), 2774-2784.
- [65] MathWorks, T. Matlab 7.9, 2009.
- [66] Hoekstra, J. (2010). “Introduction to Nanoelectronic Single-electron Circuit Design”. Universidade de Tecnologia de Delft, Pan Stanford Publishing, Holanda.
- [67] Karre, P.S.K., Bergstrom, P.L., Mallick, G. e Karna, S.P. (2007). “Room temperature operational single electron transistor fabricated by focused ion beam deposition”. In: *Journal of Applied Physics*, 102, 2.
- [68] Silva, L.M. e Guimarães, J.G. (2009). “Performance analysis of single-electron NAND gates”. In: *ECS Transactions*, 23 (1), 311-318.

8 ANEXOS: SIMULAÇÕES COMPLEMENTARES

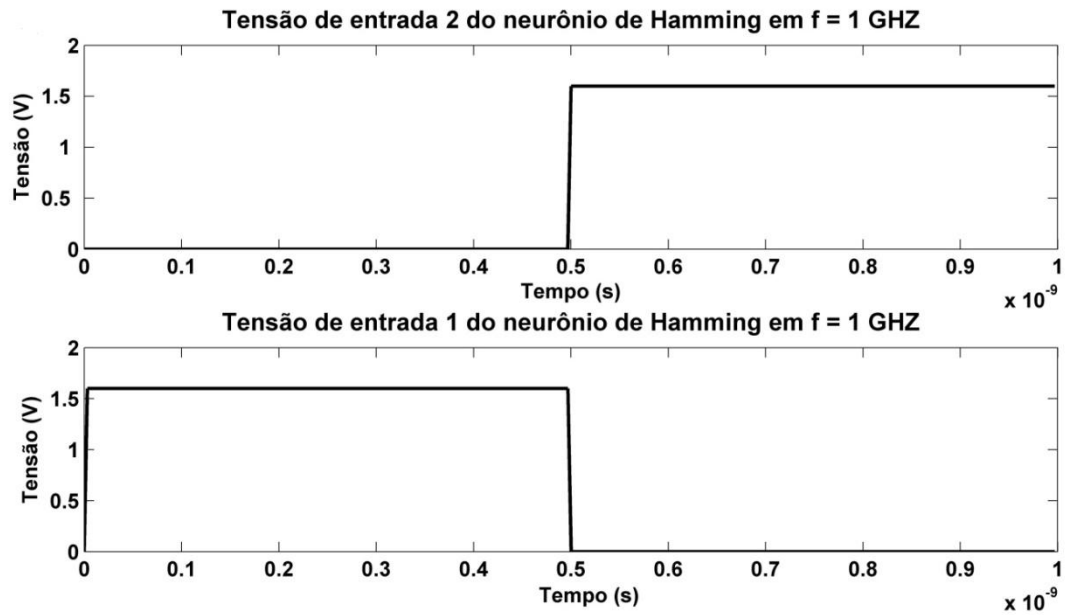


Figura 8.1. Tensões de entrada dos neurônios de Hamming mono-elétron em $T = 300$ K e $f = 1$ GHz.

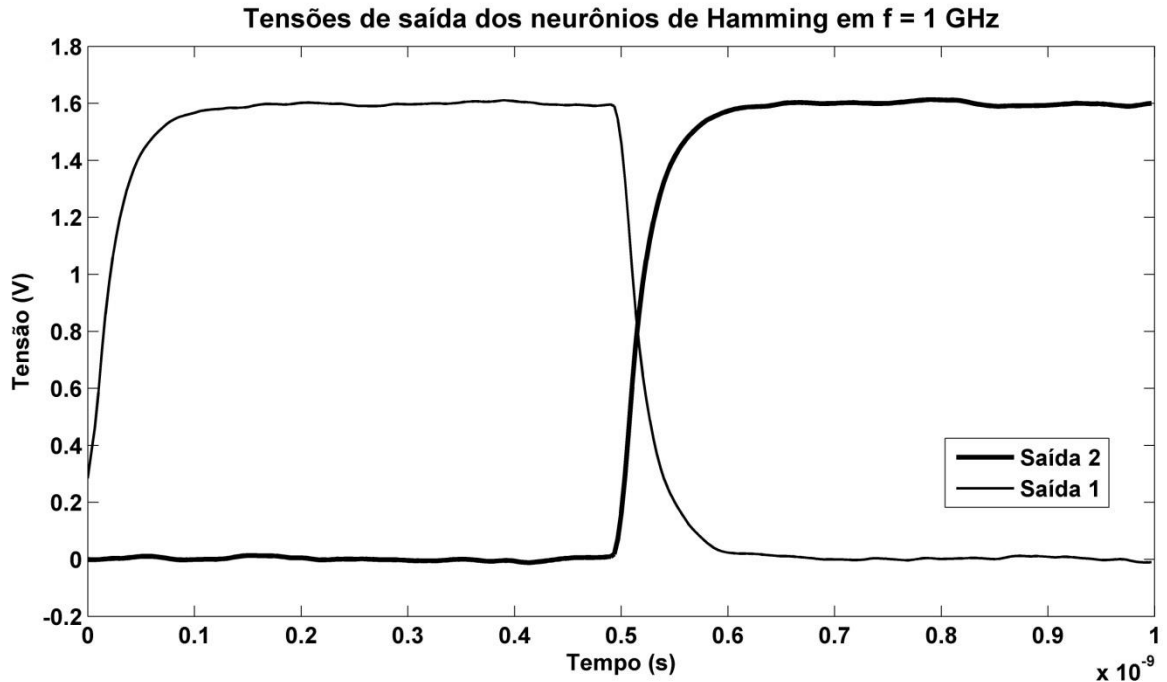


Figura 8.2. Tensões de saída dos neurônios de Hamming mono-elétron em $T = 300$ K e $f = 1$ GHz.

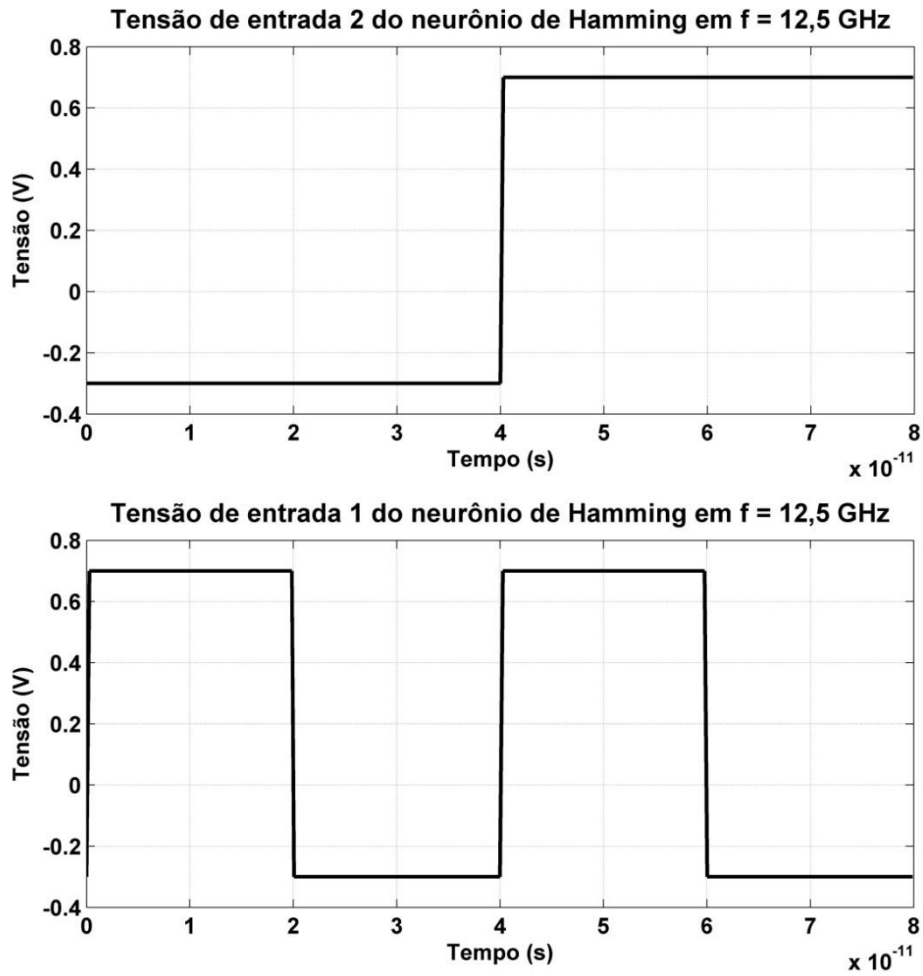


Figura 8.3. Tensões de entrada dos neurônios de Hamming mono-elétron em $T = 300$ K e $f = 1$ GHz.

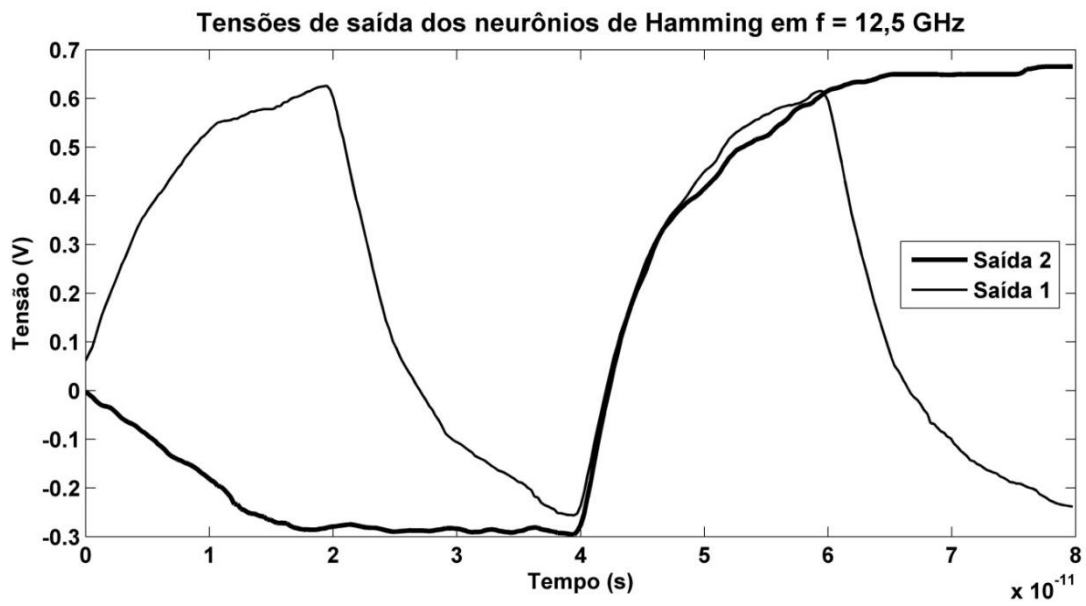


Figura 8.4. Tensões de saída dos neurônios de Hamming mono-elétron em $T = 300$ K e $f = 12,5$ GHz.

Tabela 8.1. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (1,0).

EXEMPLO 5			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,1)	(1,0)	-----
(0,1)	(0,1)	(1,0)	Palavra armazenada 1
(1,0)	(0,1)	(1,0)	Palavra armazenada 2
(1,1)	(0,1)	(1,0)	-----

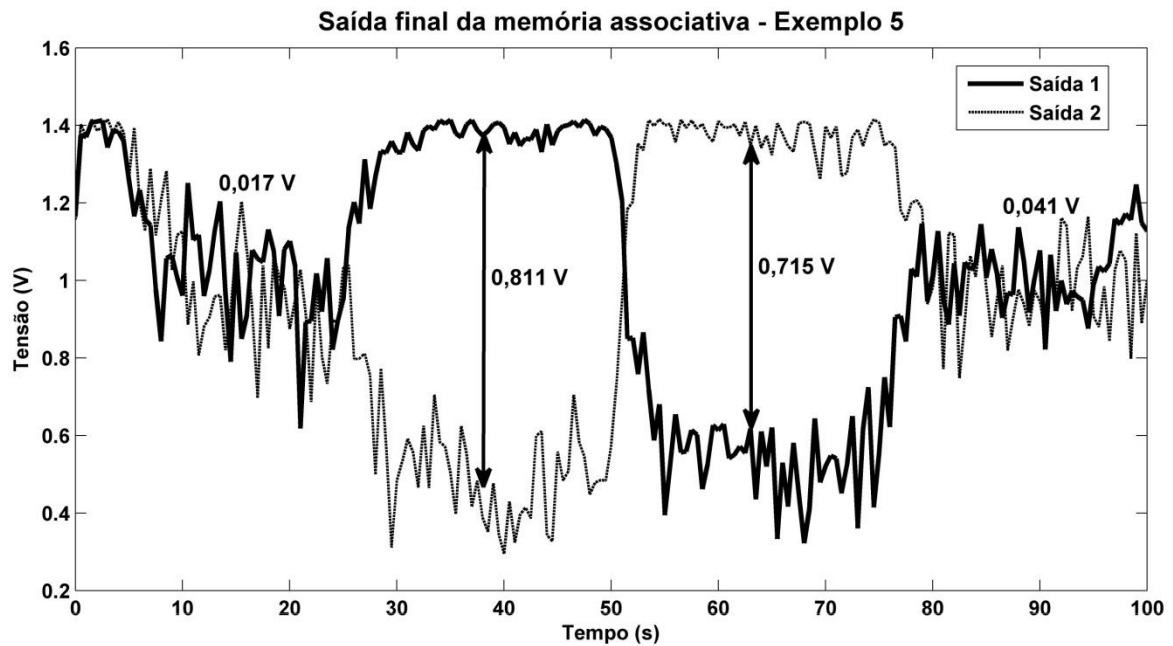


Figura 8.5. Tensões de saída da memória em $T = 300K$ – exemplo 5.

Tabela 8.2. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (0,1) e (1,1).

EXEMPLO 6			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(0,1)	(1,1)	Palavra armazenada 1
(0,1)	(0,1)	(1,1)	Palavra armazenada 1
(1,0)	(0,1)	(1,1)	Palavra armazenada 2
(1,1)	(0,1)	(1,1)	Palavra armazenada 2

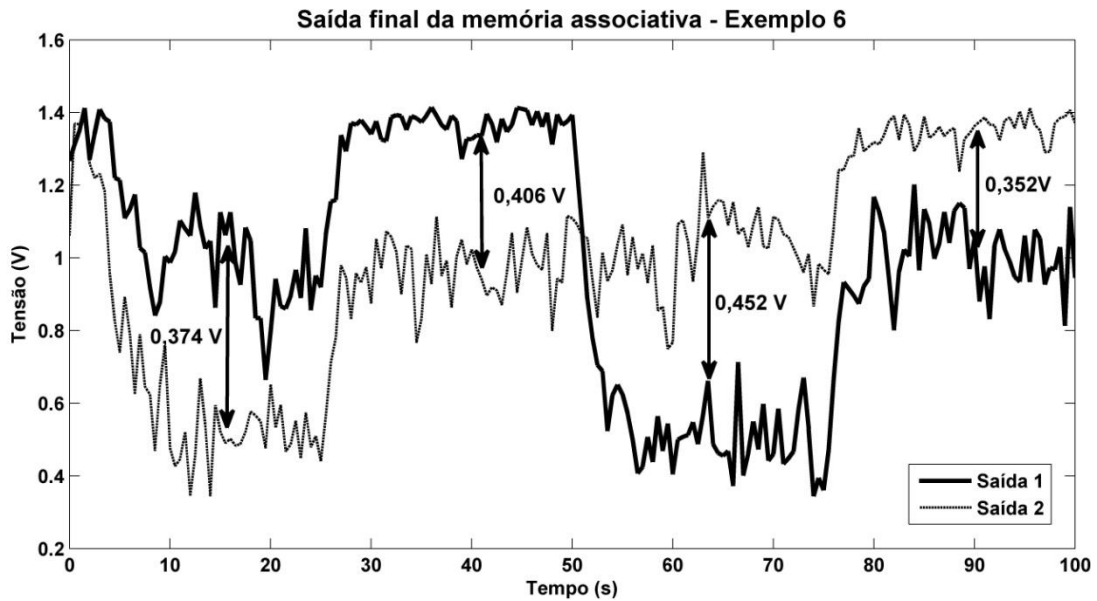


Figura 8.6. Tensões de saída da memória em $T = 300K$ – exemplo 6.

Tabela 8.3. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (0,0).

EXEMPLO 7			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,0)	(0,0)	Palavra armazenada 2
(0,1)	(1,0)	(0,0)	Palavra armazenada 2
(1,0)	(1,0)	(0,0)	Palavra armazenada 1
(1,1)	(1,0)	(0,0)	Palavra armazenada 1

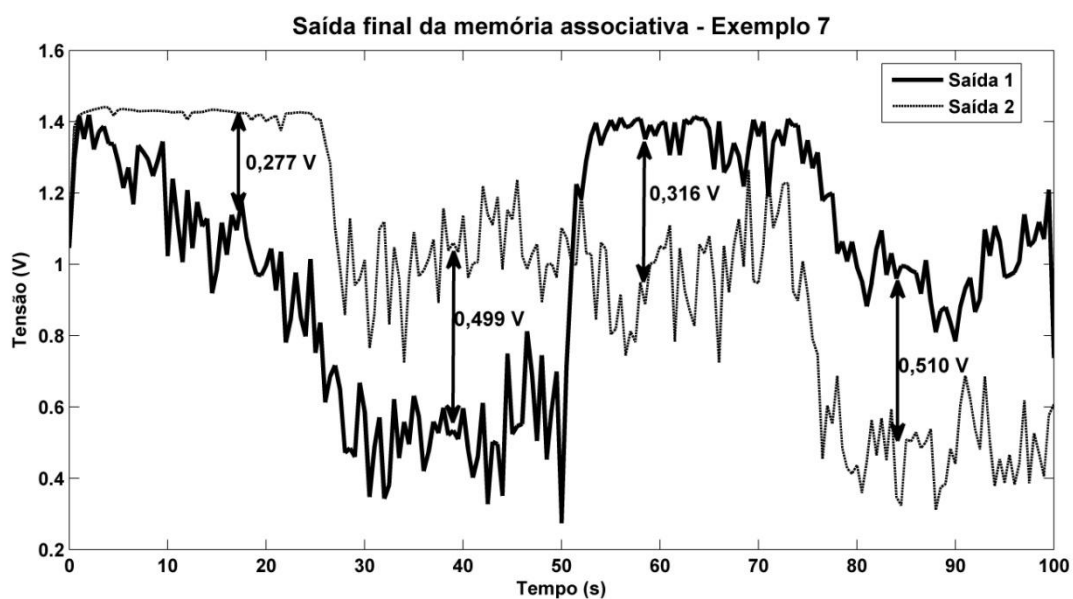


Figura 8.7. Tensões de saída da memória em $T = 300K$ – exemplo 7.

Tabela 8.4. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (0,1).

EXEMPLO 8			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,0)	(0,1)	-----
(0,1)	(1,0)	(0,1)	Palavra armazenada 2
(1,0)	(1,0)	(0,1)	Palavra armazenada 1
(1,1)	(1,0)	(0,1)	-----

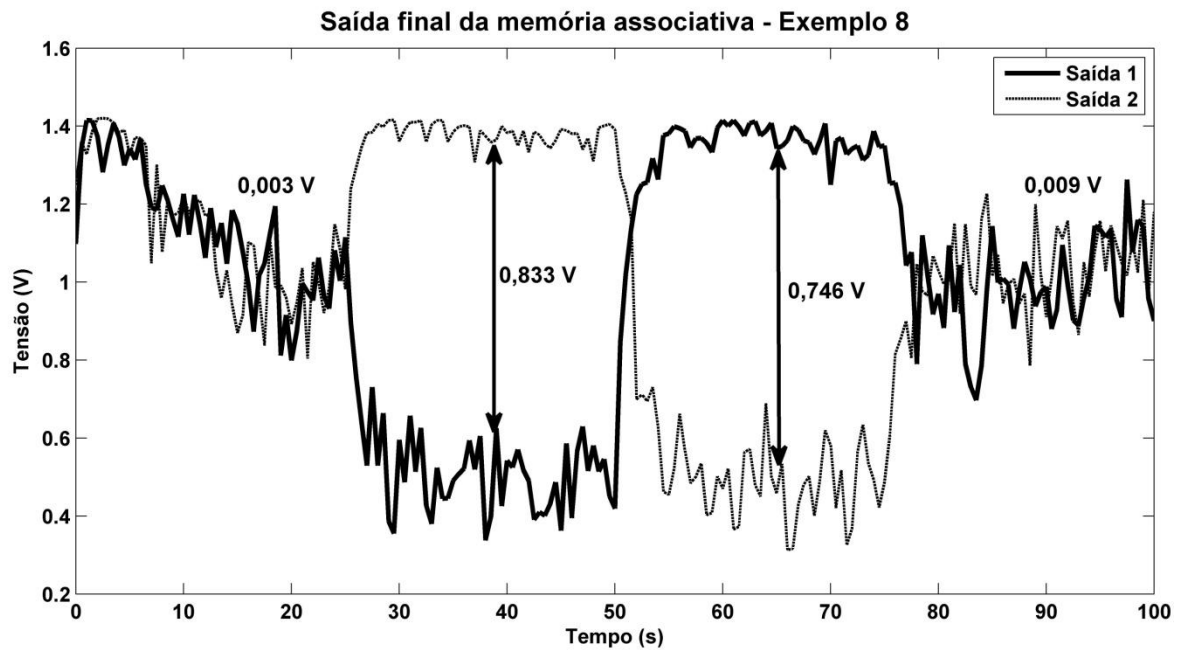


Figura 8.8. Tensões de saída da memória em $T = 300K$ – exemplo 8.

Tabela 8.5. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,0) e (1,1).

EXEMPLO 9			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,0)	(1,1)	Palavra armazenada 1
(0,1)	(1,0)	(1,1)	Palavra armazenada 2
(1,0)	(1,0)	(1,1)	Palavra armazenada 1
(1,1)	(1,0)	(1,1)	Palavra armazenada 2

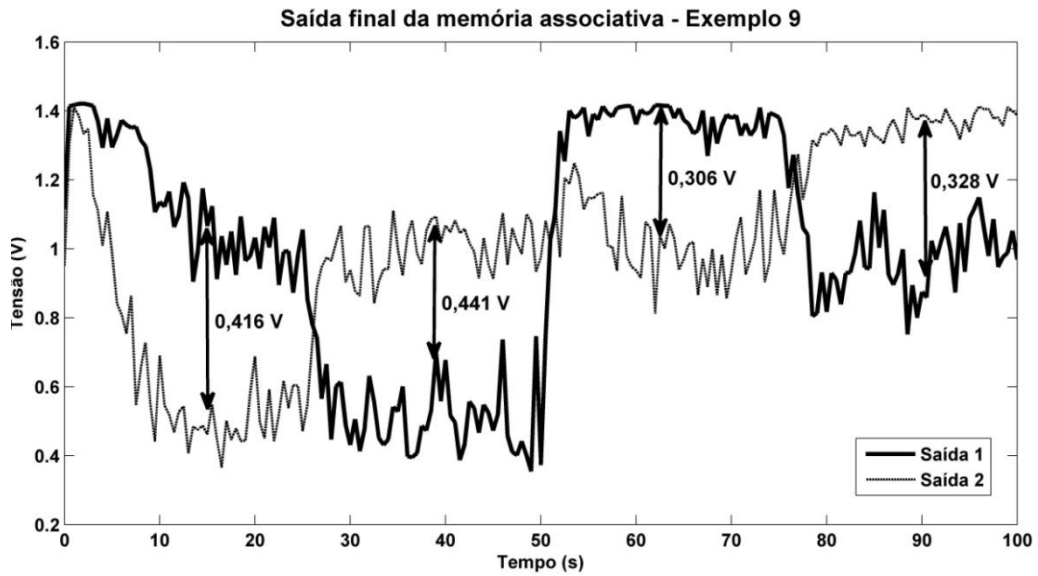


Figura 8.9. Tensões de saída da memória em $T = 300K$ – exemplo 9.

Tabela 8.6. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (0,0).

EXEMPLO 10			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,1)	(0,0)	Palavra armazenada 2
(0,1)	(1,1)	(0,0)	-----
(1,0)	(1,1)	(0,0)	-----
(1,1)	(1,1)	(0,0)	Palavra armazenada 1

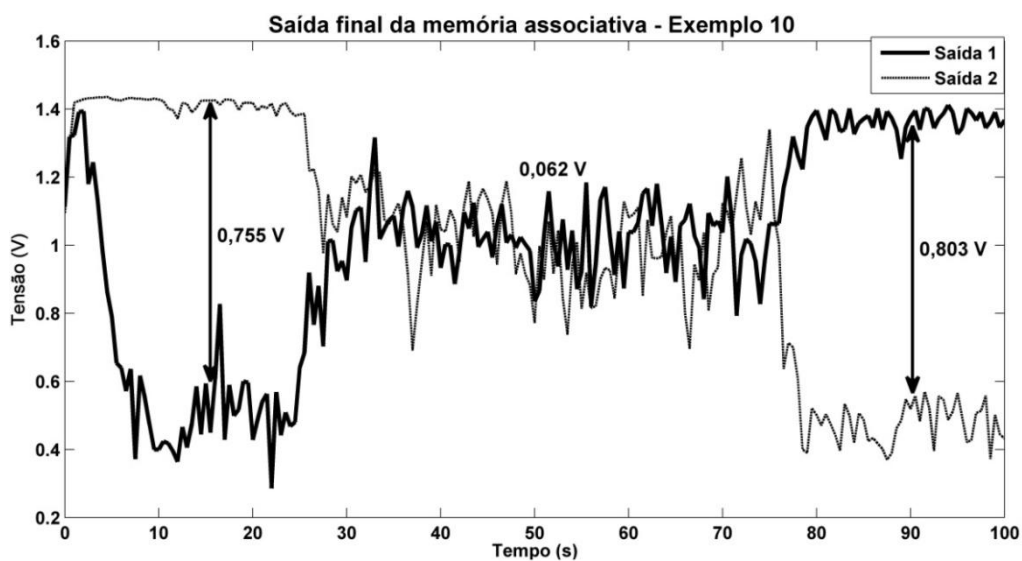


Figura 8.10. Tensões de saída da memória em $T = 300K$ – exemplo 10.

Tabela 8.7. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (0,1).

EXEMPLO 11			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,1)	(0,1)	Palavra armazenada 2
(0,1)	(1,1)	(0,1)	Palavra armazenada 2
(1,0)	(1,1)	(0,1)	Palavra armazenada 1
(1,1)	(1,1)	(0,1)	Palavra armazenada 1

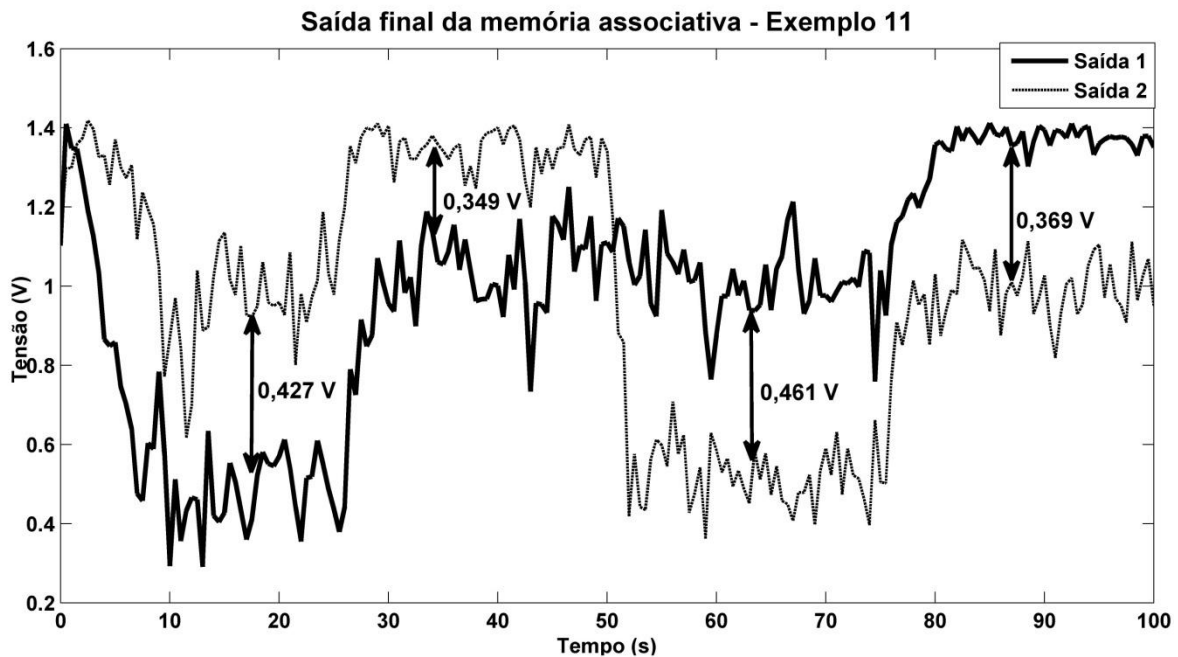


Figura 8.11. Tensões de saída da memória em $T = 300K$ – exemplo 11.

Tabela 8.8. Exemplo de funcionamento esperado para a memória, com as palavras armazenadas (1,1) e (1,0).

EXEMPLO 12			
Palavra de busca (I_1, I_0)	Palavra armazenada 1 (P_1, P_0)	Palavra armazenada 2 (R_1, R_0)	Saída do circuito
(0,0)	(1,1)	(1,0)	Palavra armazenada 2
(0,1)	(1,1)	(1,0)	Palavra armazenada 1
(1,0)	(1,1)	(1,0)	Palavra armazenada 2
(1,1)	(1,1)	(1,0)	Palavra armazenada 1

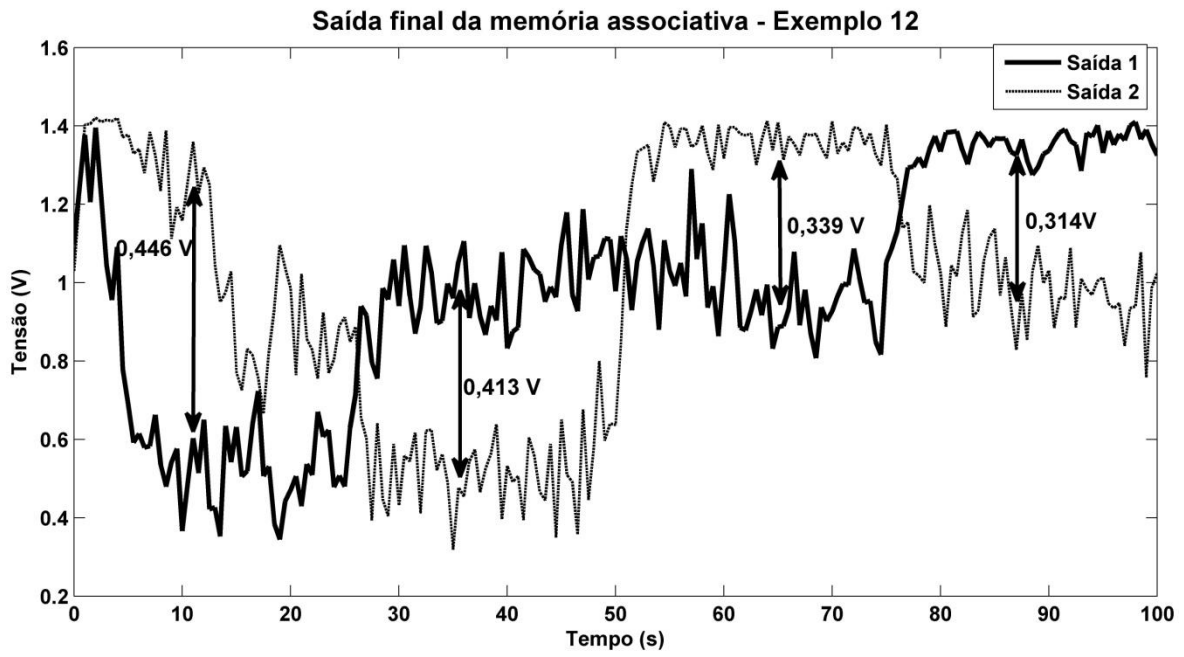


Figura 8.12. Tensões de saída da memória em $T = 300\text{K}$ – exemplo 12.