

**UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**DESENVOLVIMENTO DE UMA MEMÓRIA ASSOCIATIVA  
ESTOCÁSTICA UTILIZANDO  
TRANSISTORES MONO-ELÉTRON**

**HELEN CARVALHO DO CARMO**

**ORIENTADOR: JOSÉ CAMARGO DA COSTA**

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA ELÉTRICA**

**PUBLICAÇÃO: PPGENE.DM – 288A/06**

**BRASÍLIA/DF: DEZEMBRO - 2006**

**UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**DESENVOLVIMENTO DE UMA MEMÓRIA ASSOCIATIVA  
ESTOCÁSTICA UTILIZANDO TRANSISTORES MONO-ELÉTRON**

**HELEN CARVALHO DO CARMO**

**DISSERTAÇÃO SUBMETIDA AO DEPARTAMENTO DE  
ENGENHARIA ELÉTRICA DA FACULDADE DE TECNOLOGIA DA  
UNIVERSIDADE DE BRASÍLIA COMO PARTE DOS REQUISITOS  
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE.**

**APROVADA POR:**

---

**Prof. José Camargo da Costa, Docteur (ENE-UnB)  
(Orientador)**

---

**Prof. Alexandre Ricardo Soares Romariz, PhD (ENE-UnB)  
(Examinador Interno)**

---

**Prof. Paulo César Moraes, PhD (IF-UnB)  
(Examinador Externo)**

**BRASÍLIA/DF, 1 DE DEZEMBRO DE 2006.**

## FICHA CATALOGRÁFICA

CARMO, HELEN CARVALHO DO

Desenvolvimento de uma memória associativa estocástica utilizando transistores mono-elétron. [Distrito Federal] 2006.

xvii, 133p, 100mm (ENE/FT/UnB, Mestre, Engenharia Elétrica, 2006).

Dissertação de Mestrado – Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica.

1.Nanoeletrônica

2.Memória

3.Transistor mono-elétron

4.Redes neurais

I. ENE/FT/UnB

II. Título (série)

## REFERÊNCIA BIBLIOGRÁFICA

CARMO, H. (2006). Desenvolvimento de uma memória associativa estocástica utilizando transistores mono-elétron. Dissertação de mestrado em Engenharia Elétrica, Publicação PPGENE.DM-288A/06, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 150p.

## CESSÃO DE DIREITOS

AUTORA: Helen Carvalho do Carmo.

TÍTULO: Desenvolvimento de uma memória associativa estocástica utilizando transistores mono-elétron.

GRAU: Mestre

ANO: 2006

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte dessa dissertação de mestrado pode ser reproduzida sem autorização por escrito do autor.

---

Helen Carvalho do Carmo  
SQS 311 Bloco C Apto. 405.  
70.364-030 Brasília – DF – Brasil.

Dedicado a Giovana Rosa,  
fonte de alegria e inspiraão.

## **AGRADECIMENTOS**

Agradeço em primeiro lugar, ao meu orientador professor José Camargo, por me empurrar sempre um pouco mais para frente, mesmo quando eu já achava ter chegado ao limite. Que nossa amizade continue a florescer gerando sempre bons frutos, como o resultado deste trabalho.

Agradeço a professora Janaína Guimarães, praticamente co-orientadora deste trabalho, e acima de tudo uma grande amiga, fiel e companheira. Obrigada por toda paciência, carinho e dedicação.

Agradeço aos professores membros da banca examinadora, Alexandre Romariz e Paulo César, pelas contribuições para finalização do trabalho.

Agradeço aos meus colegas e companheiros de Laboratório: Janaína, Thiago, Larissa, Fabrício, Victor, Rafael, Gilmar, Helder, Ryan; por todo apoio e incentivo.

Agradeço aos meus grandes amigos Antônio da Silva Filho e Zilda Souza, sem vocês o caminho teria sido muito mais longo e difícil. Obrigada pela luz brilhante que vocês irradiam.

Agradeço as minhas amigas Juliana Diniz e Tatiana Estrela pela força e ajuda na hora exata. A participação de vocês nesta etapa foi fundamental. Sou muito grata por ter vocês na minha vida.

Agradeço aos meus amigos de faculdade, a galera do Maxwell Rules, por todo apoio e compreensão pelas minhas ausências. Vocês são os melhores.

Agradeço ao pessoal do Swásthya Yôga. Aos instrutores e alunos que de alguma forma estiveram do meu lado sempre apoiando e incentivando, em especial a minha amiga Cândida e, os instrutores Ricardo Souza, por tudo que me ensinou e, Daniel Tonet, pelas “conversas” no msn.

Agradeço a todos os amigos e colegas que estiveram ao meu lado, por todo carinho, incentivo e compreensão.

Agradeço aos meus pais Estela e Eurípedes, por todo o questionamento e dúvida sobre a minha escolha, mas principalmente por sempre, em todos os momentos, me apoiarem em quaisquer das minhas escolhas, isso é amor. Muito obrigada.

Aos meus irmão Junior e Elisa, e também a Ana Paula e o Erick, por todo apoio, paciência e carinho a mim dedicados.

E finalmente, agradeço a Deus pela existência e pela capacidade de crescer e evoluir.

## **RESUMO**

### **DESENVOLVIMENTO DE UMA MEMÓRIA ASSOCIATIVA ESTOCÁSTICA UTILIZANDO TRANSISTORES MONO-ELÉTRON.**

**Autora: Helen Carvalho do Carmo.**

**Orientador: José Camargo da Costa.**

**Programa de Pós-graduação em Engenharia Elétrica.**

**Brasília, dezembro de 2006.**

Neste estudo realizou-se, pela primeira vez, o projeto de uma memória associativa estocástica, através da conexão de blocos de circuitos com funções específicas utilizando somente transistores mono-elétron.

A viabilidade da conexão de blocos, integrando sistemas é demonstrada apresentando uma metodologia de projeto para a realização de sistemas nanoeletrônicos, utilizando o conceito hierárquico na composição dos circuitos.

A funcionalidade do sistema formado pela memória associativa foi verificada a partir de simulações parciais e integrais do sistema, com ferramenta CAD profissional.

## **ABSTRACT**

### **DEVELOPMENT OF A STOCHASTIC ASSOCIATIVE MEMORY USING SINGLE-ELECTRON TRANSISTORS.**

**Author: Helen Carvalho do Carmo.**

**Supervisor: José Camargo da Costa.**

**Programa de Pós-graduação em Engenharia Elétrica.**

**Brasília, December of 2006.**

In this study the design of an stochastic associative memory, based upon single-electron transistors, was, for the first time, carried out.

An hierarchical design methodology, suitable for single-electron circuit conception was also devised in this work.

The associative memory circuit design's performance was validated using professional electrical simulators.



# SUMÁRIO

LISTA DE TABELAS .....	xii
LISTA DE FIGURAS .....	xiii
LISTA DE SÍMBOLOS, NOMECLATURA E ABREVIACÕES .....	xvi
1 INTRODUÇÃO .....	- 1 -
1.1 OBJETIVO .....	- 2 -
1.2 CONTEÚDO .....	- 3 -
2 REVISÃO BIBLIOGRÁFICA E FUNDAMENTAÇÃO TEÓRICA .....	- 4 -
2.1 INTRODUÇÃO .....	- 4 -
2.2 MICROELETRÔNICA MOS .....	- 5 -
2.3 NANOELETRÔNICA .....	- 7 -
2.3.1 Introdução .....	- 7 -
2.3.2 Tunelamento .....	- 9 -
2.3.2.1 Probabilidade de transmissão .....	- 10 -
2.3.2.2 Taxa de tunelamento .....	- 11 -
2.3.3 Bloqueio de Coulomb .....	- 14 -
2.4 TRANSISTOR MONO-ELÉTRON .....	- 17 -
2.4.1 Introdução .....	- 17 -
2.4.2 Princípio de funcionamento .....	- 18 -
2.4.2 Influência da temperatura .....	- 20 -
2.4.3 Efeito de co-tunelamento .....	- 21 -
2.4.4 Efeito das cargas de desvio .....	- 21 -
2.5 REDES NEURAS ARTIFICIAIS .....	- 22 -
2.5.1 Introdução .....	- 22 -
2.5.2 Redes <i>Winner-take-all</i> .....	- 23 -
2.5.3 Memória associativa .....	- 24 -
2.6 CIRCUITOS NANOELETRÔNICOS .....	- 24 -
2.7 MEMÓRIA ASSOCIATIVA ESTOCÁSTICA .....	- 26 -
2.7.1 Introdução .....	- 26 -
2.7.2 Arquitetura de circuito .....	- 27 -
2.7.3 Bloco memória .....	- 28 -
2.7.4 Bloco comparador .....	- 33 -
2.7.5 Bloco do conversor .....	- 36 -

2.7.6	Bloco <i>holder</i> .....	- 39 -
2.7.7	Bloco inversor.....	- 41 -
2.7.8	Bloco entrada.....	- 42 -
2.7.9	Rede WTA utilizando transistores mono-elétron .....	- 43 -
2.8	SIMULADOR DE DISPOSITIVOS NANOELETRÔNICOS.....	- 44 -
3	METODOLOGIA .....	- 48 -
3.1	ESTRATÉGIAS .....	- 48 -
3.1.1	Procedimento de projeto de circuitos.....	- 48 -
3.1.2	Utilização de transistores mono-elétron.....	- 49 -
3.1.3	Validação por simulação .....	- 50 -
3.2	PROCEDIMENTO DE PROJETO DA MEMÓRIA ASSOCIATIVA.....	- 50 -
3.2.1	Definição e escolha da arquitetura.....	- 50 -
3.2.2	Adaptação de blocos .....	- 50 -
3.2.3	Especificação funcional .....	- 52 -
3.2.4	Validação por simulação .....	- 54 -
4	DESENVOLVIMENTO E RESULTADOS .....	- 55 -
4.1	INTRODUÇÃO .....	- 55 -
4.2	REDE WTA.....	- 57 -
4.3	BLOCOS.....	- 58 -
4.3.1	Introdução.....	- 58 -
4.3.2	Bloco memória .....	- 59 -
4.3.3	Bloco comparador.....	- 61 -
4.3.4	Bloco conversor .....	- 63 -
4.3.5	Bloco <i>holder</i> .....	- 64 -
4.3.6	Bloco inversor.....	- 66 -
4.3.7	Bloco entrada.....	- 68 -
4.4	MÓDULOS.....	- 69 -
4.4.1	Introdução.....	- 69 -
4.4.2	Conversor – Comparador .....	- 69 -
4.4.3	<i>Holder</i> – Rede WTA.....	- 72 -
4.4.4	Conversor – Comparador – <i>Holder</i> .....	- 75 -
4.4.5	Conversor – Comparador – <i>Holder</i> – Rede WTA.....	- 79 -
4.4.6	Comparador – Memória .....	- 81 -
4.4.7	Entrada – Comparador – Memória .....	- 83 -

5	MEMÓRIA ASSOCIATIVA .....	- 86 -
5.1	O CIRCUITO.....	- 88 -
5.2	RESULTADO DA SIMULAÇÃO.....	- 92 -
5.3	DISCUSSÃO .....	- 94 -
6	CONCLUSÕES .....	- 95 -
	REFERÊNCIAS BIBLIOGRÁFICAS .....	- 96 -
	APÊNDICE A. ....	- 100 -
	APÊNDICE B.....	- 107 -
	APÊNDICE C.....	- 114 -
	APÊNDICE D. ....	- 123 -

## LISTA DE TABELAS

Tabela 2.1	Valores dos componentes do circuito do bloco memória original.....	- 29 -
Tabela 2.2	Valores dos componentes do circuito do comparador.....	- 34 -
Tabela 2.3	Valores dos componentes do circuito original do conversor A/D.....	- 37 -
Tabela 2.4	Correspondência entre a tensão de entrada e a saída digital [05].....	- 37 -
Tabela 2.5	Valores dos componentes do circuito original do <i>holder</i> . ....	- 41 -
Tabela 4.1	Dimensões dos dispositivos de circuito do neurônio WTA. ....	- 58 -
Tabela 4.2	Valores dos componentes do circuito do bloco memória. ....	- 60 -
Tabela 4.3	Valores dos componentes do circuito do comparador. ....	- 62 -
Tabela 4.4	Faixa de operação do conversor A/D.....	- 63 -
Tabela 4.5	Valores dos componentes do circuito do conversor A/D.....	- 64 -
Tabela 4.6	Modo de operação. ....	- 65 -
Tabela 4.7	Valores dos componentes do circuito do bloco inversor. ....	- 67 -
Tabela 4.8	Valores dos componentes do bloco entrada.....	- 69 -
Tabela 4.9	Valores dos componentes do circuito do Módulo I.....	- 70 -
Tabela 5.1	Valores dos componentes do circuito da memória simulado.....	- 93 -

## LISTA DE FIGURAS

Figura 2.1	Eletródos separados por uma ilha [01].	- 7 -
Figura 2.2	Poço quântico para um Diodo de Tunelamento Ressonante (RTD) [11].	- 8 -
Figura 2.3	Junção túnel.....	- 9 -
Figura 2.4	Barreira túnel.....	- 12 -
Figura 2.5	Produto das duas funções de Fermi para quatro valores de temperatura diferentes, ( $E_{Fi} - E_{Ff} = 1eV$ ) [17].	- 13 -
Figura 2.6	Diagrama de energia.	- 17 -
Figura 2.7	Transistor mono-elétron. Duas junções túnel em série formando uma ilha, o valor de tensão de $V_g$ controla o fluxo de corrente.	- 18 -
Figura 2.8	Efeitos mono-elétron em dispositivo de três terminais. (a) Transistor SET; (b) Característica Corrente versus Tensão do transistor SET.....	- 19 -
Figura 2.9	Tipos de co-tunelamento [01].	- 21 -
Figura 2.10	Arquitetura para processamento estocástico [30].	- 27 -
Figura 2.11	Arquitetura da memória associativa estocástica – blocos constituintes.	- 28 -
Figura 2.12	(a) Circuito do <i>electron-trap</i> ; (b) Símbolo do circuito [06].	- 29 -
Figura 2.13	(a) Variação de $V_g$ no tempo; (b) Variação da carga $Q_I$ em $N_1$ ; (c) Variação da corrente $I$ [06].	- 30 -
Figura 2.14	Histórico da energia livre do sistema de “0” para “1” e depois de volta para “0” [06].	- 32 -
Figura 2.15	Bloco básico da memória digital [06].	- 33 -
Figura 2.16	(a) Circuito; (b) Curva característica [30].	- 34 -
Figura 2.17	Diagrama do bloqueio de Coulomb do transistor mono-elétron [30].	- 35 -
Figura 2.18	Circuito original do conversor A/D [28].	- 36 -
Figura 2.19	Modo de operação do conversor A/D: (a) tensão de entrada $V_{in}$ ; (b) variação de carga na ilha $N_2$ ; (c) variação de carga na ilha $N_5$ ; (d) variação de carga ilha $N_3$ [05].	- 38 -
Figura 2.20	Histórico da energia livre do sistema [05].	- 39 -
Figura 2.21	Circuito original do bloco <i>holder</i> [32].	- 40 -
Figura 2.22	Diagrama de estabilidade: (a) transistor SET1; (b) transistor SET2[32].	- 40 -
Figura 2.23	Circuito original do inversor mono-elétron.	- 41 -
Figura 2.24	Circuito de entrada.....	- 43 -

Figura 2.25	Neurônio WTA mono-elétron [28].	- 43 -
Figura 2.26	Rede WTA mono-elétron com quatro neurônios [28].	- 44 -
Figura 2.27	Editor Gráfico do Simon – circuito para simulação do transistor.	- 45 -
Figura 2.28	Janela dos parâmetros de simulação.	- 46 -
Figura 2.29	Resultados gráficos de uma simulação.	- 47 -
Figura 3.1	Metodologia de projeto de circuitos mono-elétron [01].	- 49 -
Figura 3.2	Diagrama de blocos da arquitetura de circuito da memória associativa.	- 51 -
Figura 3.3	Arquitetura da memória associativa estocástica.	- 52 -
Figura 3.4	Princípio de funcionamento da memória associativa estocástica considerando 1 bit.	- 53 -
Figura 4.1	Diagrama de blocos do circuito da memória associativa estocástica.	- 56 -
Figura 4.2	Rede WTA mono-elétron com dois neurônios.	- 57 -
Figura 4.3	Resultado de simulação para $I_1 < I_2$ .	- 58 -
Figura 4.4	Circuito da célula básica da memória digital.	- 59 -
Figura 4.5	Resultados da simulação do bloco memória isolado.	- 60 -
Figura 4.6	Circuito do bloco comparador.	- 61 -
Figura 4.7	Resultado de simulação do comparador isolado.	- 62 -
Figura 4.8	Circuito do bloco Conversor analógico-digital.	- 63 -
Figura 4.9	Resultados da simulação do bloco Conversor A/D: (a) tensão de entrada $V_{in}$ ; (b) carga de saída do conversor A/D.	- 64 -
Figura 4.10	Circuito do bloco <i>holder</i> .	- 65 -
Figura 4.11	Simulação do bloco <i>holder</i> .	- 66 -
Figura 4.12	Circuito do bloco inversor.	- 67 -
Figura 4.13	Resultado de simulação do bloco inversor.	- 68 -
Figura 4.14	Circuito do bloco entrada.	- 68 -
Figura 4.15	Módulo I - comparador-conversor. Três comparadores de 1 bit, conectados a dois conversores A/D de 3 bits.	- 70 -
Figura 4.16	Resultados de simulação do Módulo comparador-conversor: (a) Tensões de entrada $V_{in0}$ e $V_{in1}$ ; (b) Mediadas de carga nos conversores; e (c) Tensão de saída do comparador $V_{CO}$ .	- 71 -
Figura 4.17	Módulo II <i>holder</i> – rede WTA. Circuito composto por uma rede WTA com dois neurônios conectados a dois <i>holders</i> .	- 73 -
Figura 4.18	Resultados de simulação: (a) Tensões de entrada dos <i>holders</i> ; (b) Tensões de saída da rede WTA, neurônio 2 vencedor.	- 74 -

Figura 4.19	Circuito do Módulo III - conversor-comparador- <i>holder</i> . ....	- 75 -
Figura 4.20	Resultados de simulação do Módulo 3: (a) tensões de entrada dos conversores $V_{in0}$ e $V_{in1}$ ; (b) tensão de entrada do <i>holder</i> ou tensão de saída do comparador $V_{CO}$ ; e (c) corrente de saída do <i>holder</i> $I_o$ . ....	- 76 -
Figura 4.21	Circuito de dois Módulos III interconectados. ....	- 78 -
Figura 4.22	Resultado de simulação: (a) tensões de saída dos comparadores $V_{CO0}$ e $V_{CO1}$ ; (b) tensões de saída dos <i>holders</i> $V_{I0}$ e $V_{I1}$ . ....	- 79 -
Figura 4. 23	Circuito classificador: conversor – comparador – <i>holder</i> - rede WTA. .	- 80 -
Figura 4. 24	Resultados de simulação: $u_1$ indica a tensão de saída do vencedor. ....	- 81 -
Figura 4.25	Circuito do Módulo IV: memória-comparador. ....	- 82 -
Figura 4.26	Resultados de simulação do módulo IV, considerando a tensão de saída do bloco comparador para as possíveis entradas de carga. ....	- 83 -
Figura 4.27	Módulo entrada-comparador-memória. ....	- 84 -
Figura 4.28	Resultados de simulação. ....	- 85 -
Figura 5.1	Abordagem clássica para a classificação de padrões da memória associativa estocástica. ....	- 86 -
Figura 5.2	Organograma funcional do circuito completo da memória associativa estocástica utilizando SET. ....	- 87 -
Figura 5.3	Diagrama de blocos do circuito completo da memória associativa estocástica implementada. ....	- 89 -
Figura 5.4	Circuito da memória associativa estocástica de um bit, com uma rede de dois neurônios, totalmente mono-elétron. ....	- 91 -
Figura 5.5	Resultado da simulação considerando $V_a = 0V$ . ....	- 92 -
Figura 5.6	Resultado da simulação considerando $V_a = -1,5V$ . ....	- 92 -
Figura 5.7	Parâmetros de simulação. ....	- 93 -

## LISTA DE SÍMBOLOS, NOMECLATURA E ABREVIACÕES

CD:	cargas de desvio.
CMOS:	<i>Complementary Metal - Oxide - Semiconductor.</i>
CV/I:	atraso de porta de um transistor MOS.
$CV^2$ :	energia de chaveamento de um transistor MOS.
$C_S$ :	capacitância resultante da ilha.
$D_i$ :	densidade de estados inicial.
$D_f$ :	densidade de estados final.
$e$ :	carga elementar de um elétron.
$E_C$ :	energia eletrostática.
$\Delta E$ :	variação na energia devido ao tunelamento de um elétron.
$f$ :	função de ativação de um neurônio artificial.
GIGA:	$10^9$ .
GSI:	<i>Giga Scale Integration.</i>
$h$ :	constante de Planck.
IL:	inibição lateral.
$I_{OFF}$ :	corrente de fuga do transistor MOS.
$k_B$ :	constante de Boltzmann.
$L_G$ :	comprimento do canal de um transistor MOS.
MOS:	<i>Metal - Oxide - Semiconductor.</i>
$R_K$ :	resistência quântica de tunelamento.
$R_T$ :	resistência de tunelamento da junção túnel.
$S$ :	valor resultante da soma ponderada das entradas de um neurônio artificial.
SIA:	<i>Semiconductor Industry Association.</i>
$T$ :	temperatura de operação.
$ T ^2$ :	probabilidade de transmissão.
TERA:	$10^{12}$ .
TI:	totalmente interconectada.
TSI:	<i>Tera Scale Integration.</i>
$V_{DD}$ :	tensão de alimentação do transistor MOS.
$w_j$ :	valor do peso da entrada $j$ de um neurônio artificial.



WTA:	<i>Winner-Take-All.</i>
$y$ :	sinal de saída do neurônio artificial.
$\Gamma_j$ :	taxa de tunelamento na junção $j$ .
$\theta$ :	valor de limiar da função de ativação de um neurônio artificial.
$H$	vetor campo eletromagnético.
$E$	vetor campo elétrico.
$\mathcal{Y}$	equação de Schrödinger.
$m^*$	massa efetiva.
$\delta$	função delta de Dirac.

# 1 INTRODUÇÃO

Com o passar do tempo a utilização de tecnologias avançadas tornou-se mais e mais presente no dia a dia do homem moderno. Desde o surgimento da tecnologia de projeto de circuitos integrados, a relação custo/performance tem feito com que equipamentos eletrônicos cada vez melhores e menores sejam produzidos a um preço ao alcance de quase todos, em um espaço de tempo cada vez menor.

Nesse cenário a nanotecnologia ganhou um grande impulso nos últimos anos. Devido aos problemas com a miniaturização da tecnologia CMOS, os dispositivos nanoeletrônicos estão sendo largamente estudados. Este tipo de dispositivo não é explicado pela física clássica, e sim pela mecânica quântica, que explica os fenômenos que ocorrem em nível subatômico.

Uma das formas de implementação de circuitos tão pequenos é tentar reproduzir fenômenos naturais ou biológicos, tal como o funcionamento do cérebro, por exemplo, utilizando os conceitos de redes neurais artificiais. Um tipo de dispositivo largamente estudado para a realização destes circuitos é o transistor mono-elétron.

O estudo e o desenvolvimento de dispositivos mono-elétron ou SET (*single-electron transistor*) é um dos assuntos de tecnologia atualmente em evidência na nanoeletrônica. Essa tecnologia torna possível o controle do transporte e da posição de um único ou um pequeno número de elétrons. Os circuitos ditos mono-elétron são circuitos formados por ilhas condutoras isoladas, junções túnel e capacitores, cujo transporte de carga se dá por meio do mecanismo de tunelamento.

Atualmente vários circuitos utilizando dispositivos mono-elétron estão sendo propostos. Dentre estas propostas estão as que utilizam como estratégia a simples substituição dos dispositivos CMOS por dispositivos SET. No entanto, existem duas dificuldades básicas na substituição do CMOS por SET:

- i. A operação do circuito SET não é determinística: o transporte de carga se dá pelo fenômeno probabilístico do tunelamento;
- ii. Devido às impurezas na barreira do óxido, cargas aleatórias são induzidas nas ilhas rodeadas por junções túnel, afetando a operação correta do circuito.

Para contornar essas dificuldades, uma estratégia é utilizar a propriedade estocástica do dispositivo para a construção de circuitos [01].

A utilização de transistores mono-elétron para implementação da memória associativa implica na construção de um sistema estocástico. No caso de uma memória associativa, o fato de ela ser determinística implica que o mesmo estado inicial leva sempre ao mesmo resultado final. No entanto, assim como o cérebro humano, a associação do tipo estocástica permite que estados iniciais diferentes resultem em um mesmo estado final [02].

Muitos trabalhos já foram realizados na área de projeto de memórias utilizando transistores mono-elétron, [03], [04], [05], [06]. No entanto, este trabalho vai além, com um estudo completo de blocos funcionais constituintes de um sistema nanoeletrônico de armazenamento de informação e uma análise sobre a interconexão destes blocos.

Além disso, este estudo apresenta uma análise dos efeitos sob o modo de operação dos circuitos quando sujeitos aos fenômenos de co-tunelamento e cargas aleatórias de desvio, bem como para variações de temperatura.

## **1.1 OBJETIVO**

O objetivo deste trabalho é propor o sistema completo de uma memória associativa constituída por blocos de circuitos básicos formados por transistores mono-elétron e validar o sistema através da simulação.

## **1.2 CONTEÚDO**

O primeiro capítulo desta dissertação, como observado, abordou a motivação e os objetivos do trabalho.

Já o Capítulo 2 trata da revisão bibliográfica e da fundamentação teórica sobre dispositivos nanoeletrônicos, circuitos básicos usando dispositivos mono-elétron e sobre memória associativa. No Capítulo 3, a metodologia adotada para consecução dos objetivos é descrita em detalhes.

No Capítulo 4 são apresentados os blocos e os módulos utilizados no desenvolvimento da memória associativa estocástica e os resultados de simulação obtidos em cada etapa do projeto do circuito. No Capítulo 5, o circuito completo da memória associativa estocástica utilizando dispositivos mono-elétron é apresentado, juntamente com os resultados de simulação. No Capítulo 6, têm-se conclusões e recomendações futuras para continuidade do estudo.

## **2 REVISÃO BIBLIOGRÁFICA E FUNDAMENTAÇÃO TEÓRICA**

### **2.1 INTRODUÇÃO**

A indústria eletrônica e, em particular, a indústria de semicondutores, é um dos principais dirigentes da economia moderna. Seu principal produto, ainda hoje, é o transistor MOS, peça fundamental na fabricação de chips. Tendo em vista serem indispensáveis para o sucesso de muitos outros setores, tais como o da indústria automotiva, o de telecomunicações, etc., os produtos microeletrônicos têm contribuído significativamente para a riqueza das nações e na melhoria da qualidade de vida de seus cidadãos [07], [08].

Muito do progresso da microeletrônica, principalmente do transistor CMOS, em memórias e circuitos lógicos adveio da necessidade de computadores pessoais mais rápidos e de alta performance em virtude da complexidade, força e volume com que os softwares se desenvolveram. Este crescimento na popularidade dos dispositivos MOS está relacionado à diminuição gradual de sua dimensão característica. Atualmente, essa dimensão está abaixo de 100nm [09]. Entretanto, as limitações das tecnologias de fabricação disponíveis deverão, em breve, impedir a diminuição da dimensão característica do transistor MOS.

Alternativas para a construção de circuitos de alta densidade estão sendo pesquisadas, entre elas, dispositivos cujas dimensões são menores que dezenas de nanômetros, chamados de dispositivos nanoeletrônicos. Esses fazem parte da nova área da ciência chamada nanotecnologia [09]. O surgimento de novas aplicações, tal como reconhecimento de voz, aplicações de vídeo em tempo real, e o surgimento de uma nova gama de produtos portáteis de alta capacidade de armazenamento e processamento deram um grande impulso à nanoeletrônica [07], indicando um grande mercado para circuitos integrados em escala nanométrica.

Dispositivos nanoeletrônicos possui algumas características favoráveis à realização de chips contendo uma quantidade de dispositivos mil vezes (ou até mesmo um milhão) maior que a atual, uma vez que apresentam baixo consumo, baixo ruído e um controle de corrente eficiente. Sendo a realização de um processador TSI (*Tera Scale Integration*) um grande desafio realizável no futuro [10].

Nas seções seguintes tem-se a revisão bibliográfica, com uma breve fundamentação da teoria sobre Microeletrônica MOS, Nanotecnologia, Transistor Mono-elétron e Redes Neurais Artificiais.

## **2.2 MICROELETRÔNICA MOS**

O principal tipo de transistor em uso hoje é o MOSFET, no qual uma tensão é imposta no dispositivo para controlar uma saída que pode ser tensão ou corrente. O transistor de efeito de campo metal-óxido-semicondutor, MOSFET, tem sido, de longe, o tipo mais comum de transistor nos circuitos digitais na microeletrônica moderna, desde a sua apresentação em 1952 [11].

No passado, a maneira usual de fazer circuitos eletrônicos menores era simplesmente diminuir todos os componentes do circuito por um fator constante, processo chamado de escalonamento. O MOSFET tornou-se popular pelo fato de suas mudanças de operação serem mínimas, neste processo, mantendo a relação custo/performance bastante favorável [11].

A taxa de miniaturização segue uma relação exponencial, dada pela Lei de Moore, dobrando a cada 18 meses desde a invenção dos circuitos integrados em 1958 [07]. Atualmente, a indústria semicondutora é capaz de fornecer produtos como microprocessadores operando a 1 GHz ou frequências maiores, com mais de 100 milhões de transistores e chips de memória de 1 G bits ou maiores [12].

No entanto, pesquisas revelam: o tamanho mínimo do MOSFET pode estar bem perto de alcançar seu limite, indicando que a taxa de miniaturização não prevalecerá por muito tempo [08].

Alguns obstáculos para a miniaturização FET são enumerados abaixo [11]:

- i. Campos elétricos altos: sendo a tensão de polarização aplicada sobre curtas distâncias, existe a possibilidade de ruptura do dielétrico causando o surgimento de correntes indesejáveis e progressivo dano ao dispositivo;
- ii. Dissipação de calor: a eficiência térmica é limitada e o aquecimento altera o funcionamento dos dispositivos;
- iii. Propriedades de ponto de fuga do corpo: aumenta a dificuldade de dopagem uniforme em semicondutores com a redução da escala;
- iv. Redução da região de depleção: no caso de regiões muito finas, não há como prever se efeitos quânticos, como o tunelamento de elétrons, estão ocorrendo quando o dispositivo está desligado;
- v. Redução e defeitos na fina camada de óxido: a ligação através de pequenos pontos no óxido também resulta tunelamento indesejado de elétrons.

O problema maior da miniaturização é que, com a redução da dopagem efetiva aumentam-se os efeitos quânticos, afetando diretamente as características dos dispositivos eletrônicos em escala nanométrica, governados essencialmente pela mecânica quântica [11]. Propriedades associadas com a uniformidade da dopagem do semicondutor e sua influência na operação tornam-se menos evidentes e efeitos da mecânica quântica, como quantização da carga e tunelamento, assumem maior significância.

Para manter a taxa de miniaturização novas tecnologias precisam ser analisadas [07], para uma possível substituição do MOSFET, caso isso seja necessário. A evolução dos circuitos integrados da microeletrônica para a nanoeletrônica deverá ser feita pela inovação da tecnologia de fabricação. Novas técnicas de implementação que levem em conta os efeitos quânticos de operação desses dispositivos devem ser exploradas.

## 2.3 NANOELETRÔNICA

### 2.3.1 Introdução

Para continuar a miniaturização dos circuitos eletrônicos até uma escala nanométrica, ou até mesmo uma escala molecular, várias alternativas em termos de dispositivos e de circuitos têm sido investigadas.

Esses novos dispositivos nanoeletrônicos podem executar chaveamentos e ampliações como os transistores atuais [11]. Todavia, diferente dos transistores MOS, que operam baseados no movimento de massas de elétrons em materiais densos, os novos dispositivos levam em consideração os fenômenos quânticos que emergem em escala nanométrica, incluindo a discretização dos elétrons [11].

A estrutura essencial destes dispositivos mono-elétron é formada por uma pequena ilha constituída de semicondutor ou metal, na qual elétrons podem ser confinados como mostra a Figura 2.1. Esta ilha assume um papel semelhante ao do canal do FET [11].



Figura 2.1 Eletrodos separados por uma ilha [01].

A extensão do confinamento dos elétrons na ilha define três categorias básicas de dispositivos nanoeletrônicos [11]:

- § *Quantum Dots* (QD`s) – o confinamento de elétrons na ilha possui zero grau de liberdade, nenhum terminal está conectado a ilha;
- § *Ressonant Tunnelling Devices* (RTD`s) – o confinamento de elétrons na ilha é feito com um ou dois graus de liberdade, a ilha pode possuir a um ou a dois terminais;
- § *Single-electron Tunnelling* (SET`s) – o confinamento de elétrons na ilha possui três graus de liberdade, a ilha esta conectada a três terminais.



A composição, forma e tamanho da ilha fornecem diferentes tipos de dispositivos nanoeletrônicos com propriedades distintas [11]. Com base nestes fatores, o projeto do dispositivo explorando os efeitos quânticos, pode possuir modos diferentes de controlar a passagem de elétrons entrando e saindo da ilha.

A dimensão reduzida da ilha é da ordem de 5 a 10 nanômetros [13]. Frequentemente a ilha está intercalada entre duas paredes finas de um mesmo material, ou entre o material e um óxido, ou entre um defeito e um substrato [11]. Em qualquer um destes casos, a ilha está rodeada por barreiras de energia potencial, formando um poço, que impede o trânsito livre de elétrons entrando e saindo, como indica a Figura 2.2.

Dois efeitos essencialmente quânticos são observados quando se tem elétrons confinados entre barreiras de energia potencial em uma ilha de escala nanométrica. Primeiro, a mecânica quântica restringe a energia de cada elétron a um nível finito de energia, um estado com quantidade de energia discreto. Na Figura 2.2,  $\Delta\epsilon$  indica a variação de energia entre os níveis do poço de potencial sendo  $U$  o estado de menor energia. Segundo, se as barreiras forem suficientemente finas (5 a 10nm), elétrons ocupando níveis de energia inferiores ao da altura da barreira têm uma probabilidade finita de tunelar através da barreira, entrando ou saindo da ilha [11]. No entanto, para que um elétron tenha energia para tunelar através da barreira é necessário que haja um estado desocupado.

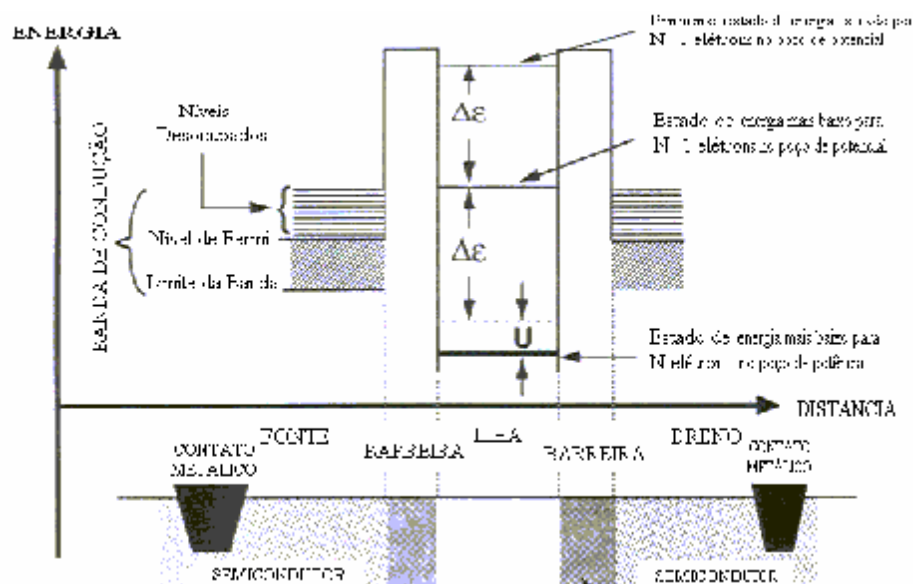


Figura 2.2 Poço quântico para um Diodo de Tunelamento Ressonante (RTD) [11].

A propriedade normalmente utilizada para distinção das três categorias de dispositivos nanoeletrônicos é a forma da ilha. O RTD usualmente possui uma ilha comprida e estreita, constituída por semicondutor com alguns elétrons livres. Já os QD`s são construídos com a ilha reduzida nas três dimensões, sendo formada tanto por semicondutor quanto por metal. No caso SET, a ilha é normalmente metálica com milhões de elétrons livres, com as três dimensões reduzidas [11].

Os dispositivos SET são os mais apontados para a substituição do MOSFET devido a sua estrutura ser semelhante, no que diz respeito ao número de terminais e à forma de controle do fluxo de corrente. Sua utilização em circuitos de alta densidade e baixa potência tem sido largamente pesquisada [11], [14], [15], [16].

### 2.3.2 Tunelamento

Nos dispositivos mono-elétron é possível controlar o movimento e a posição de um único ou de um pequeno grupo de elétrons. Para entender como um único elétron pode ser controlado, deve-se entender o movimento de uma carga elétrica em um condutor [17]. Uma corrente elétrica pode fluir através de um condutor porque alguns elétrons são livres para se mover, constituindo um processo contínuo já que os elétrons de condução não estão localizados em posições específicas. A corrente é determinada pela carga transferida através do condutor. Surpreendentemente, essa carga transferida tem praticamente qualquer valor, múltiplo não inteiro de  $e$  (carga elementar de um elétron). Portanto, a carga transferida não é um valor quantizado [17].

Entretanto, existe um dispositivo de estado sólido por meio do qual as cargas fluem de maneira discreta. Tal dispositivo, ilustrado na Figura 2.3, consiste em dois eletrodos metálicos separados por uma camada de isolante tão fina que permite que os elétrons a atravessem por tunelamento [15]. Este dispositivo é conhecido como junção túnel.

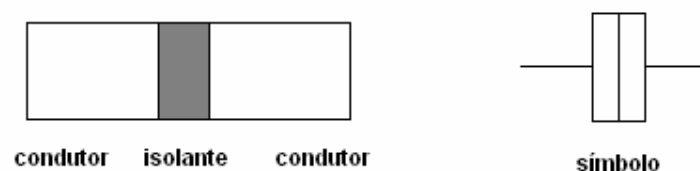


Figura 2.3 Junção túnel

Em 1985, Averin e Likharev [18], [19], [20] formularam a teoria ortodoxa do tunelamento mono-elétron, que descrevia, quantitativamente, efeitos de carregamento importantes como o bloqueio de Coulomb. A teoria ortodoxa afirma que:

- i. o modelo proposto possui dimensão zero: as dimensões das ilhas são negligenciáveis;
- ii. o evento de tunelamento é instantâneo: o tempo de tunelamento, que é o tempo gasto pelo elétron para atravessar a barreira, é da ordem de  $10^{-14}$  s;
- iii. a redistribuição das cargas após o tunelamento também é instantânea;
- iv. o espectro de energia em condutores e ilhas é considerado contínuo: a quantização da energia do elétron é ignorada dentro dos condutores.

Apesar das limitações, a teoria ortodoxa apresenta resultados compatíveis com todos os dados experimentais de sistemas com condutores metálicos [19]. Alguns experimentos indicaram algumas características que não são levadas em consideração pela teoria ortodoxa, que não considera efeitos como o co-tunelamento. O resultado principal de todas as condições assumidas pela teoria ortodoxa é que a taxa em que o tunelamento ocorre depender fortemente da mudança na energia livre causada pelo tunelamento [21].

### 2.3.2.1 Probabilidade de transmissão

Uma frente de onda com uma provável amplitude  $B_1$  se choca com uma barreira de potencial. Parte da onda será refletida e o restante será transmitido pela barreira [22]. A provável amplitude da parte transmitida é denotada por  $B_3$ . A probabilidade de transmissão  $|T|^2$  é definida como o quadrado da razão entre as amplitudes transmitida e antes do choque [17].

$$|T|^2 = \frac{|B_3|^2}{|B_1|^2} \quad (2.1)$$

A probabilidade de transmissão pode ser obtida através da equação de Schrödinger:

$$\hat{H}y = \hat{E}y \quad (2.2)$$

Para uma barreira de potencial retangular com largura  $d$  e altura  $E_0$ ,  $|T|^2$  será:

$$|T|^2 = \frac{|B_3|^2}{|B_1|^2} = \left[ \frac{1}{2} - \frac{1}{8} \left( \frac{k_1}{k_2} - \frac{k_2}{k_1} \right)^2 + \frac{1}{8} \left( \frac{k_1}{k_2} + \frac{k_2}{k_1} \right)^2 \cosh(2k_2 d) \right]^{-1} \quad (2.3)$$

com

$$k_1 = \frac{1}{\hbar} \sqrt{2m^* E} \quad (2.4)$$

$$k_2 = \frac{1}{\hbar} \sqrt{2m^* (E_0 - E)} \quad (2.5)$$

### 2.3.2.2 Taxa de tunelamento

A taxa de tunelamento de um estado inicial  $i$  para um estado final  $f$ , considerando a mudança na energia livre do sistema e usando a regra de ouro de Fermi [15], é expressa por:

$$\Gamma_{i \rightarrow f}(\Delta F) = \frac{2p}{\hbar} |T_{k_i, k_f}|^2 d(E_i - E_f - \Delta F) \quad (2.6)$$

$$\Delta F = F_f - F_i \quad (2.7)$$

Onde  $\Delta F$  é a diferença entre a energia livre final e inicial. Consequentemente, a transição para um estado de energia mais baixa produz uma mudança negativa na energia livre [17]. A taxa de tunelamento total de estados ocupados em um lado da barreira para estados desocupados do outro lado da barreira é dada pela expressão:

$$\Gamma(\Delta F) = \frac{2p}{\hbar} \sum_i \sum_f |T_{k_i, k_f}|^2 f(E_i)(1 - f(E_f)) d(E_i - E_f - \Delta F) \quad (2.8)$$

onde  $f(E)$  é a distribuição de Fermi-Dirac ou função de Fermi [17], [22], que fornece a probabilidade de ocupação dos níveis de energia.  $(1 - f(E))$  é, portanto, a probabilidade de se achar um estado vago.

$$f(E) = \frac{1}{1 + e^{\frac{E-E_F}{k_B T}}} \quad (2.9)$$

$$1 - f(E) = f(-E) = \frac{1}{1 + e^{\frac{E-E_F}{k_B T}}} \quad (2.10)$$

Para junções túnel típicas, a barreira é formada por um óxido muito fino com uma barreira de altura muito alta, como mostra a Figura 2.4.

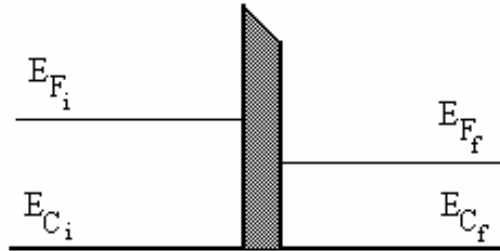


Figura 2.4 Barreira túnel

Geralmente, é uma aproximação bastante razoável desprezar a variação do coeficiente de transmissão com a energia e o momento. A probabilidade de transmissão  $|T|^2$  pode ser tratada então como uma constante que pode ser retirada da somatório na Eq. 2.8.

$$\Gamma(\Delta F) = \frac{2p}{\hbar} |T|^2 \sum_i \sum_f f(E_i)(1 - f(E_f)) d(E_i - E_f - \Delta F) \quad (2.11)$$

Usando a densidade de estados  $D(E)$ , o número de estados de elétrons num intervalo pequeno de energia  $dE$  é dado por  $D(E)dE$ . Esse argumento pode ser utilizado para converter somatórios sobre o momento em integrais sobre a energia.

$$\Gamma(\Delta F) = \frac{2p}{\hbar} |T|^2 \int_{E_{c,i}}^{\infty} dE_i \int_{E_{c,f}}^{\infty} f(E_i)(1-f(E_f))d(E_i - E_f - \Delta F) \cdot dE_f D_i(E_i)D_f(E_f) \quad (2.12)$$

onde  $E_{c,i}$  é a borda da banda de condução do lado onde o elétron está inicialmente,  $E_{c,f}$  é a borda da banda de condução do lado para onde o elétron está tunelando. No lado final,  $D_i(E)$  é a densidade de estados do lado inicial e  $D_f(E)$  é a densidade de estados do lado final da barreira de potencial. O produto das duas funções de Fermi define uma janela quase retangular ao redor das energias de Fermi dos lados inicial e final [17].

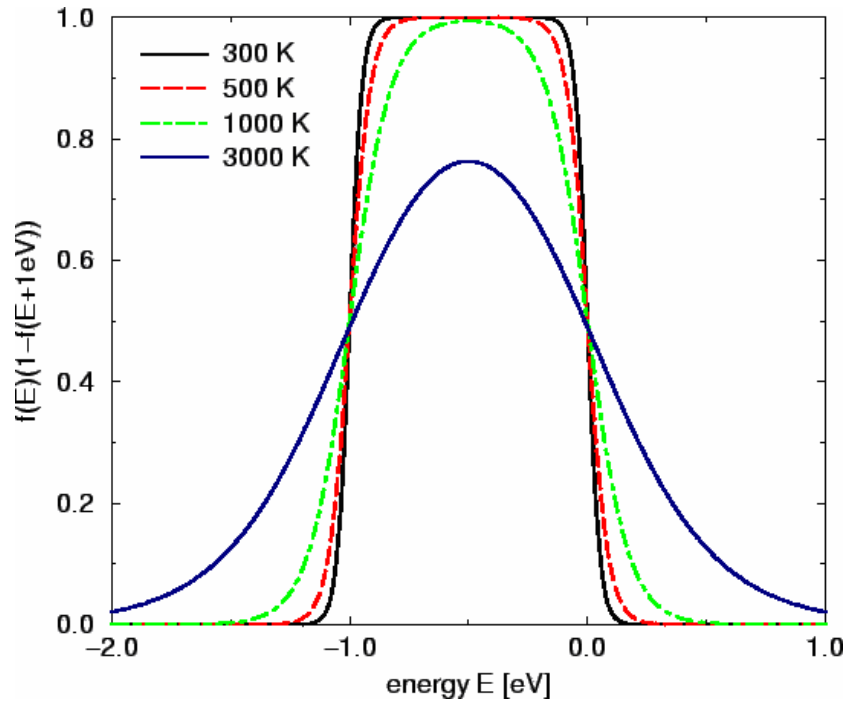


Figura 2.5 Produto das duas funções de Fermi para quatro valores de temperatura diferentes, ( $E_{Fi} - E_{Ff} = 1eV$ ) [17].

Como a maior contribuição da integral vem da janela estreita da Figura 2.5, as densidades de estados que aparecem nesta figura podem ser consideradas constantes e isoladas:

$$\Gamma(\Delta F) = \frac{2p}{\hbar} |T|^2 D_i D_f \int_{E_c}^{\infty} dE f(E)(1-f(E-\Delta F)) \quad (2.13)$$

onde o limite inferior da integral é o maior dos valores mínimos das bandas de condução:

$$E_c = \max(E_{c,i}, E_{c,f}) \quad (2.14)$$

Se os efeitos de carregamento forem desprezados, a junção túnel tem uma característica corrente-tensão ôhmica. Isso significa que a corrente através da junção é proporcional à tensão de polarização aplicada em seus terminais [17]. Assim, a resistência de tunelamento pode ser introduzida como:

$$I = \frac{V}{R_T} \quad (2.15)$$

A resistência de tunelamento incorpora a probabilidade de transmissão e a densidade de estados:

$$R_t = \frac{\mathbf{h}}{2pe^2|T|^2 D_i D_f} \quad (2.16)$$

Usando as propriedades da função de Fermi [17], [22], pode-se chegar ao principal resultado da teoria ortodoxa do tunelamento mono-elétron:

$$\Gamma(\Delta F) = \frac{-\Delta F}{e^2 R_t \left(1 - e^{\frac{\Delta F}{k_B T}}\right)} \quad (2.17)$$

### 2.3.3 Bloqueio de Coulomb

O tunelamento mono-elétron pode ocorrer, a uma dada temperatura, quando a barreira de potencial for suficientemente estreita e com uma altura tal que a emissão termiônica tenha uma probabilidade de ocorrência muito baixa. Assim, fenômenos como o bloqueio de Coulomb só serão observados em uma escala considerável quando a energia de Coulomb, que é energia eletrostática do sistema, for maior que a energia térmica. Então, se  $E_s$  é a energia eletrostática e  $E_t$  é a energia térmica do sistema:

$$E_s = \frac{e^2}{2C} \quad (2.18)$$

$$E_t = k_B T \quad (2.19)$$

onde  $k_B$  é a constante de Boltzmann e  $T$  é a temperatura absoluta, a seguinte condição é necessária:

$$\frac{e^2}{2C} > k_B T \quad (2.20)$$

Nesse caso, se a carga na junção  $Q$  for maior que  $+e/2$ , um elétron irá tunelar através da mesma em uma direção particular, subtraindo  $e$  de  $Q$ . Isso ocorrerá porque esse processo reduzirá a energia eletrostática do sistema. De outro modo, se  $Q$  for menor que  $-e/2$ , um elétron tunelará através da junção na direção oposta, adicionando  $e$  a  $Q$  e diminuindo a energia eletrostática do sistema. Se a carga  $Q$  for menor que  $+e/2$  e maior que  $-e/2$ , o tunelamento em qualquer direção aumentaria a energia eletrostática do sistema. Portanto, se a carga inicial estiver dentro desta faixa, o tunelamento não ocorrerá. Esse estado de supressão de tunelamentos é conhecido como bloqueio de Coulomb [18].

Outra condição que deve ser atendida, para que se possa observar efeitos de carregamento, é que as flutuações quânticas do número de elétrons em uma dada ilha devem ser desprezíveis. Os elétrons precisam ser bem localizados na ilha [23]. Deve-se assegurar que a função de onda dos elétrons em uma dada ilha esteja nela localizada [24]. Se isso não acontecer, os efeitos de carregamento não podem ser observados já que as ilhas não representam partículas separadas, mas sim um grande espaço uniforme de cargas [23]. Nessa condição, o carregamento de uma ilha com um número inteiro de cargas elementares  $e$  seria impossível, porque um elétron seria compartilhado por mais de uma ilha. O bloqueio de Coulomb se extinguiria, já que não existiria um limite inferior de carga para carregar uma ilha.

A resistência de tunelamento é uma quantidade fenomenológica que é definida quando uma diferença de tensão  $V$  é aplicada aos terminais da junção túnel. Quando a junção é transparente, ou seja, quando os efeitos de carregamento não são observados, não se pode localizar os elétrons em uma ilha, porque não há como obrigar o elétron a estar confinado a certo volume.



Para garantir que os efeitos de carregamento ocorrerão, deve-se considerar dois argumentos [24]. O primeiro considera a incerteza da energia de um elétron, dada por:

$$\Delta E \Delta t > h \quad (2.21)$$

onde  $\Delta E$  é a incerteza de energia,  $\Delta t$  é a incerteza de tempo e  $h$  é a constante de Planck. O tempo característico para flutuações de carga é:

$$\Delta t \cong R_t C \quad (2.22)$$

a constante de tempo associada à capacitância de carregamento  $C$  através do resistor túnel  $R_t$  e o *gap* de energia associado a um mono-elétron é:

$$\Delta E = \frac{e^2}{C} \quad (2.23)$$

Pode-se, assim, obter a condição para a resistência de tunelamento:

$$R_t > \frac{h}{e^2} = R_q = 25813\Omega \quad (2.24)$$

Outro argumento requer que o tempo  $t$  que o elétron permanece na ilha seja muito maior que o tempo  $\Delta t$ , que representa a incerteza quântica daquele tempo.

$$t \gg \Delta t \geq \frac{h}{\Delta E} \quad (2.25)$$

A corrente  $I$  não pode exceder  $e/t$  já que para tensões de polarização e temperatura moderadas, pelo menos um elétron estará na ilha em certo instante de tempo. A incerteza de energia  $\Delta E$  não é maior que a energia potencial associada à  $V_b$ .

$$\Delta E < eV_b \quad (2.26)$$

$$R_t = \frac{V_b}{I} \gg \frac{h}{e^2} \quad (2.27)$$

Então para que uma junção não seja muito estreita é necessário que a condição exposta pela Eq. 2.27 seja obedecida. De fato, estudos teóricos mais rigorosos dessa questão sustentaram essa mesma conclusão. E ainda, testes experimentais também mostram que essa condição é necessária para observar efeitos de carregamento [17].

A Figura 2.6 indica esquematicamente as energias durante o bloqueio de Coulomb e o tunelamento mono-elétron.

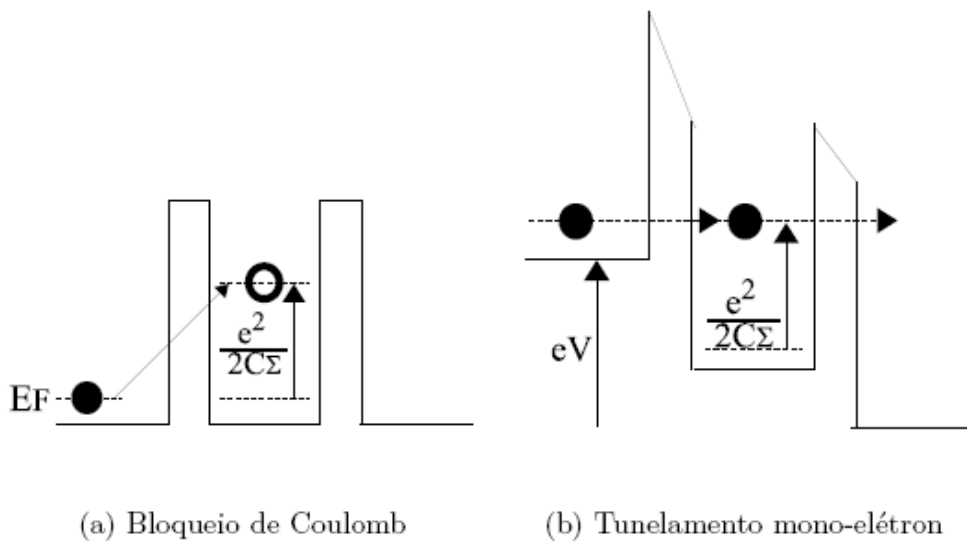


Figura 2.6 Diagrama de energia.

## 2.4 TRANSISTOR MONO-ELÉTRON

### 2.4.1 Introdução

O transistor mono-elétron é um dispositivo que, através do tunelamento controlado de elétrons, possibilita o fluxo de carga entre seus terminais, elétron a elétron [16], [18]. Como o tunelamento é um processo discreto, a carga elétrica que flui através das junções túnel o faz em múltiplos de  $e$ , a carga de um único elétron. É um dos dispositivos mais elaborados fabricados com junções túnel utilizando camada de óxido e a maioria dos estudos sobre efeitos de carregamento em semicondutores tem usado esse tipo de circuito [24].

O transistor mono-elétron pode ser construído colocando-se duas junções túnel em série. As duas junções criarão uma ilha, onde elétrons só poderão entrar tunelando através de um dos isolantes. Esse dispositivo tem três terminais, como o transistor de efeito de campo: os terminais de saída de cada junção e o terminal de porta, que é acoplado capacitivamente a ilha entre as duas junções, como mostra a Figura 2.7. O capacitor de porta  $C_g$  é muito mais fino que os das junções, de forma que nenhum elétron tunele através do mesmo.  $C_g$  servirá como caminho para que a carga elétrica da ilha seja ajustada. [17], [18].

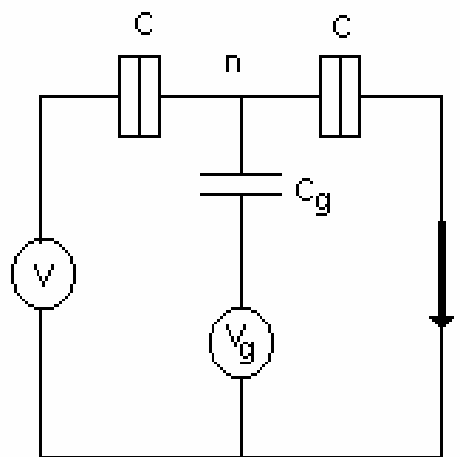


Figura 2.7 Transistor mono-elétron. Duas junções túnel em série formando uma ilha, o valor de tensão de  $V_g$  controla o fluxo de corrente.

#### 2.4.2 Princípio de funcionamento

Considerando o esquema mostrado na Figura 2.7, quando a tensão de porta  $V_g$  é zero, a probabilidade de ocorrer tunelamento através das junções túnel é muito pequena. Essa oposição ao tunelamento é chamada de bloqueio de Coulomb, (explicado em linhas gerais na seção 2.3.3). Entretanto, se o valor de  $V_g$  for  $e/2C_g$ , que corresponde à metade da carga de um elétron no capacitor de porta, a probabilidade de ocorrer tunelamento aumenta consideravelmente [15], aumentando a corrente de tunelamento. Como pode ser visto na Figura 2.8, esse comportamento da corrente controlado pela tensão  $V_g$ , faz com que o transistor mono-elétron opere de maneira semelhante ao transistor de efeito de campo, mas em uma escala de corrente muito menor.

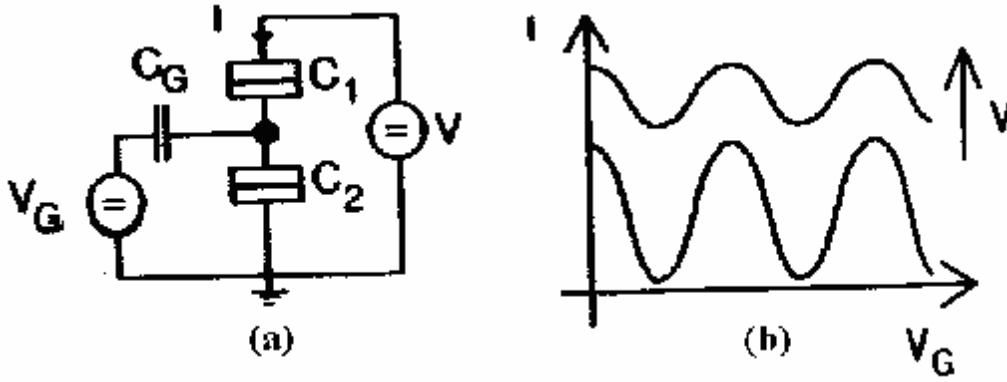


Figura 2.8 Efeitos mono-elétron em dispositivo de três terminais.  
 (a) Transistor SET; (b) Característica Corrente versus Tensão do transistor SET.

A tensão de porta  $V_g$  influencia a quantidade de carga presente na ilha de uma forma controlada, introduzindo uma carga adicional  $Q_g$ .

$$Q_g = C_g V_g \quad (2.28)$$

Então, a carga da ilha  $Q$  é dada por

$$Q = Q_2 - Q_1 - Q_g = ne \quad (2.29)$$

onde  $Q_1$  é a carga na junção superior e  $Q_2$  é a carga na junção inferior. Utilizando as leis de Kirchhoff nos dois laços do circuito tem-se:

$$Q_1 = \frac{C_1}{C_\Sigma} \left[ \left( C_2 + \frac{C_g}{2} \right) V + C_g V_g + ne \right] \quad (2.30)$$

$$Q_2 = -\frac{C_2}{C_\Sigma} \left[ -\left( C_1 + \frac{C_g}{2} \right) V + C_g V_g + ne \right] \quad (2.31)$$

$$Q_g = -\frac{C_g}{C_\Sigma} \left[ \frac{1}{2} (C_2 - C_1) V - (C_1 + C_2) V_g + ne \right] \quad (2.32)$$

Sendo,  $C_S$  a capacitância equivalente da ilha obtida aterrando-se todas as fontes de tensão dada pela Eq. 2.33.

$$C_{\Sigma} = C_1 + C_2 + C_g \quad (2.33)$$

Se uma tensão  $V$  for aplicada aos terminais de uma junção túnel, elétrons irão tunelar aleatoriamente através do isolante a uma dada taxa obtida pela Eq. 2.34, onde a resistência de tunelamento  $R_t$  é o parâmetro macroscópico da junção que depende da área e da espessura da barreira isolante [15].

$$T = \frac{V}{eR_t} \quad (2.34)$$

Além de permitir o efeito túnel, os dois eletrodos metálicos da junção funcionam como um capacitor cuja capacitância  $C_j$  é o outro parâmetro microscópico da junção. Se um condutor comum for interrompido por uma junção túnel, a carga elétrica irá se mover através do sistema de dois modos: contínua e discretamente. Na medida em que a carga flui continuamente através do condutor, acumular-se-á na superfície do eletrodo em contato com a camada isolante (o eletrodo adjacente terá carga igual, mas de sinal contrário) [18]. A carga  $Q$  se acumulará na junção túnel até que seja energeticamente favorável para um elétron sofrer tunelamento através da barreira isolante. Quando isso ocorrer, a junção túnel será descarregada em uma carga elementar  $e$  [23].

#### **2.4.2 Influência da temperatura**

O transistor mono-elétron sofre uma forte influência da temperatura, uma vez que a energia térmica altera seu funcionamento. A temperatura deve ser suficientemente baixa e as dimensões suficientemente pequenas para anular o efeito da emissão termiônica, garantindo que o transporte de elétrons seja exclusivamente realizado por tunelamento. A ocorrência de emissão termiônica provoca um fluxo de corrente indesejado e incontrolável em dispositivos em escala tão reduzida.

### 2.4.3 Efeito de co-tunelamento

Quando um circuito apresenta mais que uma junção-túnel, podem ocorrer eventos de co-tunelamento. O co-tunelamento consiste no tunelamento de mais de um elétron através de barreiras túnel distintas ao mesmo tempo [17]. Geralmente, um circuito com  $N$  junções túnel apresentará um co-tunelamento até de ordem  $N$  [21]. A Figura 2.9 mostra os tipos de eventos de co-tunelamento possíveis.

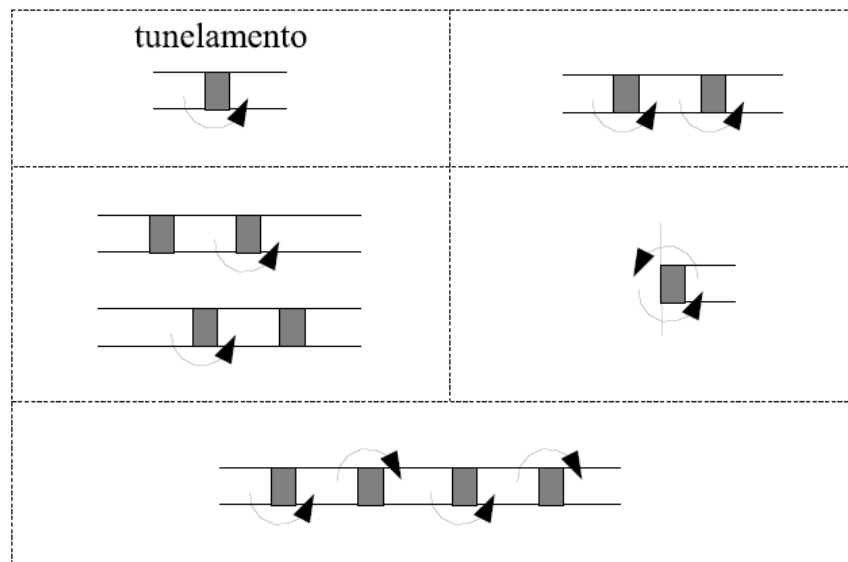


Figura 2.9 Tipos de co-tunelamento [01].

Esse tipo de processo é a uma fonte de erros em dispositivos mono-elétron. Especialmente em dispositivos lógicos que se baseiam na presença ou ausência de um único ou de algumas dezenas de elétrons [15].

### 2.4.4 Efeito das cargas de desvio

Outra limitação dos circuitos mono-elétron são as cargas aleatórias de desvio [19]. Supondo que uma impureza ionizada  $Q_0$  fique presa próxima à ilha do transistor mono-elétron, (Figura 2.7) a uma distância comparável ao seu tamanho, esse íon irá polarizar a ilha, criando em sua superfície uma carga imagem  $-Q_0$  na ordem de grandeza de  $e$ . Esse valor pode ser suficiente para afetar a distribuição espacial da função de onda eletrônica na ilha, o que pode tirar o transistor do bloqueio de Coulomb [19].

Uma estimativa otimista prevê que um em cada 1000 dispositivos terá flutuações devido a cargas de desvio consideráveis, na ordem de  $|Q_0| < 0,1e$ . Valores maiores são inaceitáveis para uma aplicação VLSI [19].

A concepção de circuitos nanoeletrônicos, especialmente os mono-elétron, deve levar em consideração, além das propriedades e características apresentadas, as limitações de operação como o co-tunelamento e as cargas de desvio.

## **2.5 REDES NEURAIIS ARTIFICIAIS**

### **2.5.1 Introdução**

Redes neurais artificiais são ferramentas usadas para síntese, projeto, fabricação, treinamento e análise de sistemas inspirados no cérebro, ou seja, neuromórficos [25]. Esses sistemas adquirem alta performance por meio de interconexões adaptativas de elementos que processam a informação em paralelo [25], [26]. Agrupamentos de elementos processadores neurais simples (neurônios) apresentam características de associação, tolerância à falhas e auto-organização.

As aplicações típicas de redes neurais artificiais envolvem otimização, programação linear ou não-linear, memória associativa, reconhecimento de padrões e visão computacional [26], [27].

As arquiteturas das redes neurais artificiais oferecem soluções bastante atrativas para o projeto de circuitos nanoeletrônicos [10], [28]. Essas arquiteturas apresentam robustez contra flutuações locais, consequência de seu alto paralelismo e sua redundância [02], [26].

Mais especificamente, arquiteturas de redes neurais competitivas são de fácil operação devido ao seu treinamento não-supervisionado [26]. Além disso, têm um número reduzido de sinais de controle, auto-organização e memória local [14], [26].

### 2.5.2 Redes *Winner-take-all*

O aprendizado competitivo é um caso particular de aprendizado não-supervisionado [02], [26]. Dado certo padrão de entrada, a idéia básica é fazer com que as saídas da rede disputem entre si até uma delas ser ativada. Portanto, há uma competição entre as unidades de saída para decidir qual delas será a vencedora. A competição pode ser feita de duas formas: por meio de algoritmo que indique a unidade vencedora e por meio de inibição entre as unidades competitivas.

Na arquitetura de rede WTA [02], [26], [29], as entradas são diretamente conectadas às unidades de saída, que podem estar ligadas entre si por meio de conexões laterais inibitórias. A unidade de saída com maior valor, em resposta à entrada, terá mais chance de vencer a disputa com as outras unidades, que perderão o poder de inibição ao longo do tempo. A unidade vencedora fica cada vez mais forte e seu efeito inibidor sobre as outras saídas torna-se dominante [02], [26]. Com o tempo, todas as outras unidades de saída ficarão inativas, exceto a vencedora. Portanto, a rede neural básica para o aprendizado por competição é constituída de duas camadas: uma camada de entrada e uma camada competitiva.

As conexões inibitórias laterais - ou inibição lateral - ocorrem quando cada unidade de saída da camada competitiva inibe somente as outras unidades mais próximas. O resultado é que a saída da rede destaca alguma característica que aparece nos padrões de entrada.

Cada unidade de saída torna-se um detector para uma classe diferente de padrões. A unidade de saída que responde a um padrão identifica a classe do padrão escolhido pela rede. Desse modo, a principal tarefa do aprendizado competitivo é fornecer um classificador simples de padrões, treinado através do aprendizado não supervisionado. Camadas de aprendizado competitivo podem também ser incluídas em outras redes mais complexas. Uma grande rede pode ser construída com muitas redes competitivas de duas camadas. Assim, o aprendizado competitivo é um bloco para construção de redes maiores e mais poderosas.

As redes *winner-take-all* (WTA) são amplamente utilizadas para tomada de decisões, e reconhecimento de padrões [29].



### **2.5.3 Memória associativa**

O termo memória é utilizado quando se refere a padrões neurais relativamente duradouros induzidos pela interação de um organismo com o seu ambiente e está intimamente relacionado com associação de padrões [02].

Uma memória associativa é usualmente definida como um sistema que extrai o modelo mais similar da entrada de um modelo de referência armazenado. Esse sistema compara as entradas por meio de uma medida de similaridade, como por exemplo, a distância de Hamming (definida como o número de bits diferentes entre os modelos) [30].

As características principais de uma memória associativa são:

- i. A memória é distribuída: a informação é armazenada na memória estabelecendo-se um padrão especial de atividades neurais através de um grande número de neurônios;
- ii. Tanto os padrões de estímulo, como os padrões de resposta consistem de vetores de dados;
- iii. A informação contida em um estímulo não apenas determina o seu local de armazenamento, como também o endereço para a sua recuperação.

Um sistema é chamado de memória associativa estocástica quando envolve o reconhecimento de padrões (analógicos ou digitais) através de uma rede neural que utiliza dispositivos cujo comportamento é estocástico, tal como os dispositivos mono-elétron.

## **2.6 CIRCUITOS NANOELETRÔNICOS**

A Associação das Indústrias de Semicondutores, SIA, em 1995, publicou um estudo com as previsões sobre o futuro dos dispositivos eletrônicos até o ano de 2010, tomando como partida a linha de desenvolvimento da microeletrônica até o momento em que os dispositivos SET ganharão relevância industrial [08]. Durante este período, o circuito MOS irá dominar a tecnologia microeletrônica. No entanto, o estudo prevê que em 2010, o nível

de integração chegará a 40 bilhões de dispositivos para memórias e a frequência de *clock* será algo em torno de 1GHz para portas lógicas [14]. O tamanho mínimo do CMOS onde os efeitos quânticos não dominam é 50nm [14], logo uma nova tecnologia deve surgir.

Para o projeto de circuitos nanoeletrônicos, algumas propriedades são indispensáveis, tais como: a tolerância à falhas, o armazenamento distribuído, a auto-organização, a arquitetura modular e o processamento local [10]. Estas propriedades são necessárias para superar as limitações de entrada-saída (*fan-in* e *fan-out*), para solucionar a instabilidade do sistema, para obter um projeto tecnologicamente integrado e, talvez, para eliminar o congestionamento no nível de interconexão [14].

Dois caminhos principais despontam como os mais favoráveis para implementação de sistemas nanoeletrônicos: o das redes neurais artificiais e o dos autômatos celulares [08], em consequência de suas propriedades de baixa interconectividade e alto grau de paralelismo.

Circuitos lógicos baseados em autômato celular oferecem uma alternativa para arquiteturas tradicionais usadas em computação. Trata-se de um conceito promissor para possíveis aplicações de circuitos de dispositivos quânticos, pois supera alguns dos problemas intrínsecos a estes sistemas, tais como, limitações de *fan-out* e dificuldades de interconexão. No entanto, dificuldades no controle do número de elétron em cada célula e com as interfaces com o mundo externo e principalmente com a eletrônica convencional, ainda persistem.

Existem dois problemas principais associados à implementação de circuito utilizando autômato celular: a necessidade de ajuste individual de cada célula e os limites da temperatura de operação. Do ponto de vista da arquitetura a maior vantagem da utilização de autômato celular é promover a interação entre células adjacentes sem as linhas de interconexão [07].

Por outro lado, a implementação de circuitos nanoeletrônicos, através de redes neurais artificiais, está baseada na utilização de células básicas de processamento, com capacidade de associação, tolerância à falhas e auto-organização. No entanto, ao considerar baixa a complexidade da célula básica mono-elétron, a densidade de interconexão aumenta, indo contra as especificações de arquiteturas para sistemas nanoeletrônicos [07].

Porém, como ponto de partida, a arquitetura neural para circuitos de baixa densidade de interconexão, tais como rede neural celular e matriz associativa, é bastante interessante, mesmo com suas capacidades de adaptação e generalização limitadas, devido à simplicidade de suas células básicas de processamento [07].

Pode-se verificar que cada arquitetura realiza uma implementação eficiente de vários circuitos básicos. Um bom exemplo disto é a arquitetura competitiva WTA (*winner take all*), que apresenta um elevado grau de processamento, auto-organização e robustez a fenômenos locais. Dependendo da sua estrutura pode apresentar baixa interconectividade, sendo uma boa opção para sistemas nanoeletrônicos mais complexos.

A construção destes circuitos básicos pode ser feita de dois modos, criando circuitos totalmente novos ou através de analogias com circuitos MOS já existentes.

A idéia para que o número de interconexões da rede neural seja reduzido é a do circuito ser um bloco básico, enfatizando o paralelismo e a utilização eficiente da área.

## **2.7 MEMÓRIA ASSOCIATIVA ESTOCÁSTICA**

### **2.7.1 Introdução**

A inspiração para realização da memória associativa estocástica surgiu com um dos trabalhos de Yamanaka *et al.* [30]. Neste trabalho é proposta a arquitetura de um circuito de processamento associativo estocástico que utiliza uma rede WTA, e um dos blocos básicos constituintes: o comparador.

Uma memória associativa estocástica também já foi proposta por Saen *et al.* em [16], [31]. Entretanto, essa memória utiliza dispositivos de tunelamento mono-elétron e dispositivos MOS. Um circuito para a memória estocástica totalmente nanoeletrônico é proposto neste trabalho.

## 2.7.2 Arquitetura de circuito

A arquitetura do sistema completo da memória associativa estocástica inspirada na Figura 2.10 é constituída por blocos básicos que compõem o circuito completo do sistema. Resumidamente, o funcionamento do sistema é simplesmente a comparação entre um dado de entrada com dados armazenados, que após o processamento, pode ser identificado como o mais semelhante dentre os armazenados, através da rede neural do tipo WTA [28].

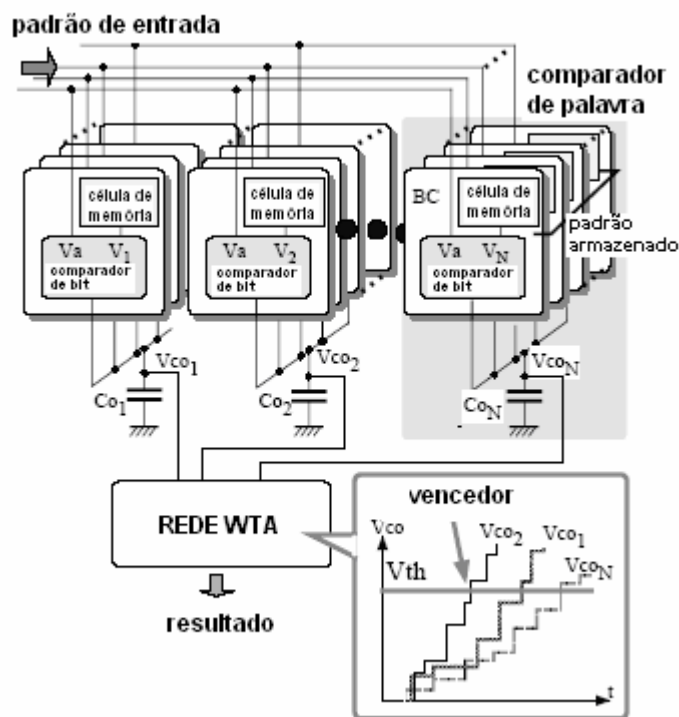


Figura 2.10 Arquitetura para processamento estocástico [30].

Uma célula básica da memória associativa estocástica proposta é composta pelos seguintes blocos básicos: memória digital e comparador de um bit. Esses dois blocos podem ser agrupados de forma a constituir um comparador de palavras e uma matriz de memória. Cada módulo de comparadores de palavras recebe mais dois blocos básicos auxiliares: *holder* e inversor. Depois desse processamento o sinal é entregue a rede WTA, como indica a Figura 2.11.

Todos os blocos utilizados no projeto foram encontrados na literatura, com estudos individuais. Nas próximas seções, será apresentado o circuito e o princípio de funcionamento de cada um desses blocos.

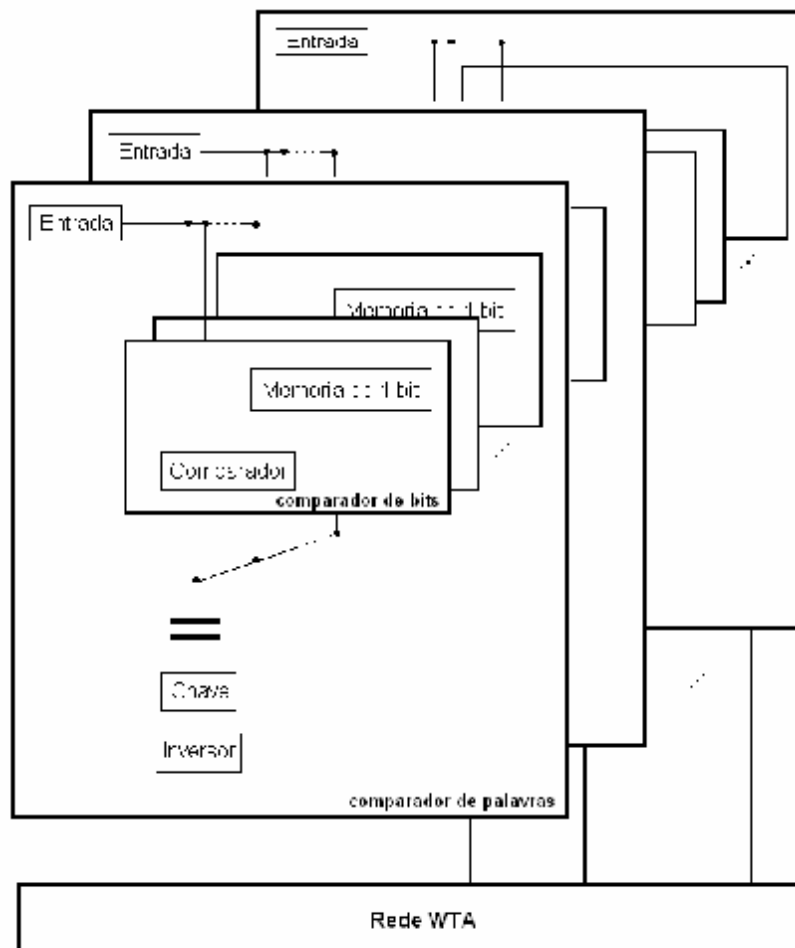


Figura 2.11 Arquitetura da memória associativa estocástica – blocos constituintes.

### 2.7.3 Bloco memória

O bloco memória utilizado no projeto da memória associativa estocástica foi baseado na memória digital conhecida como *electron-trap* [03], [04]. Neste circuito, há uma seqüência de junções que, a partir de uma tensão de polarização, armazenam elétrons em um dado nó.

O circuito desta memória digital consiste em seis junções e seis ilhas, terminando em um capacitor, ao qual estão conectados os dispositivos de polarização, como mostra a Figura 2.12.

Algumas dezenas de elétrons, ou mesmo um único elétron é armazenado considerando que, a presença do elétron no nó corresponde ao nível lógico 1 e a ausência, ao nível lógico 0.

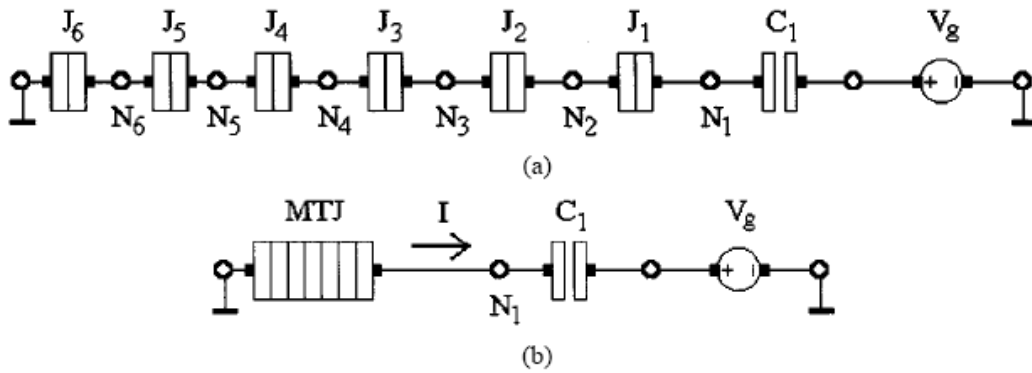


Figura 2.12 (a) Circuito do *electron-trap*; (b) Símbolo do circuito [06].

Como dito anteriormente e indicado na Figura 2.12, o circuito da memória digital (*electron-trap*), consiste em seis ilhas  $N_1$  a  $N_6$ , intercaladas por seis junções  $J_1$  a  $J_6$ , terminando em um capacitor  $C_1$ . Todas as junções túnel são idênticas e as dimensões dos dispositivos estão indicadas na Tabela 2.1.

Tabela 2.1 Valores dos componentes do circuito do bloco memória original.

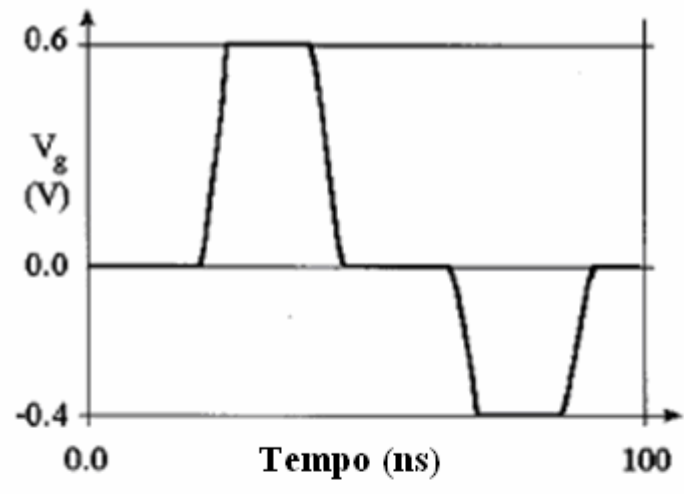
$R_j$	$C_j$	$C_1$	$V_g$
0,1 M $\Omega$	1 aF	1 aF	0,6 V

A linha de junções forma uma barreira de energia para os elétrons que entram e saem de  $N_1$ , e o elétron armazenado no nó reside em um local de mínima energia.

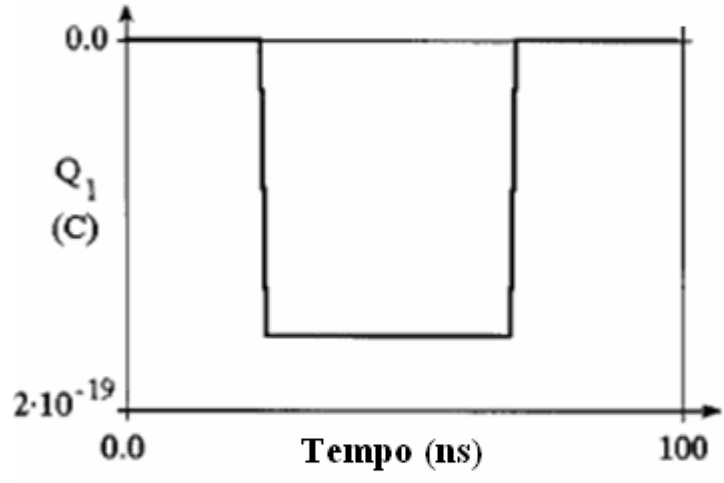
Quando um pulso de tensão  $V_g$  é aplicado, a barreira de energia é eliminada. Um pulso positivo de  $V_g$  força os elétrons a tunelarem através das junções  $J_6$  a  $J_1$  até o nó  $N_1$ . Um pulso negativo de  $V_g$  força os elétrons a tunelarem para fora de  $N_1$  em direção ao terra. A saída do circuito da memória é obtida em  $N_1$  e indicada por  $V_{OUT}$  [06].

A Figura 2.12 (b) mostra o símbolo do *electron-trap*, onde as junções  $J_1$  a  $J_6$  e as ilhas  $N_2$  a  $N_6$  são absorvidos no símbolo MTJ.

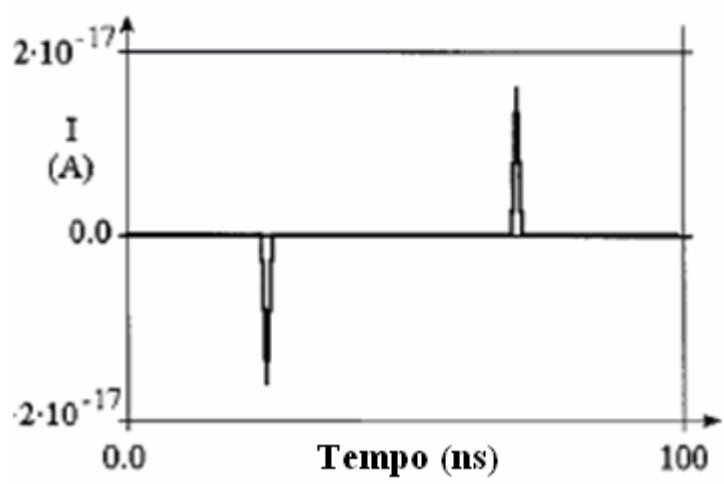
O princípio de funcionamento do circuito da memória digital é indicado na Figura 2.13.



(a)



(b)



(c)

Figura 2.13 (a) Variação de  $V_g$  no tempo; (b) Variação da carga  $Q_1$  em  $N_1$ ; (c) Variação da corrente  $I$  [06].

Inicialmente, a tensão  $V_g$  é 0 e não há elétrons em excesso em  $N_I$ . Se o valor de  $V_g$  for aumentando e alcançar o valor de  $0,6V$ , um elétron é transportado do aterramento para  $N_I$  causando um pulso negativo na corrente. Mantendo  $V_g$  positivo em  $0,6V$  por um tempo, nenhum elétron a mais é transportado para  $N_I$  devido ao bloqueio de Coulomb.

Se o valor de  $V_g$  retornar para zero, o elétron permanece em  $N_I$ , pois não pode vencer a barreira de potencial imposta pelas junções  $J_I$  a  $J_6$  e escapar para o aterramento. Assim, o nível lógico 1 é escrito na célula de memória e este valor lógico é mantido mesmo quando  $V_g$  retorna a zero.

Para escrever o nível lógico 0, partindo do valor lógico 1,  $V_g$  deve se tornar negativo e alcançar o valor de  $-0,4V$ . Neste momento o excesso de elétrons é transportado de  $N_I$  para o terra, provocando um pulso de corrente positivo. Depois disso o valor  $V_g$  é mantido em  $-0,4V$  por algum tempo e depois retorna para zero novamente.

O simulador SIMON (vide seção 2.8) permite determinar as mudanças na energia livre ( $F$ ) do circuito a cada evento túnel e então construir um histórico desta energia, como mostra a Figura 2.14.

O eixo  $x$  representa os passos no tempo. A cada passo ocorre um evento túnel. Inicialmente o valor lógico 0 é mantido, ou seja, não existem elétrons em excesso em nenhuma ilha do circuito. A energia livre do sistema é zero.

Aplicando a tensão positiva em  $V_g$  o primeiro evento túnel ocorre e, um elétron é transportado do terra para  $N_6$  através de  $J_6$ . Após esse evento a energia livre do sistema aumenta e o elétron continua seu caminho até  $N_I$  através das junções  $J_5, J_4, J_3, J_2$  e  $J_I$ , e a energia livre muda do nível  $E_B$  para os níveis  $E_C, E_D, E_E$  e  $E_F$  respectivamente. Em  $E_F$  a energia livre alcança o mínimo local. Aplicando a tensão negativa em  $V_g$  o elétron faz o caminho de volta, saindo de  $N_I$  até o terra através das junções e, a energia livre do circuito muda de  $E_F$  até  $E_A$  [06].



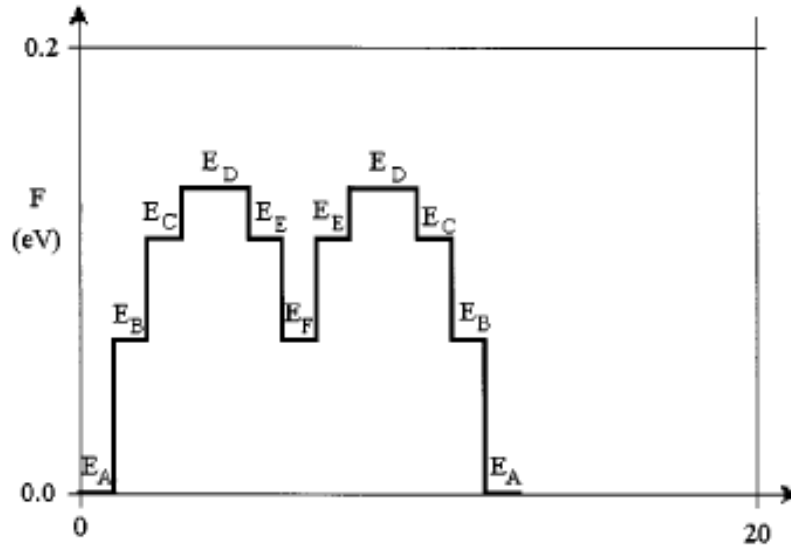


Figura 2.14 Histórico da energia livre do sistema de “0” para “1” e depois de volta para “0” [06].

Observando a Figura 2.14 pode-se concluir que o circuito da memória possui dois estados estáveis correspondentes aos níveis de energia  $E_A$  e  $E_F$ , “0” e “1” respectivamente.

Para mudar o estado da memória de “0” para “1” o elétron tem que superar a barreira de energia dada por  $(E_D - E_A)$ , bem como para mudar de “1” para “0” o elétron tem que superar uma barreira de energia igual a  $(E_D - E_F)$  [06].

O circuito utilizado como bloco memória no circuito da memória associativa estocástica é uma variação do circuito do *electron-trap*, proposta por Karafyllidis *et. al.* como uma matriz de acesso randômico [06].

Nesta variação o circuito do *electron-trap* recebe mais duas tensões de polarização  $V_X$  e  $V_Y$ , responsáveis pela organização da matriz, que são utilizadas para controlar a horizontal, (direção x) blocos de linha e, a vertical (direção y), blocos de coluna, respectivamente.

A Figura 2.15 mostra o circuito do bloco memória utilizado, um *electron-trap*, no qual o acesso de  $V_g$  na ilha  $N_I$  é controlado por duas outras tensões  $V_X$  e  $V_Y$ , que são aplicadas às ilhas  $N_X$  e  $N_Y$  através das junções  $J_X$  e  $J_Y$  respectivamente.

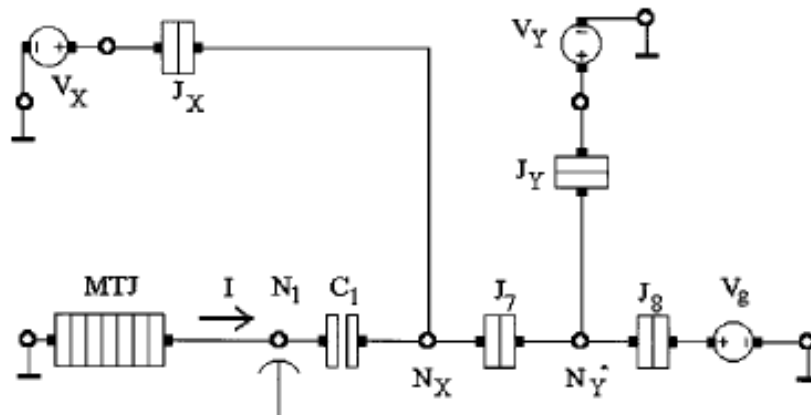


Figura 2.15 Bloco básico da memória digital [06].

Todas as junções são idênticas e suas dimensões estão indicadas na Tabela 2.1.

Essa variação do circuito permite uma expansão do bloco memória em uma matriz controlada pelas tensões  $V_X$  e  $V_Y$ . Neste caso, para valores específicos de  $V_X$  e de  $V_Y$ , e somente neste caso,  $V_g$  fornece a tensão necessária para vencer as barreiras de energia e, dependendo do valor de  $V_g$ , os valores “1” ou “0” são escritos na memória. Para ler o conteúdo da memória pode-se usar um eletrômetro que detecte a presença ou ausência de carga na ilha  $N_1$  durante as simulações [06].

#### 2.7.4 Bloco comparador

O circuito utilizado para realizar a função deste bloco foi proposto por Yamanaka *et. al.* [30], sendo apresentado como célula básica do circuito de processamento estocástico que serviu de inspiração para a definição da topologia de circuito utilizada no projeto da memória associativa estocástica.

A Figura 2.16 mostra o circuito do bloco comparador e sua curva característica. Em linhas gerais, para duas entradas distintas a saída do circuito é igual à zero, para duas entradas iguais a saída é maior que zero.

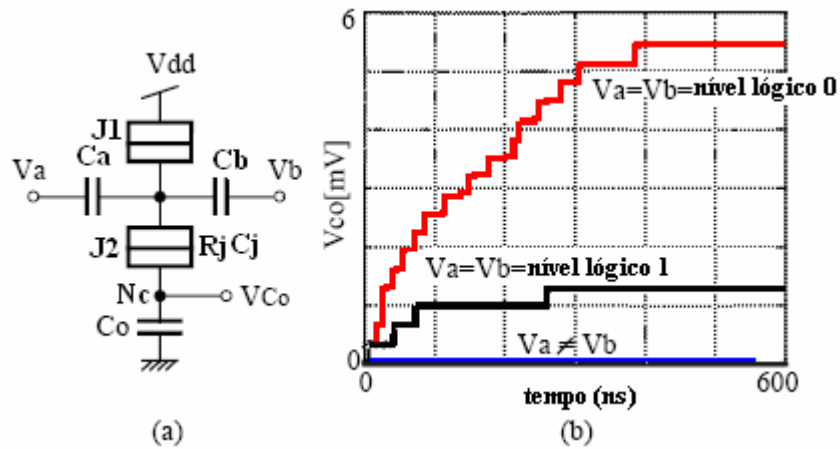


Figura 2.16 (a) Circuito; (b) Curva característica [30].

Sua estrutura básica é a de um transistor mono-elétron com duas entradas no terminal de porta,  $V_a$  e  $V_b$ , e uma capacitância alta  $C_o$ . Os valores típicos de capacitância e outros parâmetros estão indicados na Tabela 2.2.

Tabela 2.2 Valores dos componentes do circuito do comparador.

$V_{dd}$	$R_j$	$C_{j1}$	$C_{j2}$	$C_{ga}$	$C_{gb}$	$C_{Co}$
6.2 mV	100 M $\Omega$	1 aF	2 aF	7 aF	8 aF	500 aF

Analisando o circuito do comparador como um transistor mono-elétron, é possível aplicar as equações características e obter relações e curvas sobre o funcionamento do bloco comparador.

A tensão de saída  $V_{Co}$  depende da tensão no terminal de porta  $V_g$ , através de uma relação periódica e não monotônica. Essa característica é derivada das oscilações do bloqueio de Coulomb e pode ser observada na Figura 2.17.

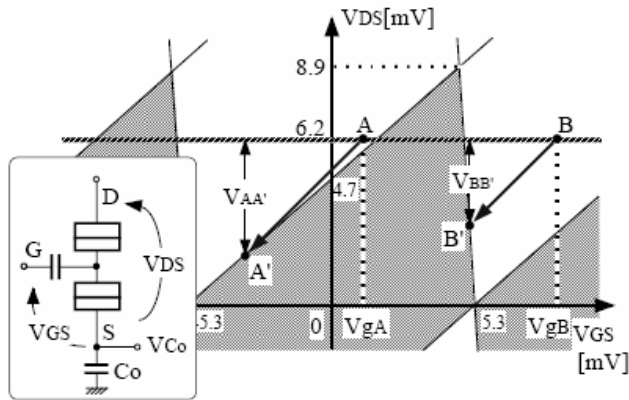


Figura 2.17 Diagrama do bloqueio de Coulomb do transistor mono-elétron [30].

Observando a Figura 2.17, nota-se que quando  $V_{Co}$  é zero no início e o circuito começa a operar partindo do ponto A para o ponto B do diagrama, uma corrente flui através do transistor,  $V_{Co}$  aumenta um fator  $\Delta V$ , e as tensões  $V_{DS}$  e  $V_{GS}$  decrescem o mesmo fator  $\Delta V$ . Então o ponto de operação se move ao longo da linha AA' ou BB' no diagrama. Quando o ponto de operação alcança a fronteira da região de bloqueio (pontos A' ou B'), a corrente pára, e o circuito se torna estável. Assim, de acordo com a tensão no terminal de porta, ocorre ou não deslocamento do ponto de operação do transistor, tirando-o do bloqueio de Coulomb e permitindo a passagem de corrente [30].

Lembrando que neste circuito as tensões são:

$$V_{DS} = V_D - V_{Co} \quad (2.35)$$

$$V_{GS} = V_g - V_{Co} \quad (2.36)$$

$$V_g = V_a + V_b \quad (2.37)$$

Em vista de sua estrutura simples, este circuito é robusto para os efeitos de carga de desvio. Além disso, o circuito não apresenta componente de corrente para o descarregamento de  $C_0$ . Depois de cada operação,  $V_{Co}$  deve ser reiniciado [30].

Com a divisão da tensão no terminal de porta  $V_g$  (Eq. 2.37), o circuito do comparador equivale a uma porta lógica NÃO-OU-EXCLUSIVO. Por meio de simulação observou-se que a passagem de elétrons pelo dispositivo só ocorre quando  $V_a = V_b$  [30].

Além disso, usando as equações características do transistor, pode-se ainda obter o número máximo de elétrons acumulados em  $C_0$  dado por:

$$Ne_{\max} = C_0 \frac{V_{dd}}{e} \quad (2.38)$$

Para a construção de comparadores de palavras basta a simples conexão das ilhas  $N_C$  com o capacitor  $C_0$  em comum [30].

### 2.7.5 Bloco do conversor

A necessidade de conversão surge do fato de que, usualmente, os sinais do mundo real são analógicos. Como dito anteriormente, em circuitos mono-elétron a presença ou ausência de um elétron (ou algumas dezenas) nas ilhas isoladas representam uma informação binária. Assim, um circuito que converta os sinais analógicos em sinais digitais é de muita utilidade no projeto de circuitos mono-elétron.

O circuito do bloco conversor foi proposto por Kiziroglou *et. al.* [05], e trata-se de um circuito não convencional, totalmente mono-elétron, que não utiliza tensão de referência. A Figura 2.18 mostra o circuito do conversor A/D.

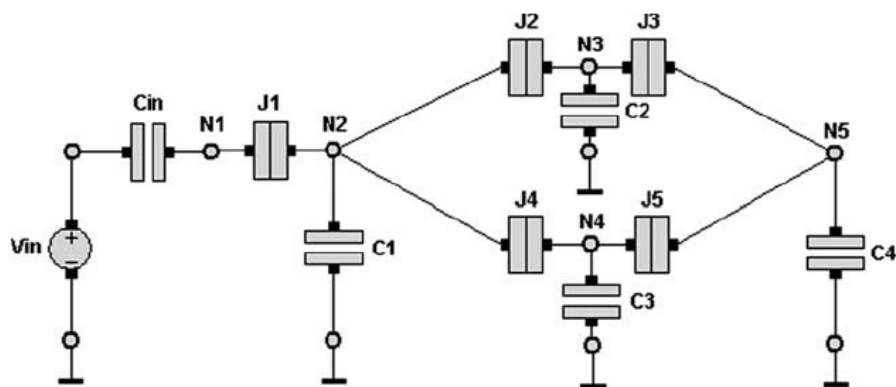


Figura 2.18 Circuito original do conversor A/D [28].

O circuito consiste de cinco ilhas, ( $N_1$  a  $N_5$ ), cinco junções túnel, ( $J_1$  a  $J_5$ ) e cinco capacitores, ( $C_{in}$ ,  $C_1$  a  $C_4$ ). Os valores dos dispositivos estão indicados na Tabela 2.3 [05].

Tabela 2.3 Valores dos componentes do circuito original do conversor A/D.

$C_{in}$	$C_{j1}$	$C_{1-2-3-4}$	$R_{j1-2-3-4-5}$	$C_{j2-3-4-5}$
0,1 aF	1 aF	1 aF	100 K $\Omega$	0,01 aF

O sinal de entrada  $V_{in}$  é aplicado no circuito através do capacitor  $C_{in}$ , as ilhas  $N_2$  a  $N_5$  estão conectadas ao terra através dos capacitores  $C_1$  a  $C_4$  e a saída é obtida nas ilhas  $N_2$ ,  $N_3$  e  $N_5$ .

Aplicando uma tensão em forma de rampa na entrada, o transporte de elétrons se dá de maneira que, ao observar os valores de carga dos nós de saída pode-se concluir que a tensão de entrada está dividida em oito regiões e cada região da tensão de entrada corresponde a uma, e somente uma, saída digital, como mostra a Figura 2.19 [05].

A saída nos nós  $N_2$ ,  $N_3$  e  $N_5$  forma uma palavra binária de três bits. O nó  $N_2$  representa o bit menos significativo, enquanto o mais significativo é dado por  $N_3$ . A Tabela 2.4 mostra a correspondência entre as regiões da tensão de entrada e os valores digitais da saída.

Tabela 2.4 Correspondência entre a tensão de entrada e a saída digital [05].

$V_{in}(V)$	$N_3(Q_3)$	$N_5(Q_5)$	$N_2(Q_2)$	correspondência
0,000 – 0,625	0	0	0	0
0,625 – 1,250	0	0	1	1
1,250 – 1,875	0	1	0	2
1,875 – 2,500	0	1	1	3
2,500 – 3,125	1	0	0	4
3,125 – 3,750	1	0	1	5
3,750 – 4,375	1	1	0	6
4,375 – 5,000	1	1	1	7

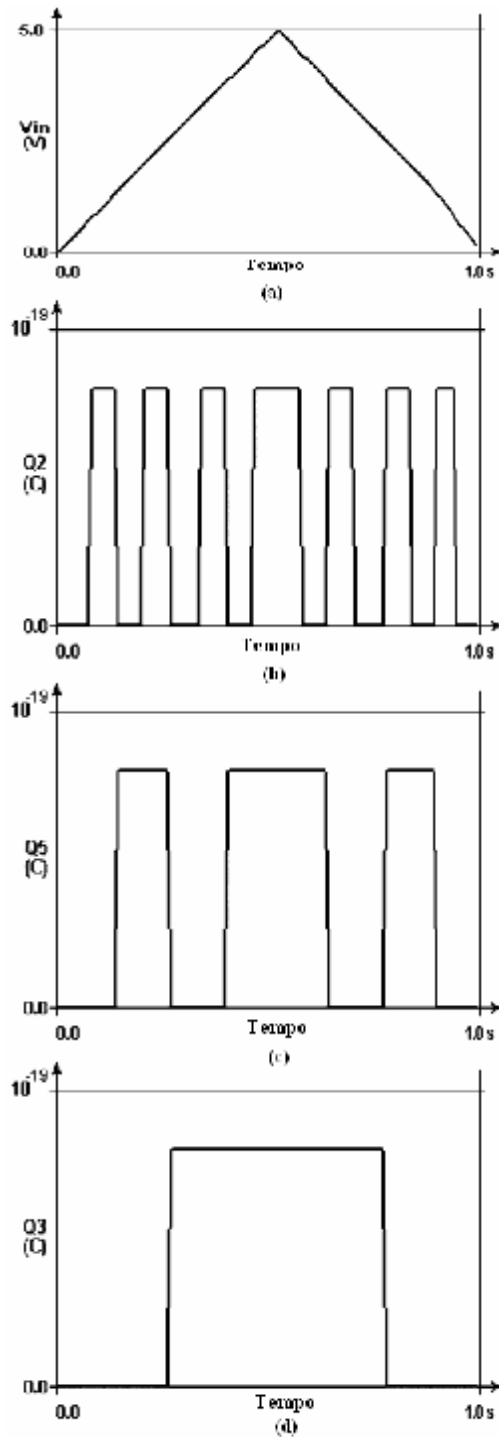


Figura 2.19 Modo de operação do conversor A/D: (a) tensão de entrada  $V_{in}$ ; (b) variação de carga na ilha  $N_2$ ; (c) variação de carga na ilha  $N_5$ ; (d) variação de carga ilha  $N_3$  [05].

O transporte de elétrons resulta na variação da energia livre do sistema. A Figura 2.20 mostra o histórico da energia livre obtida por meio de simulação realizada com o simulador SIMON, no qual cada passo de tempo corresponde a um evento túnel.

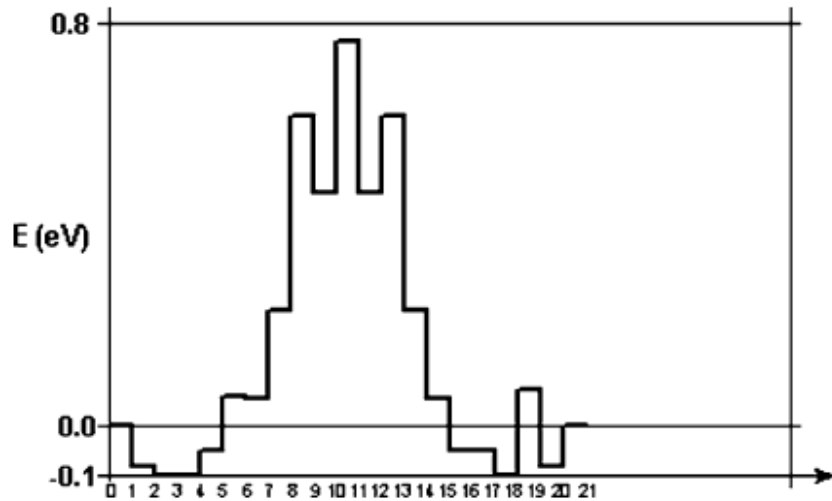


Figura 2.20 Histórico da energia livre do sistema [05].

Durante o primeiro passo não há transporte de elétrons e não há mudança na energia. No segundo passo, um elétron é transportado da ilha  $N_I$  através da junção  $J_I$  e a energia do circuito diminui. Em seguida, um incremento na tensão de entrada resulta no transporte de outro elétron e um valor de energia, enquanto que uma diminuição resulta no transporte de um elétron na direção oposta e na diminuição da energia [05].

### 2.7.6 Bloco holder

O circuito utilizado como bloco *holder* foi proposto por He *et. al.* [32], como uma chave *three-way* utilizando transistores mono-elétron. A Figura 2.21 mostra o diagrama de circuito da chave.

Como é possível observar na Figura 2.21, três transistores mono-elétron formam os três ramos da chave (*three-way*) indicados por ramo 1, ramo 2 e ramo 3. As correntes  $I_1$ ,  $I_2$  e  $I_3$  fluem nesses ramos respectivamente com polarização positiva na entrada. Os ramos estão conectados ao nó central e qualquer combinação de dois transistores forma uma bomba de elétrons bidirecional [17]. O sinal de RF acoplado capacitivamente comanda as bombas [32].



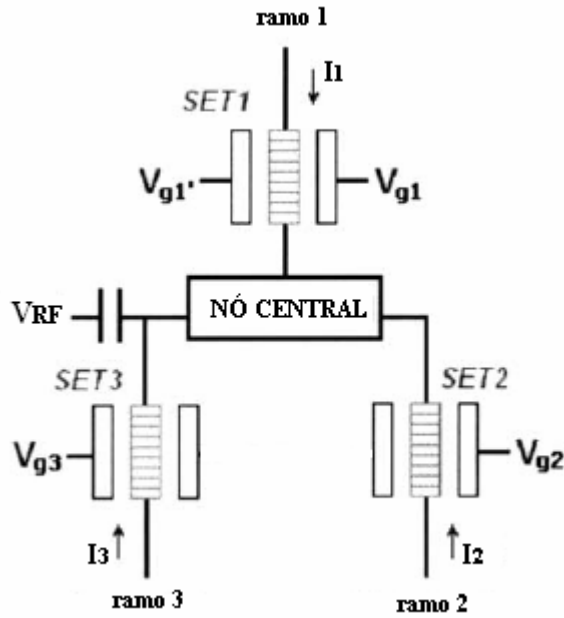


Figura 2.21 Circuito original do bloco *holder* [32].

A operação das bombas de elétrons pode ser explicada considerando a bomba formada pelos SET 1 e SET 2 (Figura 2.21). Um sinal de RF,  $V_{RF}$  é aplicado ao nó central e os ramos 1 e 2 são ligados ao terra. Através do diagrama de estabilidade dos transistores, mostrado esquematicamente na Figura 2.22, em função das tensões nos terminais de porta  $V_{g1}$  e  $V_{g2}$  e do potencial no nó central  $j$ , é possível observar as regiões do bloqueio de Coulomb representadas pelos trapézios indicados. Como o potencial no nó central  $j$  segue o ciclo do sinal de RF, os transistores entram ou saem da condição de bloqueio de Coulomb sucessivamente. Conseqüentemente, um pacote de elétrons é bombeado do terminal do ramo 1 para o terminal do ramo 2 a cada ciclo [32].

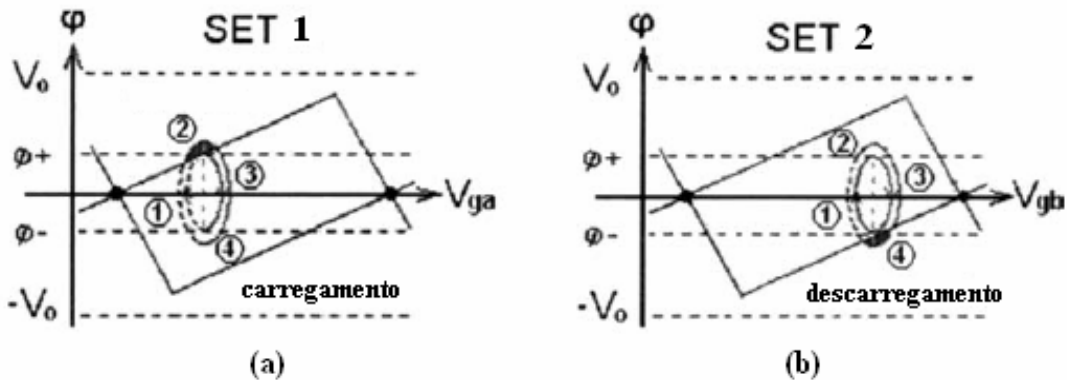


Figura 2.22 Diagrama de estabilidade: (a) transistor SET-1; (b) transistor SET-2 [32].

Pacotes com poucos elétrons podem ser transferidos através de qualquer um dos três ramos, em qualquer direção usando as tensões dos terminais de porta para controle [32].

As dimensões do circuito estão indicadas na Tabela 2.5. Todos os transistores são idênticos, somente as tensões nos terminais de porta são diferentes, e dependem da direção que se quer operar.

Tabela 2.5 Valores dos componentes do circuito original do *holder*.

$R_j$	$C_j$	$C_g$	$C_{RF}$	$V_{g1}$	$V_{g2}$	$V_{g3}$	$V_{RF}$	$f$	$T$
1 M $\Omega$	8 aF	1aF	1aF	-15 V	-10 V	-12,5 V	200 mV	300 MHz	4,2 K

### 2.7.7 Bloco inversor

O circuito do bloco inversor foi proposto pela primeira vez por Tucker *et. al.* [16]. Trata-se de um circuito amplamente estudado e utilizado [16], [33], [34], [35]. Sua estrutura é semelhante à do inversor CMOS, constituído por dois transistores mono-elétron, com os terminais de porta conectados, como mostra a Figura 2.23. A entrada em tensão muda o potencial eletrostático do eletrodo do meio dos dois transistores mono-elétron e então distribui a tensão de polarização através deles.

O inversor é considerado o bloco fundamental na construção de circuitos lógicos usando transistores mono-elétron [35].

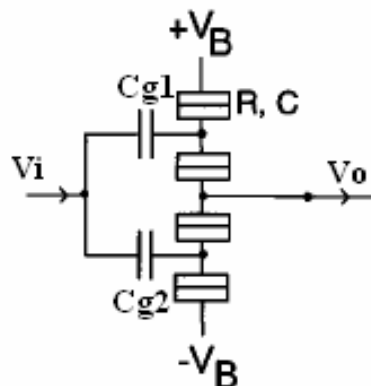


Figura 2.23 Circuito original do inversor mono-elétron.

Os níveis lógicos são representados por tensões e um número pequeno de elétrons é transportado quando o inversor opera, ou seja, quando a entrada é uma tensão baixa, que representa o nível lógico 0, a saída deve ser uma tensão alta, representando o nível lógico 1, e vice-versa.

As dimensões do circuito do inversor podem ser obtidas diretamente das equações abaixo de acordo com a especificação.

$$C_{g1} = C_{g2} = \frac{e}{V_i} \quad (2.39)$$

Para garantir a operação do circuito é necessário que a tensão de polarização seja calculada levando em conta a capacitância total  $C_\Sigma$ .

$$V_B = \frac{e}{C_\Sigma} \quad (2.40)$$

Com o ajuste da capacitância  $C_g$ , é possível determinar qual dos transistores estará conduzindo e qual estará em bloqueio de Coulomb. No circuito do inversor é importante manter a relação [33]:

$$C = 0,35 \cdot C_g \quad (2.41)$$

Observando a Figura 2.23, para uma tensão de entrada baixa, o transistor de cima deve conduzir e o de baixo estará em bloqueio, assim a saída será alta e equivalente a  $V_B$ . No caso de uma tensão de entrada alta, o transistor de cima deve estar em bloqueio e o de baixo deve conduzir e assim, a saída apresentará tensão baixa.

### 2.7.8 Bloco entrada

O circuito utilizado como bloco entrada é um dos circuitos mais simples formado por dispositivos mono-elétron [29]. Sua função no circuito da memória associativa estocástica

é simplesmente fornecer uma carga (ou não) à entrada do comparador, convertendo a tensão de entrada em carga. A Figura 2.24 mostra o esquemático do circuito.

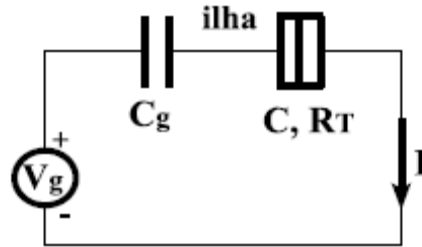


Figura 2.24 Circuito de entrada.

O valor de tensão para gerar um elétron depende dos valores de capacitância  $C_g$  e da capacitância de junção  $C$  [01].

### 2.7.9 Rede WTA utilizando transistores mono-elétron

O circuito da rede WTA totalmente mono-elétron faz parte dos resultados da pesquisa em nanoeletrônica do laboratório. O circuito desenvolvido foi derivado de uma implementação MOS [28].

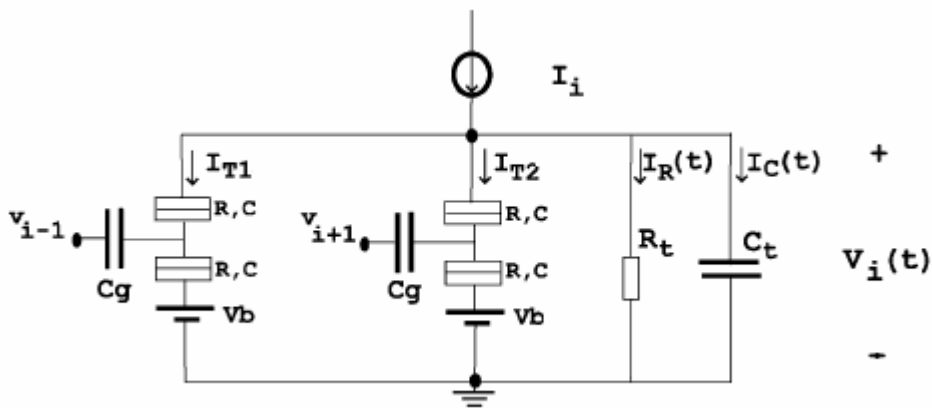


Figura 2.25 Neurônio WTA mono-elétron [28].

A Figura 2.25 mostra o neurônio WTA mono-elétron. Cada neurônio possui uma corrente de entrada  $I_i$ , responsável pela entrada de informação na rede, e tensões de entrada vindas dos neurônios vizinhos  $V_{i-1}$  e  $V_{i+1}$ , responsáveis pela propriedade de inibição, que é uma característica de redes WTA.

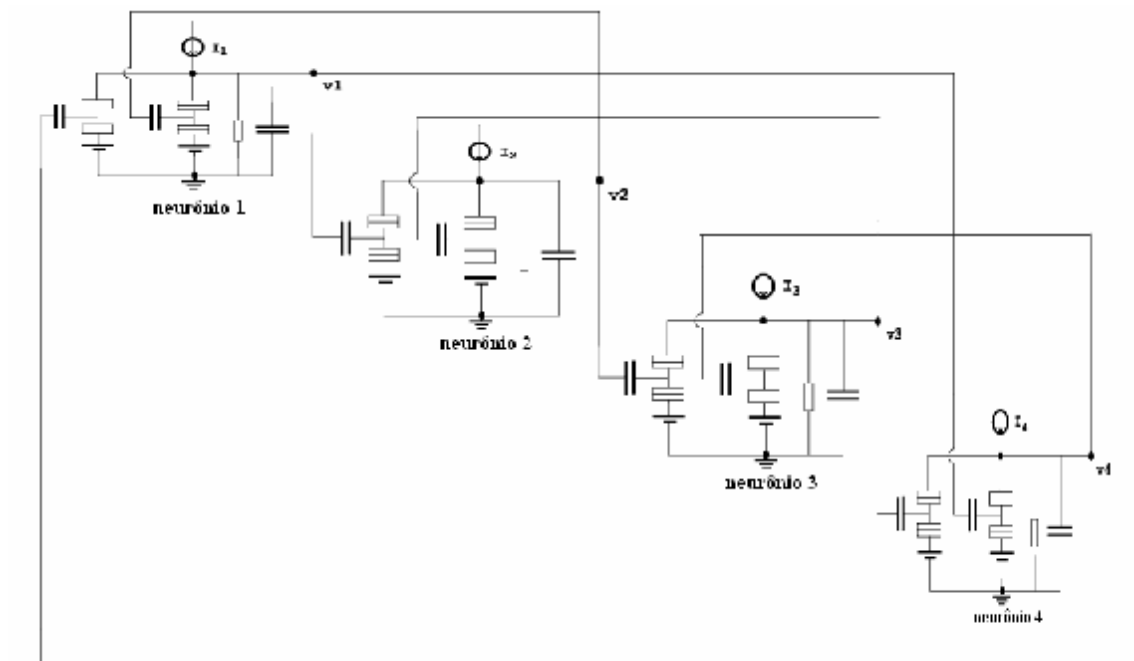


Figura 2.26 Rede WTA mono-elétron com quatro neurônios [28].

A Figura 2.26 mostra uma rede com quatro neurônios. O neurônio 1 recebe como entrada a corrente  $I_1$  e as tensões de saída dos neurônios 2 e 4,  $V_2$  e  $V_4$ , respectivamente. A tensão de saída do neurônio 1 é dada por  $V_1$  e a tensão de polarização  $V_b$  possui valor fixo.

O circuito da rede WTA mono-elétron identifica a maior tensão de saída de um conjunto de  $N$  neurônios, inibindo as tensões de saída das outras  $N-1$  unidades. O resistor  $R_f$  e o capacitor  $C$  são responsáveis pela constante de tempo do circuito, determinando o tempo de convergência da rede [28].

## 2.8 SIMULADOR DE DISPOSITIVOS NANOELÉTRÔNICOS

A ferramenta utilizada para simulação de circuitos nanoeletrônicos foi o SIMON (*Simulation of Nano-structures*) [23].

O programa SIMON é um simulador de dispositivos e circuitos mono-elétron, que possibilita a visualização da propagação de elétrons através da rede constituída de pequenas junções túnel, capacitores, resistores, fontes de corrente e fontes de tensão ideais [23]. Além disso, muitos parâmetros, tais como temperatura, ordem de tunelamento,

velocidade do gerador randômico, número de eventos, início, fim e intervalos de simulação podem ser especificados diretamente.

O método de simulação utilizado consiste em calcular a probabilidade para cada evento de tunelamento possível, usando o método de Monte-Carlo para escolha do evento em um conjunto de possíveis eventos, a cada instante de tempo. Nesse modo, para cada intervalo de tempo especificado, o número de eventos definido é simulado. A velocidade do gerador randômico indica se um novo conjunto de eventos deve ser calculado. Cada evento túnel é considerado independente e exponencialmente distribuído [23]. Assim, o programa simula o transporte de elétrons através da rede.

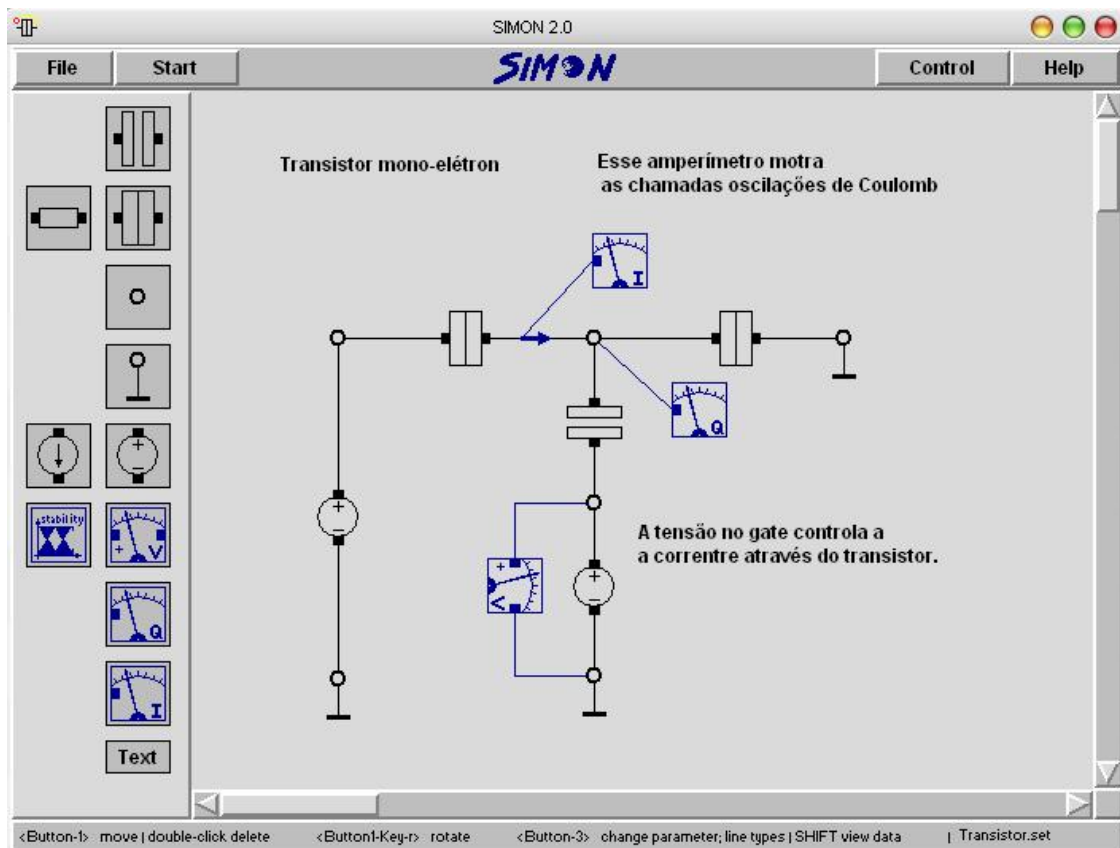


Figura 2.27 Editor Gráfico do Simon – circuito para simulação do transistor.

Para que um evento de tunelamento ocorra através de uma junção túnel é necessária uma fonte de energia, que pode ser uma fonte de tensão, ou uma de corrente, capaz de gerar energia térmica para o elétron tunelar. A probabilidade de um possível tunelamento muda com o tempo, porque as fontes podem variar mudando a distribuição dos elétrons na rede. Então, para cada evento um novo conjunto de probabilidades é calculado.

O editor gráfico permite arrastar e colocar os componentes SETs do circuito. Sua interface esta mostrada na Figura 2.27. Os parâmetros podem ser alterados interativamente (Figura 2.28) e os resultados das simulações podem ser vistos na forma gráfica (Figura 2.29).

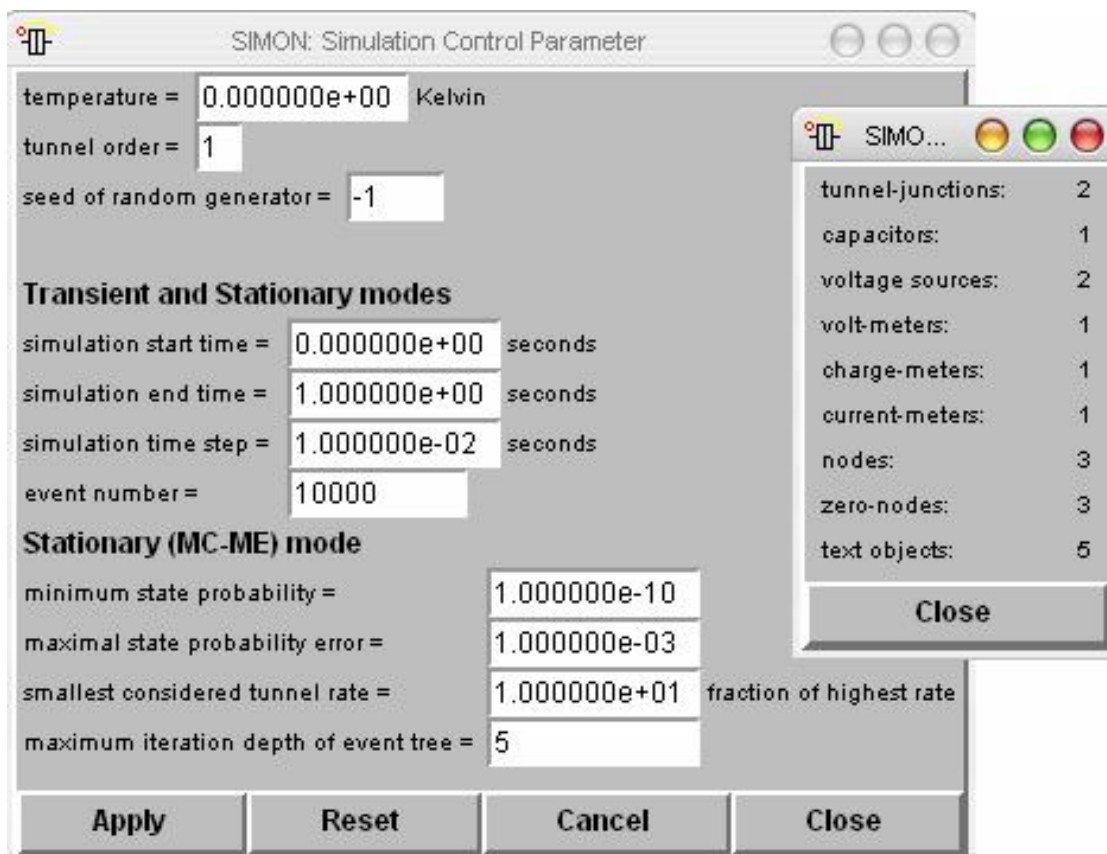


Figura 2.28 Janela dos parâmetros de simulação.

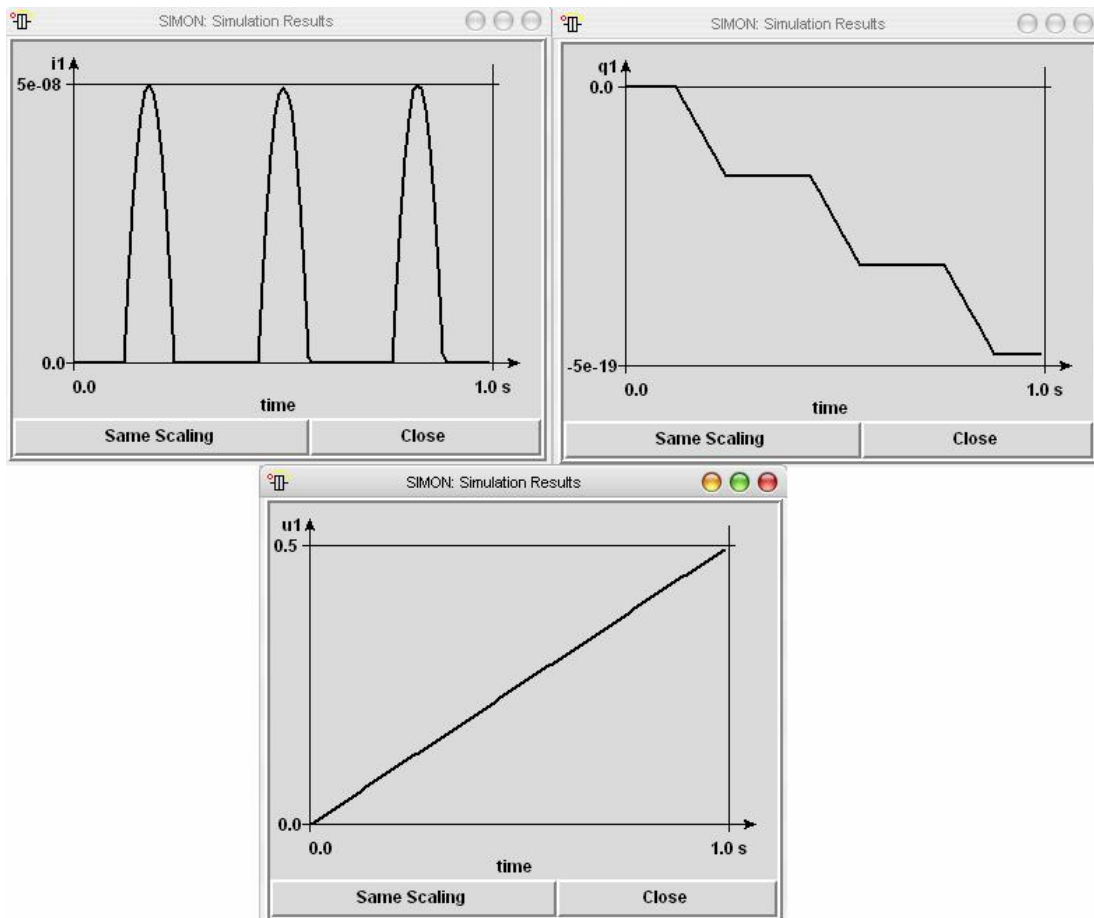


Figura 2.29 Resultados gráficos de uma simulação.

Os resultados das simulações são mostrados através de gráficos que indicam os valores de tensão, corrente ou carga em um determinado nó do circuito.



## **3 METODOLOGIA**

### **3.1 ESTRATÉGIAS**

Inicialmente, a estratégia adotada para o desenvolvimento de circuitos compostos por dispositivos mono-elétron foi a simples substituição dos dispositivos CMOS por dispositivos mono-elétron em circuitos já existentes [28]. A partir daí verificou-se a possibilidade de interconexão de blocos básicos, com funções específicas, como o comparador e o inversor, que permitem a integração de módulos formando circuitos mais complexos, como o circuito da memória associativa estocástica. Sabendo disto, foram realizadas simulações individuais dos circuitos de função específica, verificando para cada um, as características descritas na literatura [05]. Após esta verificação, realizaram-se as simulações de módulos compostos pela conexão desses circuitos, analisando em cada simulação as questões relacionadas à temperatura, co-tunelamento e cargas de desvio.

#### **3.1.1 Procedimento de projeto de circuitos**

A metodologia de síntese escolhida para o projeto dos circuitos que serão desenvolvidos nesse trabalho possui três passos [01]:

- i. identificação de um circuito de tecnologia convencional que desempenhe as funções desejadas;
- ii. tentativa de projetar um circuito mono-elétron por analogia, a partir da substituição dos transistores originalmente existentes por transistores mono-elétron, com alguns ajustes [33];
- iii. caso não haja algum circuito já implementado com as tecnologias citadas, efetuar a concepção direta de um circuito mono-elétron.

O diagrama da Figura 3.1 mostra a metodologia de projeto de circuitos mono-elétron adotada neste trabalho.

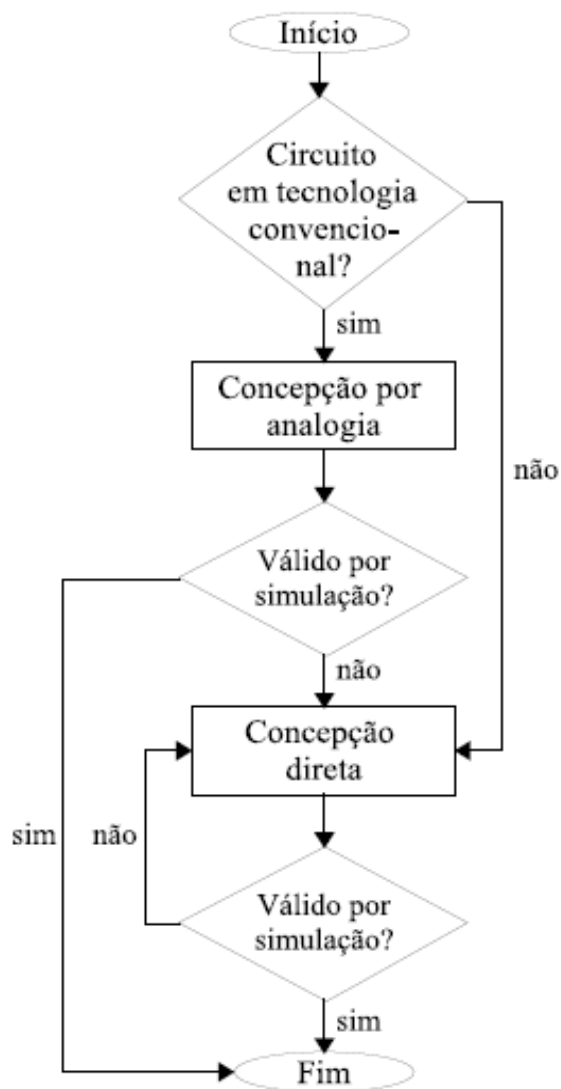


Figura 3.1 Metodologia de projeto de circuitos mono-elétron [01].

### 3.1.2 Utilização de transistores mono-elétron

Ao fazer uma associação de dois ou mais blocos de circuitos de dispositivos mono-elétron, é necessário o redimensionamento de alguns dispositivos, ou mesmo de todos, para garantir a passagem exata da quantidade de elétrons desejada, e o correto funcionamento do circuito como especificado. Para isso, foram utilizadas as equações dos circuitos (seção 2.5.2) ou mesmo equações básicas de circuitos elétricos.

### **3.1.3 Validação por simulação**

Especificada a arquitetura, alguns blocos básicos foram eleitos para compor o sistema completo da memória associativa. Cada um desses blocos foi analisado e simulado isoladamente. Através da simulação foram feitos ajustes em termos de dimensionamento dos dispositivos até que o circuito funcionasse da maneira especificada. Em todas as simulações os efeitos da temperatura, das cargas de desvio aleatório e de co-tunelamento foram considerados.

## **3.2 PROCEDIMENTO DE PROJETO DA MEMÓRIA ASSOCIATIVA**

### **3.2.1 Definição e escolha da arquitetura**

A Figura 2.11 mostra a arquitetura de um circuito SET de processamento associativo estocástico. Esta arquitetura consiste em comparadores de palavras e uma rede WTA. Cada comparador de palavras consiste em um número de comparadores de bits e células de memória. Esquemáticamente, a Figura 3.2 mostra o diagrama de blocos da memória associativa estocástica.

Para escolher a arquitetura mais apropriada, buscou-se uma topologia que utilizasse o processamento com redes neurais, de preferência uma rede WTA, devido à experiência anterior com este tipo de rede [28]. Além disso, ao escolher os blocos de circuitos básicos, observou-se sempre a quantidade de junções túnel existente no circuito, optando sempre pelos blocos com menor número de junções.

### **3.2.2 Adaptação de blocos**

Com base na arquitetura mostrada na Figura 2.10, desenvolveu-se a arquitetura da memória associativa estocástica que utiliza somente dispositivos mono-elétron. Esta arquitetura é mostrada, esquemáticamente, na Figura 3.2.

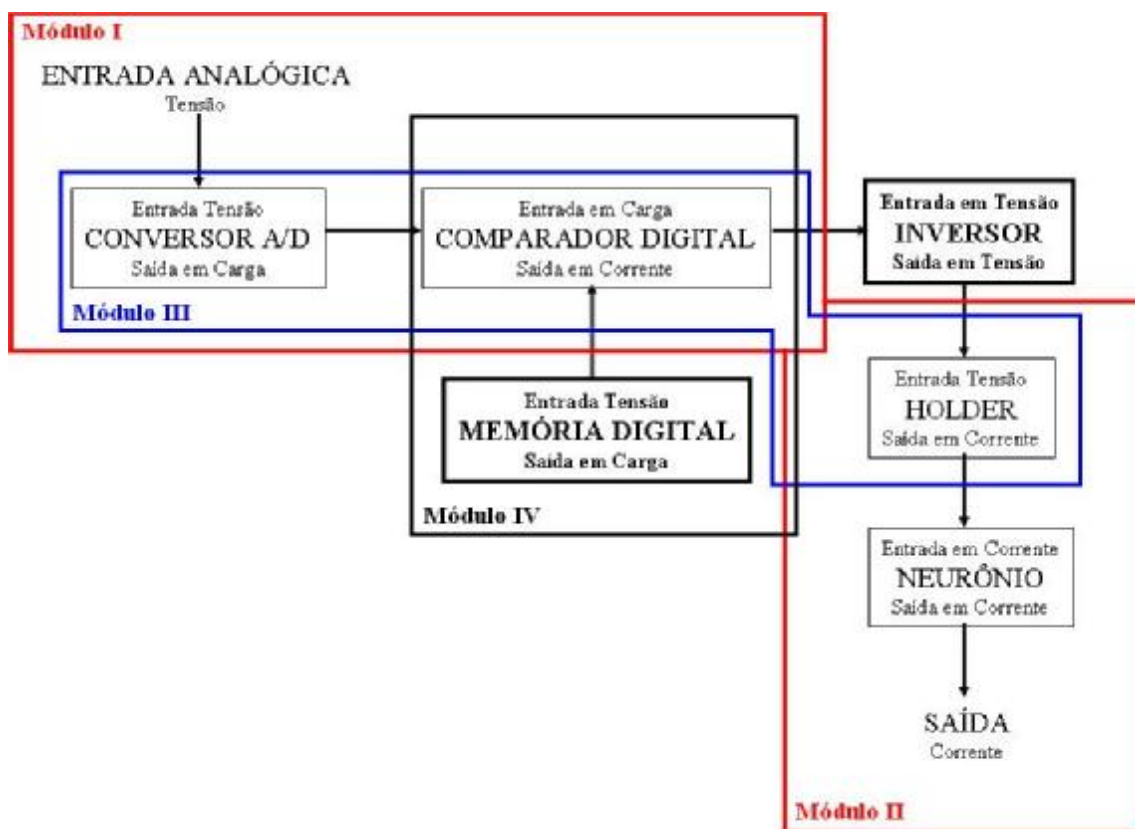


Figura 3.2 Diagrama de blocos da arquitetura de circuito da memória associativa.

Para alcançar a integração destes blocos a estratégia adotada foi a realização de módulos, compostos por blocos. A contribuição mais importante deste trabalho foi a possibilidade de demonstrar a conexão de mais de um bloco de circuito usando transistores mono-elétron para a realização de funções complexas. No entanto, as questões tecnológicas de atraso não foram levadas em conta neste trabalho, pois um estudo completo dos aspectos relacionados à interconexão de circuitos nanoeletrônicos está sendo desenvolvido no mestrado de um dos alunos do Departamento. Contudo, uma arquitetura complexa é proposta, projetada e validada através de simulações.

O diagrama de blocos mostrado na Figura 3.2 indica esquematicamente a seqüência em que os blocos foram conectados para realização das simulações.

A Figura 3.3 mostra a arquitetura da memória associativa estocástica considerando a associação de várias células.

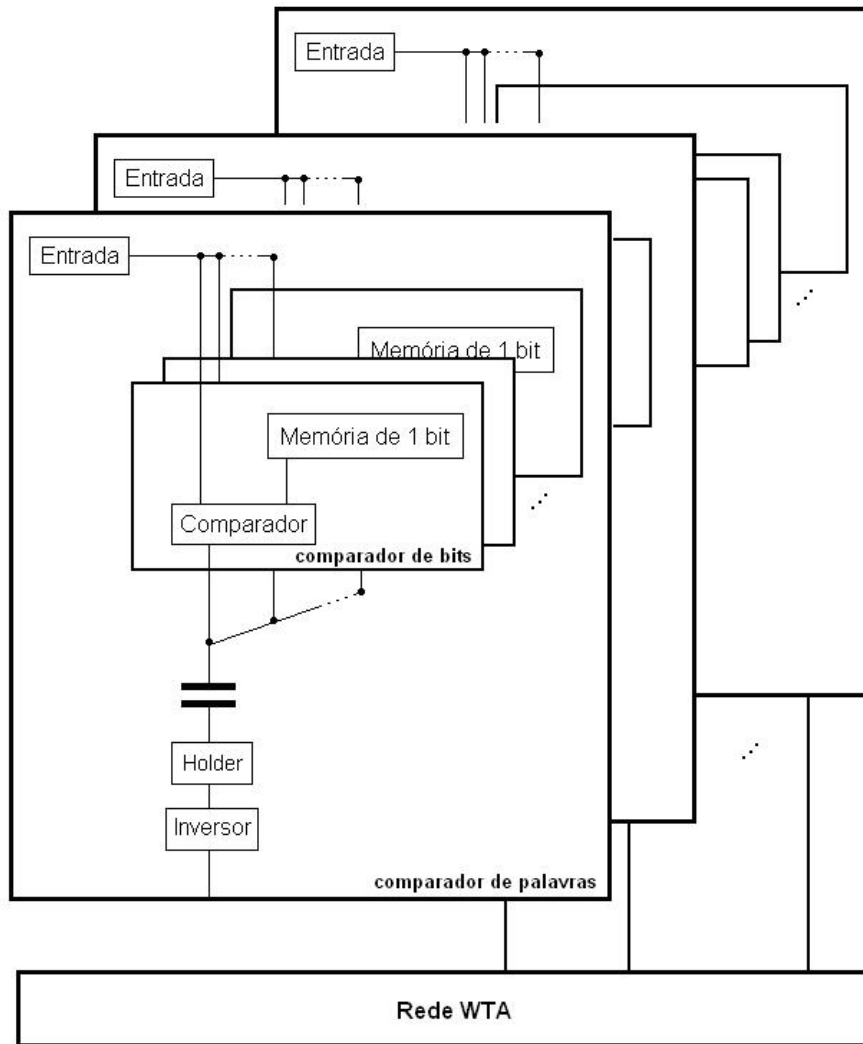


Figura 3.3 Arquitetura da memória associativa estocástica.

### 3.2.3 Especificação funcional

Um conjunto de bits representando uma informação é armazenado na célula de memória, e para um dado conjunto de bits de entrada, é realizada uma comparação bit a bit, e a entrada mais semelhante ao dado armazenado é identificada ou recuperada como resultado com o uso da rede WTA.

A Figura 3.4 mostra o funcionamento do sistema, que opera da seguinte maneira: considerando um único bit, têm-se duas opções de entrada, 0 ou 1, e as duas estão armazenadas, cada uma em um bloco básico de memória digital  $M_0$  e  $M_1$ . Cada um dos dois blocos básicos de memória digital está associado a um comparador de um bit que por sua vez está associado a uma chave, um inversor e um neurônio da rede WTA. Quando a

entrada é 0, o comparador de um bit  $C_0$  reconhece que o sinal é semelhante ao sinal armazenado em  $M_0$ , enquanto o comparador de bit  $C_1$  reconhece que é diferente de  $M_1$ . O comparador  $C_0$  apresenta como saída um valor de tensão menor que o comparador  $C_1$ . Para garantir a operação correta da rede WTA os dois sinais provenientes dos comparadores passam pela chave, e depois pelo inversor: assim o maior valor de corrente apresentado à rede WTA corresponde ao sinal mais semelhante, e a rede pode identificar qual valor armazenado é igual ao apresentado na entrada.

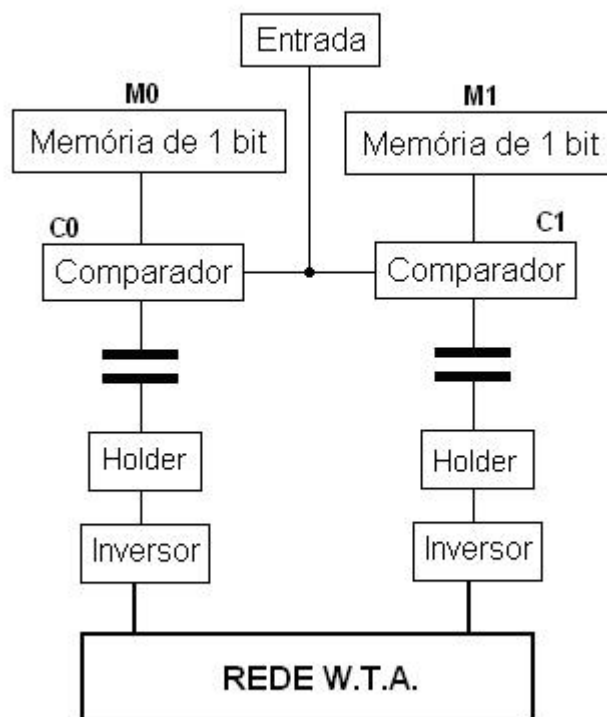


Figura 3.4 Princípio de funcionamento da memória associativa estocástica considerando 1 bit.

Em termos de especificação elétrica foram definidos primeiramente os níveis lógicos para os circuitos digitais. Esta definição foi realizada em termos de carga eletrônica. Assim, a presença de um elétron ou pequeno grupo de elétrons em um nó representa o nível lógico 1 e a ausência, o nível lógico 0. Com isso, de acordo com as condições de impedância dos circuitos envolvidos as tensões de entrada foram calculadas, utilizando as equações características do transistor, indicadas na seção 2.4.2.

### **3.2.4 Validação por simulação**

As simulações realizadas levaram em conta primeiramente o funcionamento do circuito proposto na literatura. Neste caso, usando as dimensões propostas foram analisadas as questões de co-tunelamento e temperatura de operação. Após a verificação da adequação do circuito no projeto da memória, passou-se a uma etapa de redimensionamento e ajustes para simular cada módulo e finalmente integrar o circuito completo da memória associativa estocástica.

Utilizando um processador *Pentium 4*, 2,8GHz, com 224MB de memória RAM, as simulações eram finalizadas, em média, em um minuto.

## 4 DESENVOLVIMENTO E RESULTADOS

### 4.1 INTRODUÇÃO

A idéia inicial para realização do circuito proposto pela arquitetura mostrada na Figura 3.2 era utilizar uma entrada analógica. Para tal seria necessária uma conversão do sinal analógico para digital, uma vez que o comparador é digital. Encontrado um conversor A/D [05] na literatura, que fosse adequado às especificações requeridas, realizou-se um estudo do circuito individualmente, verificando os resultados apresentados e incluindo as questões de temperatura, co-tunelamento e cargas de desvio, obtendo-se assim o primeiro módulo que conectava dois blocos de circuitos de dispositivos mono-elétron: conversor A/D e comparador.

Ao conectar o comparador diretamente com a rede WTA, não havia convergência para um vencedor e o circuito não funcionava apropriadamente. A conclusão neste ponto foi a de que a rede WTA não conseguia processar os sinais enquanto estes não estivessem estabilizados. A solução encontrada foi utilizar uma chave lógica, ou *holder*. Esse bloco de circuito auxiliar, após um determinado tempo, apresenta um sinal estável na entrada da rede WTA.

Encontrado um circuito de *holder* na literatura [32], que eliminasse a dificuldade encontrada, realizaram-se as simulações de verificação, passando em seguida ao Módulo II, composto pelo pelos neurônios de uma rede WTA e o *holder*. Da mesma forma, que o Módulo I, esse circuito foi simulado.

Além desses dois módulos, realizou-se ainda a simulação de um módulo contendo três circuitos: conversor, comparador e *holder*, indicado na Figura 3.2 como Módulo III [36].

Para implementar o bloco da memória digital, foi escolhida na literatura uma variação do *electron-trap* [06], no qual foram realizadas as simulações de verificação, mas não foram amplamente estudadas as questões de temperatura, co-tunelamento e cargas de desvio. Escolhido o bloco da memória, simulou-se o Módulo IV composto pelo bloco da memória digital e pelo comparador. O circuito de entrada passa então a ser um conversor simples



que para uma dada tensão de entrada fornece um elétron no nó de entrada do comparador. Com os bons resultados obtidos dessa associação, realizou-se a integração do circuito completo, acoplando em uma mesma simulação os circuitos da segunda e da terceira associação: memória digital, comparador, chave, neurônio. Além disso, foi incluído bloco auxiliar inversor antes do neurônio da rede WTA.

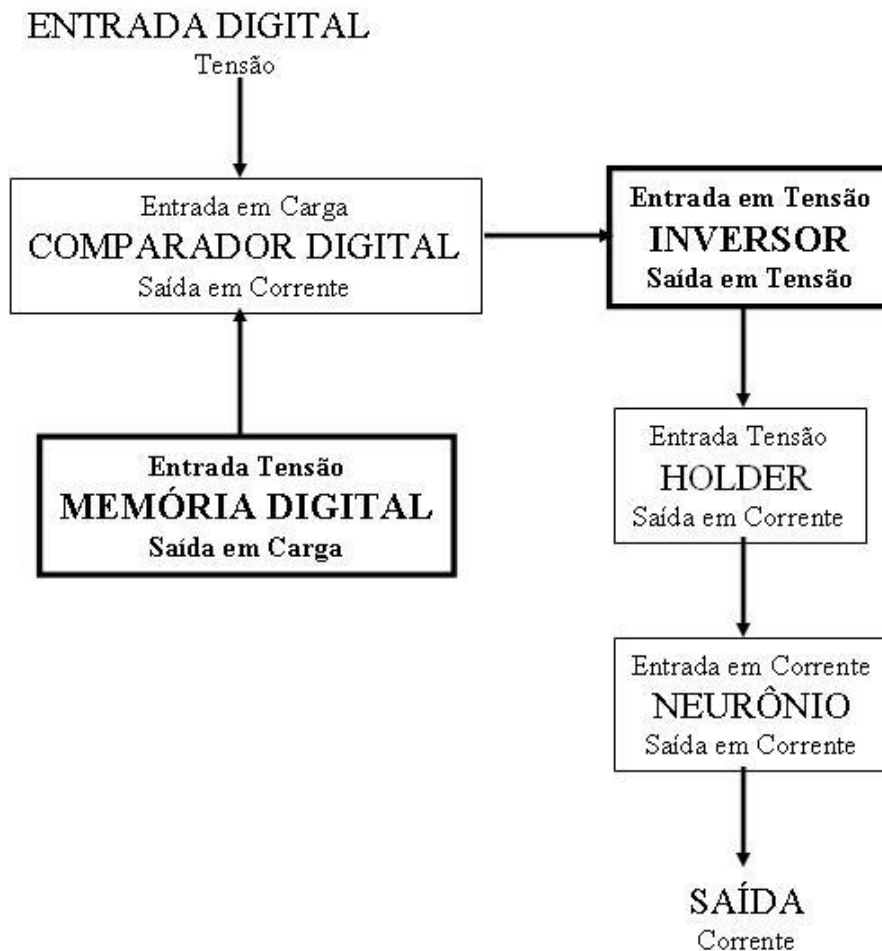


Figura 4.1 Diagrama de blocos do circuito da memória associativa estocástica.

Ao integrar o bloco da memória digital e o bloco do conversor A/D não foi possível alcançar resultados satisfatórios devido à dificuldade em prever e relacionar as condições de impedância do circuito conectado. Com isso, a opção adotada foi retirar o bloco do conversor da entrada do circuito da memória, como mostra a Figura 4.1.

## 4.2 REDE WTA

O circuito desenvolvido para a rede WTA mono-elétron utilizada no projeto do circuito da memória associativa estocástica faz parte dos resultados da pesquisa em nanoeletrônica do Departamento [28]. Além disso, é uma das células básicas para a implementação do processador GSI/TSI [01]. A Figura 4.2 apresenta o circuito utilizado no projeto da memória associativa estocástica. Trata-se do circuito responsável pelo processamento de associação característico deste tipo de memória.

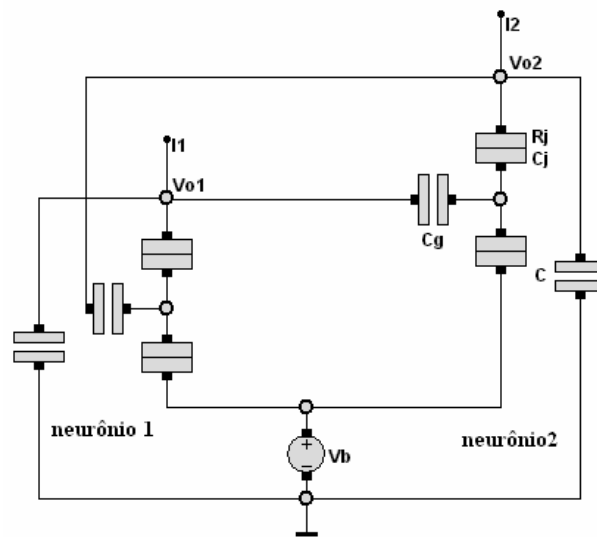


Figura 4.2 Rede WTA mono-elétron com dois neurônios.

O funcionamento esperado da rede WTA é a apresentação de um sinal de saída vencedor que seja o mais semelhante a uma dada referência de entrada. A Figura 4.3 mostra o resultado de uma das simulações considerando que o neurônio 2 é o vencedor.

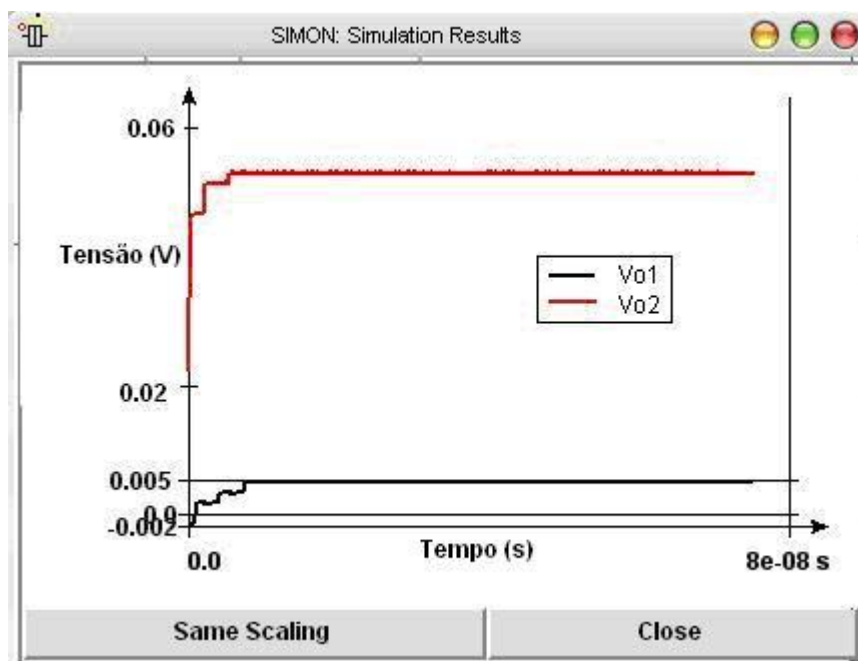


Figura 4.3 Resultado de simulação para  $I_1 < I_2$ .

A Tabela 4.1 apresenta as dimensões finais do circuito da rede WTA utilizadas no circuito completo da memória associativa estocástica, considerando as dimensões mínimas realizáveis para correntes de entrada na ordem de nanoampéres.

Tabela 4.1 Dimensões dos dispositivos de circuito do neurônio WTA.

$V_b$	$C$	$C_g$	$R_j$	$C_j$
-0,50 mV	0,10 fF	0,10 aF	10 M $\Omega$	0,01 aF

### 4.3 BLOCOS

#### 4.3.1 Introdução

No projeto do circuito da memória associativa estocástica, de acordo com a metodologia, seguiu-se uma hierarquia de blocos e módulos para a integração final do circuito completo. Nas seções seguintes são apresentados os resultados de simulação dos circuitos isolados de cada bloco constituinte da arquitetura da memória associativa estocástica implementada.

### 4.3.2 Bloco memória

Como dito na seção 2.7.3 o circuito utilizado no bloco memória da memória associativa estocástica é uma variação da memória digital conhecida como *electron-trap*. Trata-se de um circuito com seis ilhas intercaladas por seis junções, terminando em um capacitor, que recebe a polarização. Além do controle exercido por  $V_g$ , este circuito apresenta mais duas tensões de controle, que servem para controle de linhas,  $V_x$ , e controle de coluna,  $V_y$ , no caso de expansão da célula de memória em uma matriz.

A Figura 4.4 mostra o circuito utilizado no bloco memória. As simulações realizadas para este circuito foram feitas com os valores dos componentes do circuito original, indicadas na Tabela 4.2. O funcionamento do circuito isolado corresponde ao esperado, como mostra a Figura 4.5, que é totalmente compatível com a Figura 2.13.

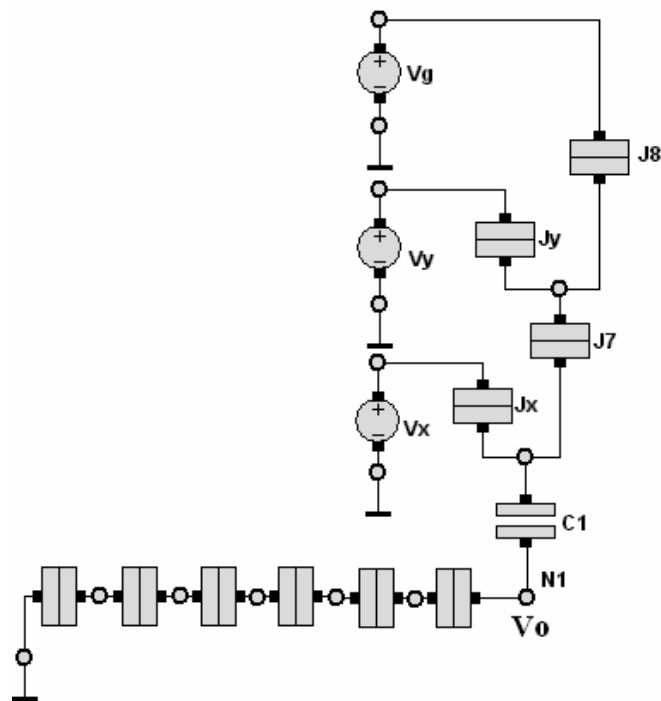


Figura 4.4 Circuito da célula básica da memória digital.

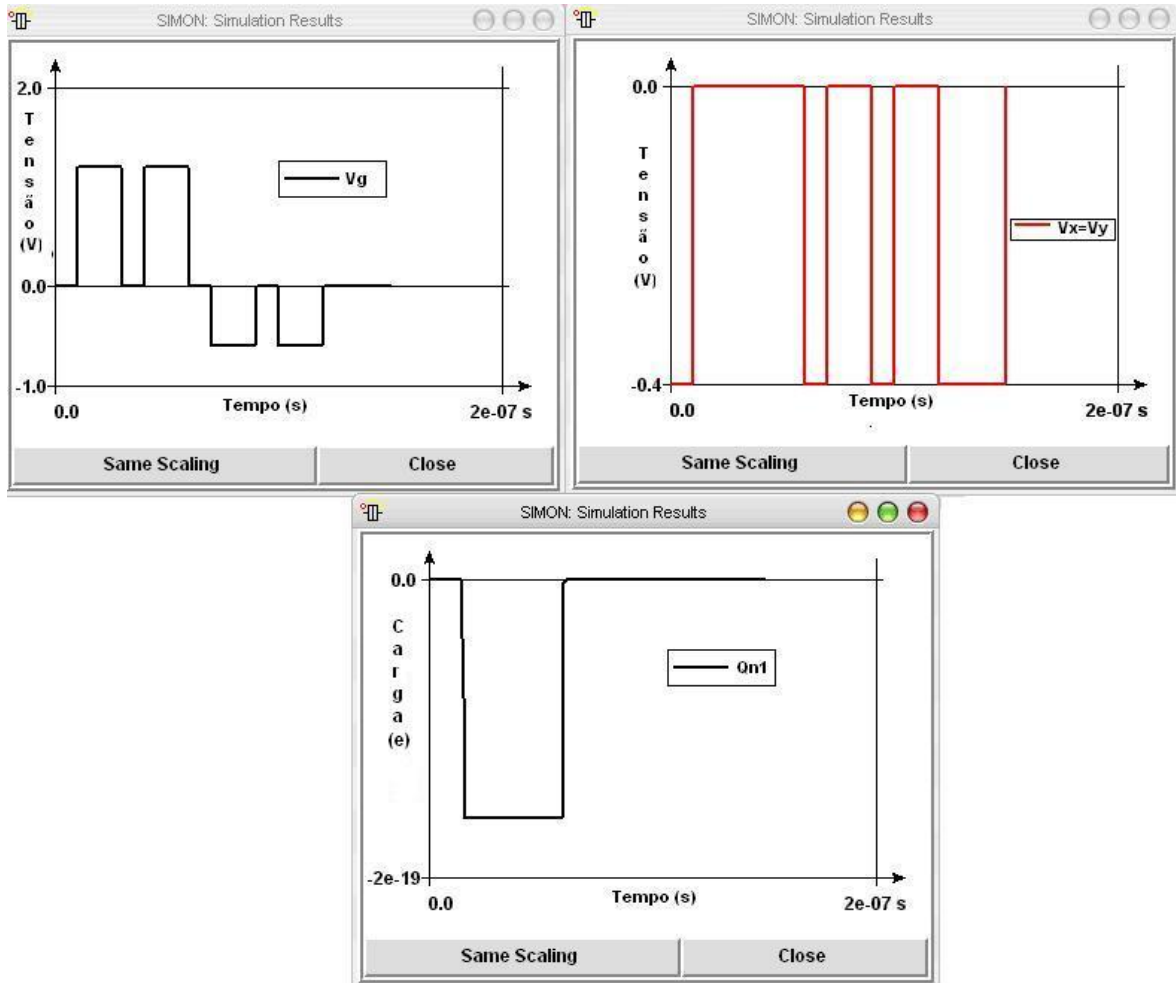


Figura 4.5 Resultados da simulação do bloco memória isolado.

Mantendo os valores dos componentes originais, o circuito não opera corretamente em condições de co-tunelamento e cargas de desvio. A temperatura máxima em que o circuito simulado não altera sua curva de resultado é de 20K. Para determinação mais apurada da sensibilidade do circuito à temperatura de operação, deveria ter sido realizado um estudo mais aprofundado, devendo ser objeto de investigações futuras. No entanto, a não realização desse estudo não altera os resultados obtidos nas simulações do sistema completo.

Tabela 4.2 Valores dos componentes do circuito do bloco memória.

$R_j$	$C_j$	$C_1$	$V_g$
0,1 M $\Omega$	1 aF	1 aF	0,6 V

### 4.3.3 Bloco comparador

O bloco comparador foi o ponto de partida para o projeto da memória associativa. Proposto como célula básica do circuito de processamento estocástico de Yamanaka *et. al.* [30], o bloco comparador funciona como peça fundamental, responsável pela etapa de classificação no processamento da memória associativa estocástica.

Seu comportamento equivale ao de uma porta lógica NÃO-OU-EXCLUSIVO e seu funcionamento pode ser descrito pelas equações características do transistor mono-elétron, como explicado na seção 2.7.4.

O circuito é composto por duas junções túnel intercaladas por uma ilha que está conectada a dois capacitores. Uma das junções recebe a polarização e outra fornece a saída ao se conectar a outro capacitor, como mostra a Figura 4.6.

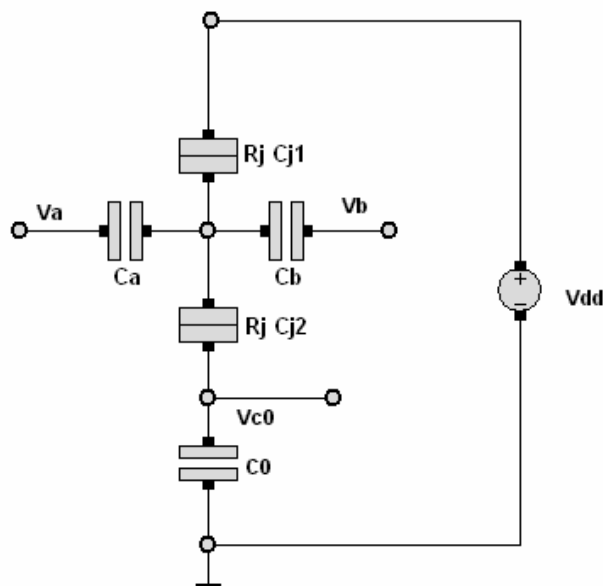


Figura 4.6 Circuito do bloco comparador.

As capacitâncias  $C_a$  e  $C_b$  e as das junções  $C_{j1}$  e  $C_{j2}$ , são da mesma ordem de grandeza, enquanto  $C_0$  deve ser bem maior em relação a estas outras. As dimensões originais indicadas na Tabela 4.3 foram utilizadas para verificar o funcionamento do circuito. A Figura 4.7 mostra os resultados desta simulação.

Tabela 4.3 Valores dos componentes do circuito do comparador.

$V_{dd}$	$R_j$	$C_{j1}$	$C_{j2}$	$C_{ga}$	$C_{gb}$	$C_{CO}$
6.2 mV	100 M $\Omega$	1 aF	2 aF	7 aF	8 aF	500 aF

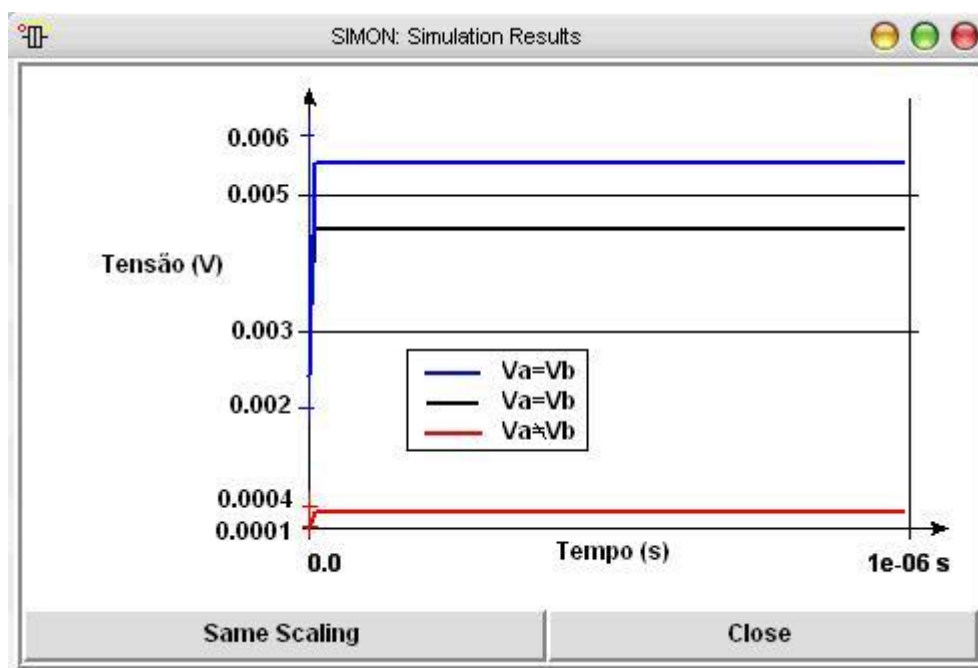


Figura 4.7 Resultado de simulação do comparador isolado.

Como pode ser observado na Figura 4.7, só existe corrente, ou seja, transporte de elétrons, quando as tensões  $V_a$  e  $V_b$  são iguais.

Nota-se também que existem dois valores distintos de  $V_{CO}$  para o caso em que  $V_a = V_b$ . Isto se deve ao fato de o comparador ser um circuito digital e apresentar  $V_a = V_b$  para considerando duas entradas com o valor lógico 1 e para duas entradas com o valor lógico 0.

Além disso, o circuito do bloco comparador foi simulado sob condições de co-tunelamento e cargas de desvio, operando corretamente em todas as situações, mantendo sua funcionalidade para temperaturas até 300K.

#### 4.3.4 Bloco conversor

O bloco conversor foi utilizado no projeto da memória associativa estocástica, com o intuito de usar como sinal de entrada tensões analógicas. O circuito do conversor utilizado converte uma dada tensão de entrada em uma palavra de três bits, obtida pela variação nos sinais de carga. A Figura 4.8 mostra o circuito do bloco do conversor analógico para digital.

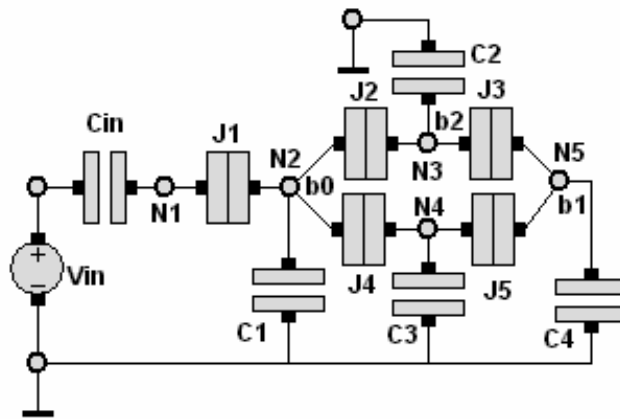


Figura 4.8 Circuito do bloco Conversor analógico-digital.

Para um valor de tensão analógica de entrada,  $V_{in}$ , os nós  $b_2$ ,  $b_1$  e  $b_0$  fornecem a saída do circuito em termos de carga eletrônica, como indica a Tabela 4.4, que mostra o código binário para oito dígitos decimais considerando um intervalo de valor de tensão de entrada que varia de 0 a 5V.

Tabela 4.4 Faixa de operação do conversor A/D.

$V_{in} (V)$	$b_2 - q_2$	$b_1 - q_1$	$b_0 - q_0$	Decimal
<b>0,000 – 0,625</b>	0	0	0	0
<b>0,625 – 1,250</b>	0	0	1	1
<b>1,250 – 1,875</b>	0	1	0	2
<b>1,875 – 2,500</b>	0	1	1	3
<b>2,500 – 3,125</b>	1	0	0	4
<b>3,125 – 3,750</b>	1	0	1	5
<b>3,750 – 4,375</b>	1	1	0	6
<b>4,375 – 5,000</b>	1	1	1	7



Para manter a faixa de operação, não houve nenhuma alteração nas dimensões dos dispositivos do circuito, cujos valores são os mesmos do circuito original apresentados na Tabela 4.5.

Tabela 4.5 Valores dos componentes do circuito do conversor A/D.

$C_{in}$	$C_{j1}$	$C_{1-2-3-4}$	$R_{j1-2-3-4-5}$	$C_{j2-3-4-5}$
0,1 aF	1 aF	1 aF	100 K $\Omega$	0,01 aF

Os resultados de simulação do bloco conversor estão indicados na Figura 4.9, na qual é possível observar seu funcionamento.

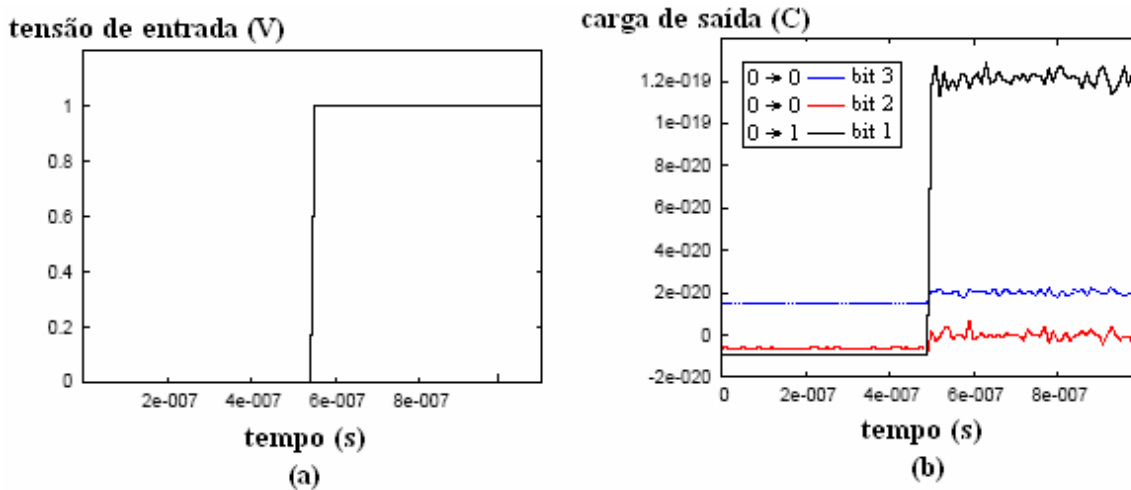


Figura 4.9 Resultados da simulação do bloco Conversor A/D: (a) tensão de entrada  $V_{in}$ ; (b) carga de saída do conversor A/D.

Aplicando uma tensão de entrada que inicialmente está em zero e, depois de certo tempo, passa a 1V, observam-se as variações nas medidas de carga dos nós, onde nota-se claramente o código 000 no instante inicial e depois o código 001. Este resultado corresponde ao apresentado na seção 2.7.5.

#### 4.3.5 Bloco holder

Este é um bloco auxiliar da memória associativa estocástica, cuja função é garantir a operação correta da rede WTA.

A Figura 4.10 mostra o esquemático do circuito utilizado como bloco *holder*. Trata-se da conexão de três transistores mono-elétron a um nó central que recebe um sinal de RF ( $V_{RF}$ ), ativando os transistores dois a dois, de acordo com as tensões dos terminais de porta de cada um.

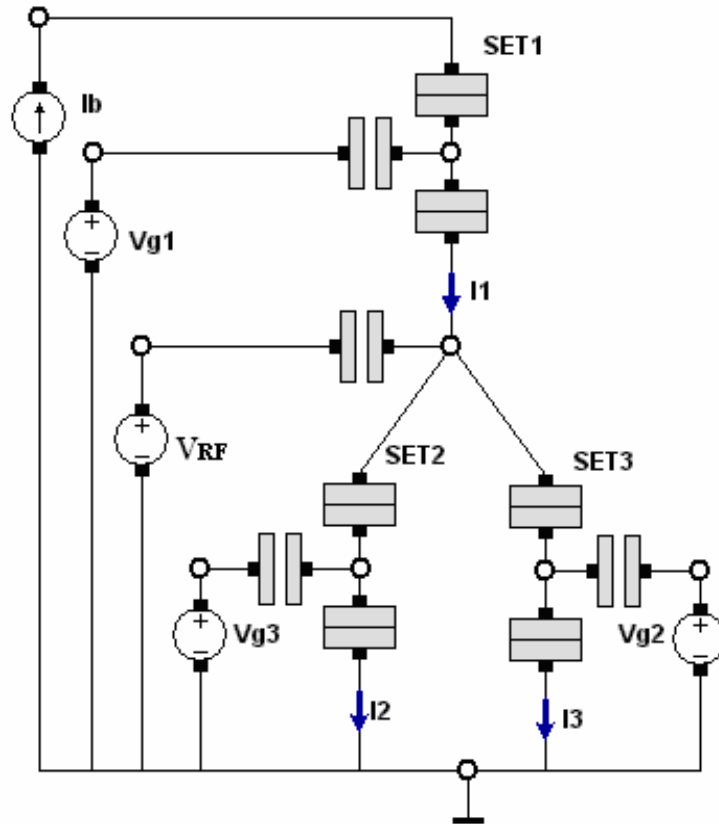


Figura 4.10 Circuito do bloco *holder*.

A Tabela 4.6 resume o modo de operação do bloco *holder*, explicado em detalhes na seção 2.7.6. As simulações de verificação realizadas levaram em conta o valor das correntes  $I_1$ ,  $I_2$  e  $I_3$ .

Tabela 4.6 Modo de operação.

SET1	$I_1$	SET2	$I_2$	SET3	$I_3$
ligado	$\cong I_2$	ligado	$\cong I_1$	desligado	$\cong 0$
ligado	$\cong I_3$	desligado	$\cong 0$	ligado	$\cong I_1$
desligado	$\cong 0$	ligado	$\cong I_3$	ligado	$\cong I_2$

A Figura 4.11 mostra o resultado de uma simulação onde os transistores SET1 e SET3 estavam ligados e o SET2 desligado, como pode ser visto pelos valores das correntes.

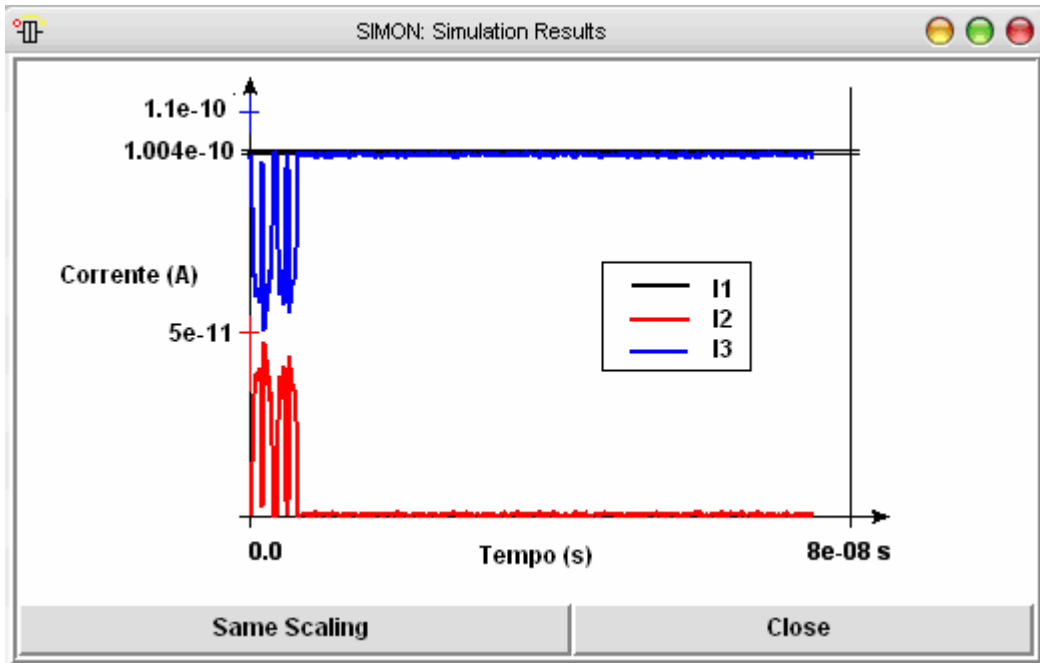


Figura 4.11 Simulação do bloco *holder*.

Reduzindo as dimensões dos dispositivos do circuito as simulações de co-tunelamento e de cargas de desvio apresentaram o correto funcionamento do circuito, cuja temperatura máxima chegou a 300K.

Para a utilização do bloco nos módulos e no circuito completo da memória associativa estocástica, as tensões de controle foram utilizadas de maneira tal, que a cada ciclo de  $V_{RF}$  a corrente passasse sempre pelo mesmo caminho, numa só direção. Assim, o sinal apresentado como entrada no SET 1, indicado na Figura 4.10, após um ciclo de  $V_{RF}$  é apresentado nos terminais do SET2, enquanto o SET 3 é mantido inoperante.

#### 4.3.6 Bloco inversor

Trata-se também de um bloco auxiliar, que compõe o circuito completo da memória associativa estocástica, para garantir o funcionamento correto do sistema. É um circuito formado por dois transistores mono-elétron como indica a Figura 4.12.

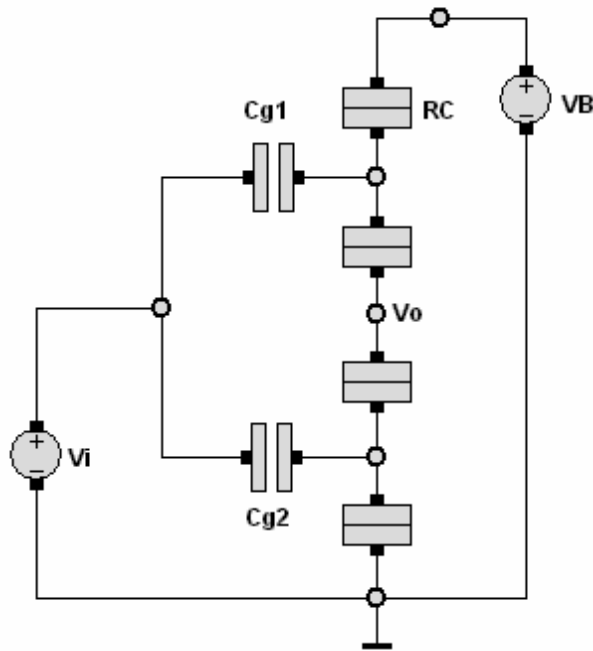


Figura 4.12 Circuito do bloco inversor.

Seguindo as equações descritas na seção 2.7.7, as simulações de verificação foram realizadas considerando uma tensão de polarização  $V_B$  igual a 40mV. A partir daí, as dimensões foram calculadas e estão indicadas na Tabela 4.7.

Tabela 4.7 Valores dos componentes do circuito do bloco inversor.

$C_g$	$C$	$R$	$V_B$	$T$
2 aF	0.5 aF	5 M $\Omega$	40 mV	77 K

Com as dimensões indicadas na Tabela 4.7 o circuito opera corretamente até temperatura de 77K e em condições de co-tunelamento. A Figura 4.13 mostra o resultado destas simulações.

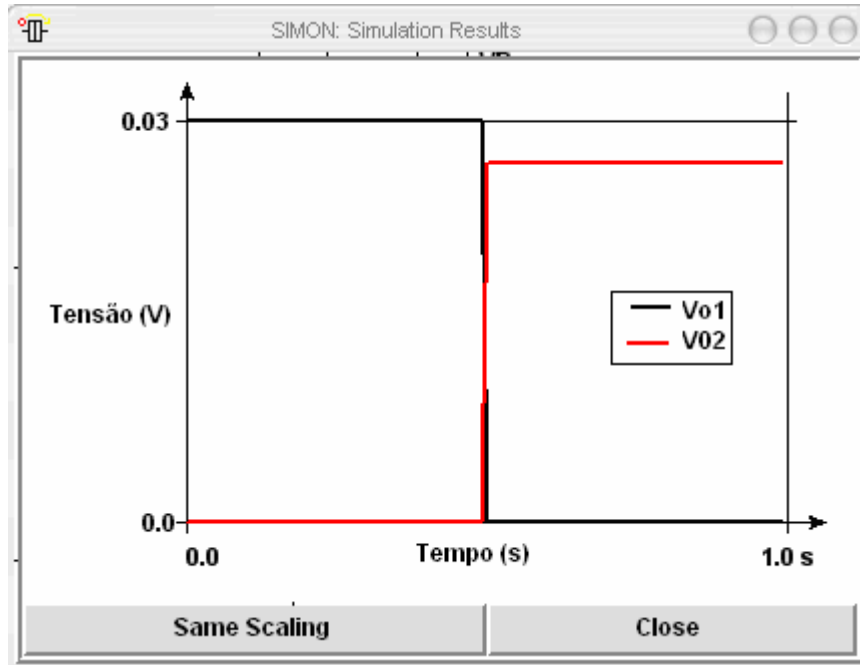


Figura 4.13 Resultado de simulação do bloco inversor.

#### 4.3.7 Bloco entrada

O último bloco constituinte da memória associativa estocástica é o bloco entrada, inspirado no circuito da caixa mono-elétron. Sua função é converter uma dada tensão de entrada em uma carga eletrônica equivalente a um elétron, para o caso do nível lógico 1.

O circuito é formado por uma capacitância, uma ilha e uma junção túnel, como mostra a Figura 4.14. Conforme explicado na seção 2.7.8, quando não há tensão na entrada, não há carga na ilha, caracterizando o “0” lógico.

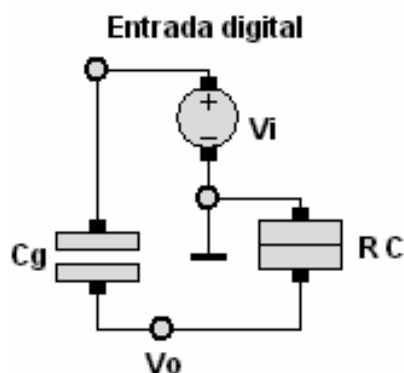


Figura 4.14 Circuito do bloco entrada.

As dimensões foram ajustadas de maneira a prover um elétron na entrada do comparador com uma tensão neste nó equivalente à tensão fornecida por um elétron no bloco da memória digital. As dimensões utilizadas nas simulações estão indicadas na Tabela 4.8.

Tabela 4.8 Valores dos componentes do bloco entrada.

valor lógico	$V_i$	$C_g$	$C$	$R$	$V_o$
1	-1,50 V	0,10 aF	0,12 aF	100 M $\Omega$	0,13 V
0	-1,50 V	0,10 aF	0,12 aF	100 M $\Omega$	0,10 V

## 4.4 MÓDULOS

### 4.4.1 Introdução

Muitos circuitos usando dispositivos mono-elétron já foram propostos [14], [23], mas nunca, até hoje, havia sido proposto um sistema formado de sub-circuitos. Seguindo a metodologia descrita no Capítulo 3, realizou-se pela primeira vez um sistema com um circuito complexo como o proposto para a realização da memória associativa.

Através da conexão de blocos básicos e do estudo dos efeitos que esta conexão impõe aos dispositivos foi possível realizar a integração do circuito completo. A seguir, são apresentados os módulos simulados para a realização do projeto do circuito da memória.

### 4.4.2 Conversor – Comparador

A simulação dos circuitos para a implementação da memória associativa estocástica utilizando somente dispositivos mono-elétron teve início com o Módulo I, indicado na Figura 3.2, composto pelos blocos comparador e conversor.

A Figura 4.15 mostra o circuito do Módulo I, composto por três comparadores de um bit e dois conversores de três bits. Ao conectar os dois circuitos, a entrada do bloco comparador deixa de ser uma fonte ideal, como quando era simulado isoladamente. A entrada passa agora a ter um valor de carga oriundo de um outro circuito, com um valor de impedância

associado. Os valores dos dispositivos do circuito utilizados para simulação são indicados na Tabela 4.9.

Tabela 4.9 Valores dos componentes do circuito do Módulo I.

$V_{bias}$	$C_{CJ}$	$R_{CJ}$	$C_C$	$C_{LC}$
0,128 V	0,1 aF	100 M $\Omega$	0,5 aF	5,0 fF
$C_{in}$	$C_J$	$R_J$	$C_1 = C_2$	$C_3 = C_4$
0,128 aF	1,0 aF	100 M $\Omega$	0,5 aF	0,5 aF

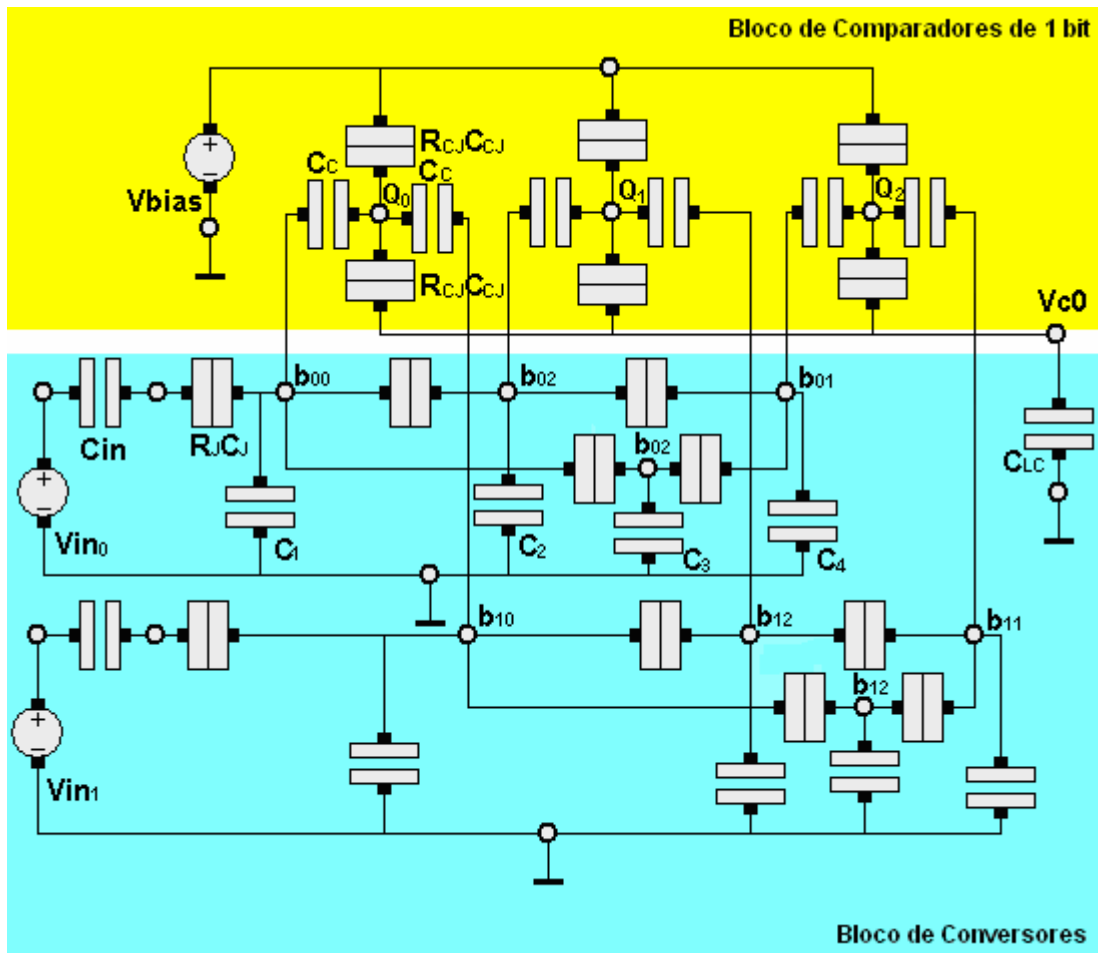
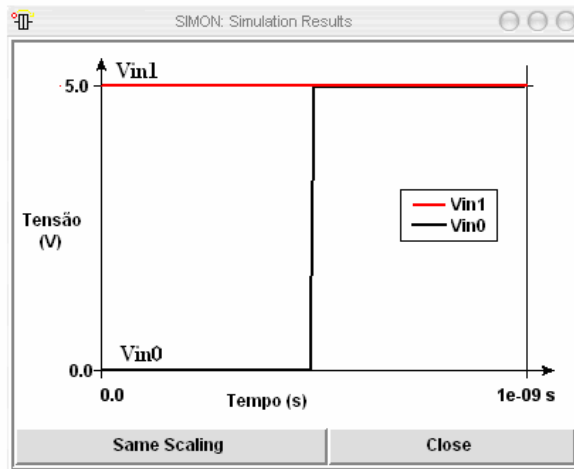
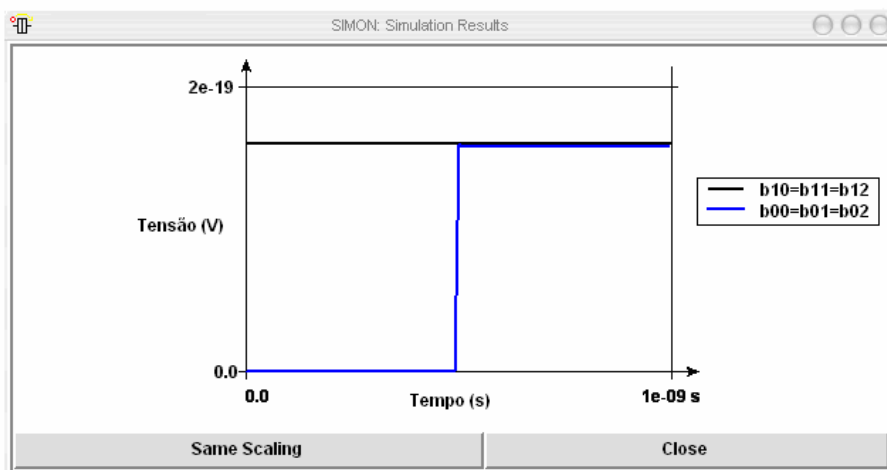


Figura 4.15 Módulo I - comparador-conversor. Três comparadores de 1 bit, conectados a dois conversores A/D de 3 bits.

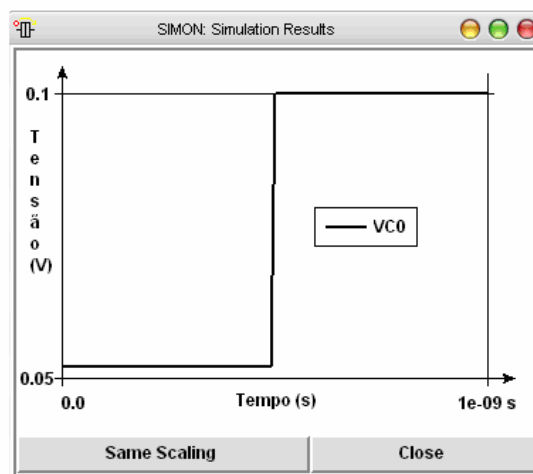
Considerando dois valores de tensão para a entrada do conversor, de acordo com os valores da Tabela 4.2,  $V_{in0}$  e  $V_{in1}$ , o valor da tensão de saída do módulo,  $V_{c0}$ , depende do número bits,  $b_0$ ,  $b_1$  e  $b_2$ , que forem iguais.



(a)



(b)



(c)

Figura 4.16 Resultados de simulação do Módulo comparador-conversor: (a) Tensões de entrada  $V_{in0}$  e  $V_{in1}$ ; (b) Mediadas de carga nos conversores; e (c) Tensão de saída do comparador  $V_{C0}$ .



Por exemplo, ao considerar a entrada  $V_{in0}$  igual a  $V_{in1}$  com valor de 5V, obter-se-á a conversão para o número binário 111, nos dois conversores. Neste caso, as entradas dos comparadores são todas iguais com  $Q_0$ ,  $Q_1$  e  $Q_2$  iguais a 1e, e  $V_{CO}$  diferente de zero. Por outro lado, ao considerar o valor da entrada  $V_{in0}$  igual à zero, enquanto  $V_{in1}$  é mantido em 5V, o primeiro conversor fornecerá o número binário 000, e o segundo conversor mantém 111. As cargas no comparador serão iguais a zero e a saída do comparador  $V_{CO}$  terá valor próximo de zero, como mostra a Figura 4.16.

Note que a saída do comparador não pode ser considerada binária, uma vez que a comparação é feita bit a bit, ou seja, a tensão de saída terá no mínimo três níveis diferentes: um para o caso dos três bits serem totalmente diferentes, uma segunda para o caso de um bit de diferença, uma terceira, para dois bits diferentes e uma quarta para o caso em que todos os bits são iguais.

Os resultados destas simulações representam um grande avanço na pesquisa de circuitos nanoeletrônicos e resultaram na publicação do Apêndice B. Além disso, serviram como impulso para continuar este tipo de abordagem na implementação de circuitos nanoeletrônicos.

#### **4.4.3 Holder – Rede WTA**

Para alcançar o objetivo de integrar totalmente os circuitos dos blocos constituintes da memória associativa estocástica, era necessário conectar os circuitos do Módulo I com a rede WTA. No entanto, ao realizar esta conexão, os resultados de simulação indicaram a necessidade de um circuito auxiliar, o bloco *holder*, uma vez que a rede WTA não conseguiu operar corretamente enquanto os sinais de entrada estavam sendo processados pelos circuitos do Módulo I.

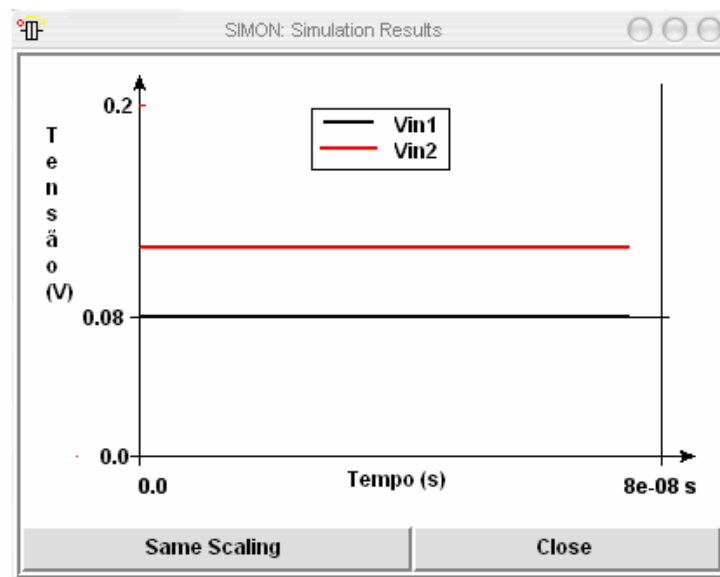
Para conectar este bloco auxiliar, seguindo a estratégia adotada e indicada na metodologia, realizou-se primeiramente a conexão do bloco *holder* com a rede WTA, resultando no Módulo II mostrado na Figura 3.2.

A Figura 4.17 mostra o circuito do Módulo II, *holder* – rede WTA, utilizado nas simulações. Para verificar a funcionalidade do módulo é necessária a existência da rede

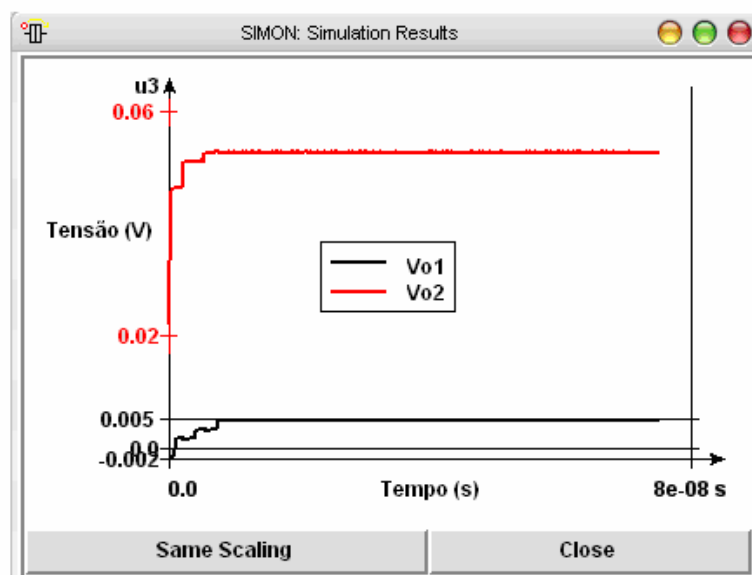


uma corrente de saída capaz de ativar o funcionamento dos neurônios, que operam com correntes da ordem de nanoampéres.

O objetivo desta simulação era verificar se a corrente entregue pelo *holder* ( $I_2$ ) era capaz de ativar os neurônios. Assim, considerando duas tensões de entrada, uma diferente da outra, de forma que a corrente entregue por uma era maior que a outra, o comportamento esperado era que a rede WTA apresentasse como vencedor o neurônio que recebesse a maior corrente. Os resultados desta simulação podem ser vistos na Figura 4.18.



(a)



(b)

Figura 4.18 Resultados de simulação: (a) Tensões de entrada dos *holders*; (b) Tensões de saída da rede WTA, neurônio 2 vencedor.

Os resultados de simulação deste módulo proporcionaram mais uma publicação, apresentada no Apêndice C.

#### 4.4.4 Conversor – Comparador – *Holder*

De acordo com a estratégia de projeto adotada, o segundo estágio após a inserção de um bloco de circuito, é a sua conexão com o outro ramo do circuito, neste caso, o Módulo I. Assim surgiu o Módulo III, formado pelos blocos conversor, comparador e *holder*. A Figura 4.19 mostra o circuito utilizado nas simulações.

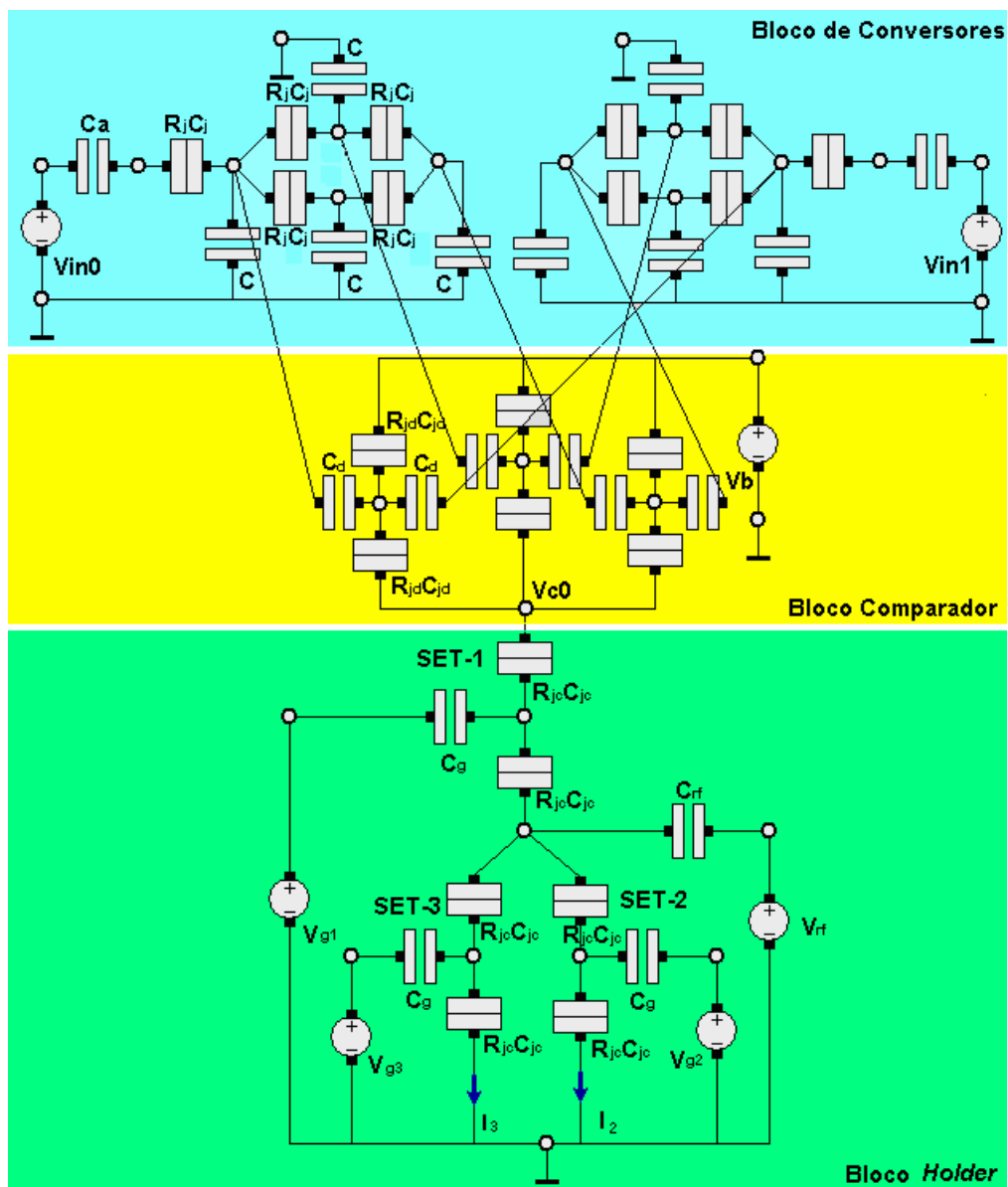
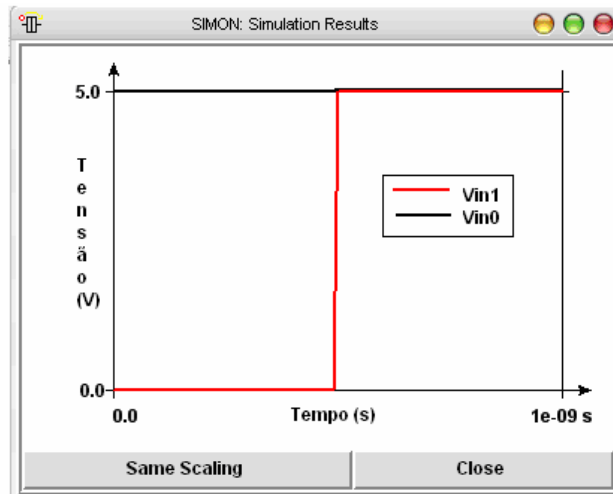
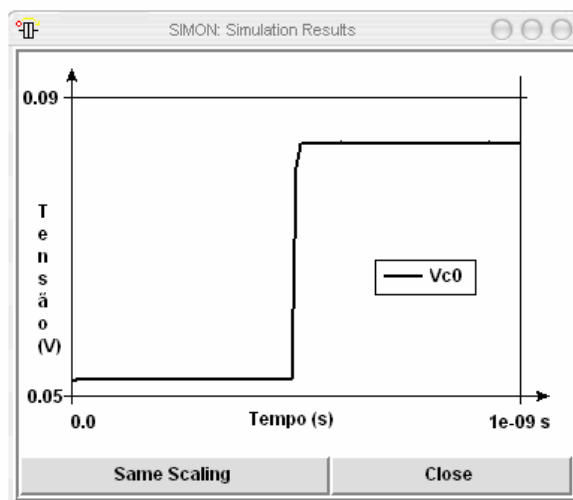


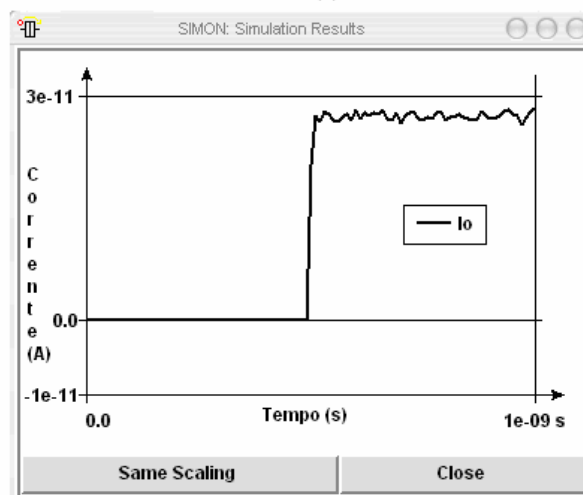
Figura 4.19 Circuito do Módulo III - conversor-comparador-*holder*.



(a)



(b)



(c)

Figura 4.20 Resultados de simulação do Módulo 3: (a) tensões de entrada dos conversores  $V_{in0}$  e  $V_{in1}$ ; (b) tensão de entrada do *holder* ou tensão de saída do comparador  $V_{c0}$ ; e (c) corrente de saída do *holder*  $I_o$ .

Como visto nos resultados de simulação do Módulo I, as tensões de entrada apresentadas aos conversores fornecem um sinal de carga aos comparadores, que realizam uma comparação bit a bit, e informam como saída uma tensão  $V_{CO}$  diferente de zero quando as tensões de entrada são iguais, ou seja, os números binários são semelhantes.

Com isso, o objetivo da simulação deste módulo era verificar se a tensão de saída do comparador era suficiente para ativar o funcionamento do *holder*, com as condições de impedância associadas à conexão de mais de um bloco em um único circuito, fornecendo sua saída de corrente na ordem de nanoampéres, bem como verificar a influência do bloco *holder*, nos circuitos do comparador e do conversor.

Os resultados desta simulação são mostrados na Figura 4.20 e demonstram a manutenção da funcionalidade dos circuitos dos blocos envolvidos no circuito do Módulo III.

Com base nos resultados do Módulo III, realizou-se a simulação do circuito formado pela conexão de dois Módulos III, como mostra a Figura 4.21. Esta simulação mostra, em um só resultado, as quatro situações possíveis para as saídas do comparador, além de demonstrar o comportamento do simulador diante de uma simulação com um número elevado de junções. A Figura 4.22 mostra o resultado da simulação.

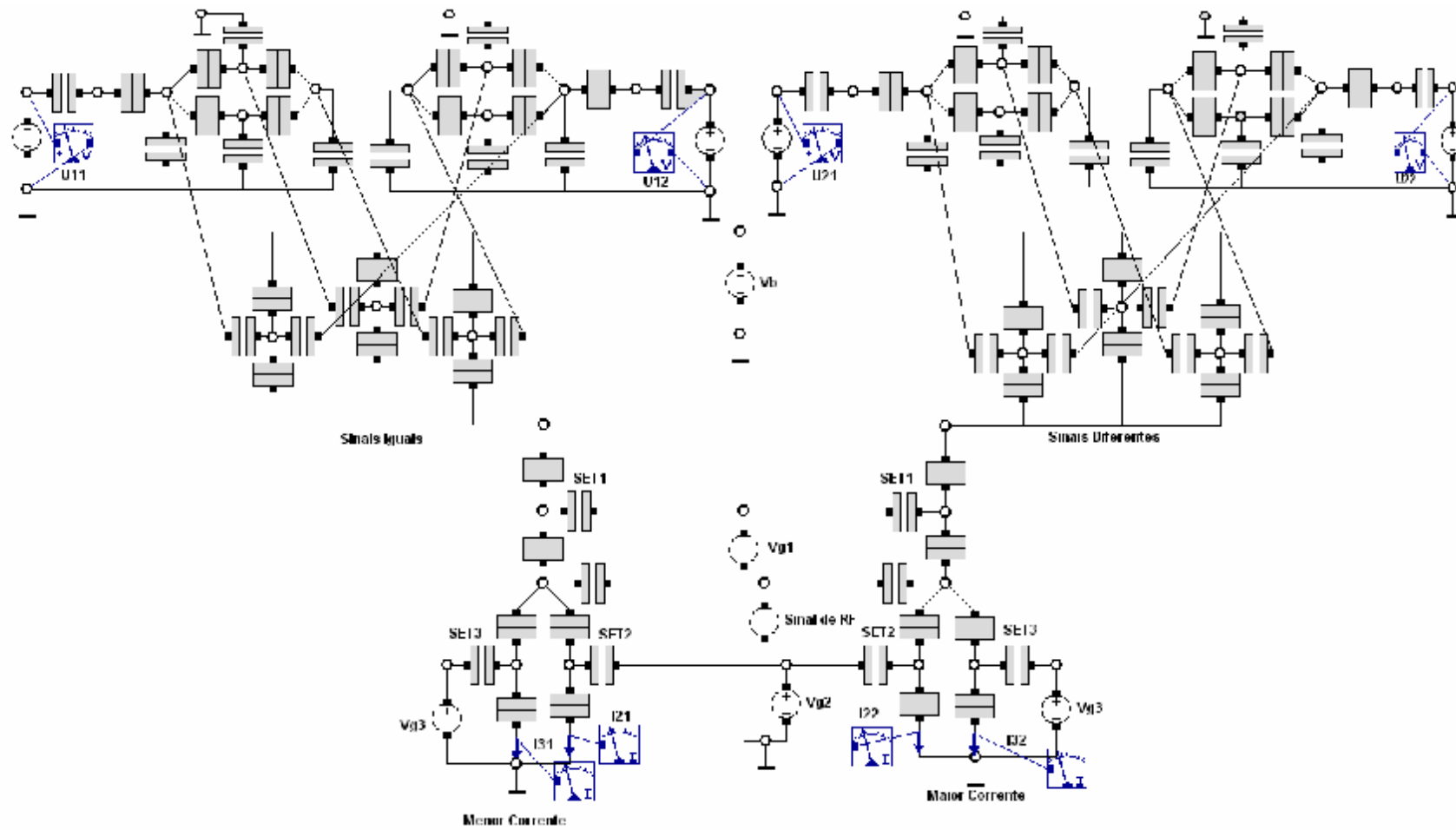


Figura 4.21 Circuito de dois Módulos III interconectados.

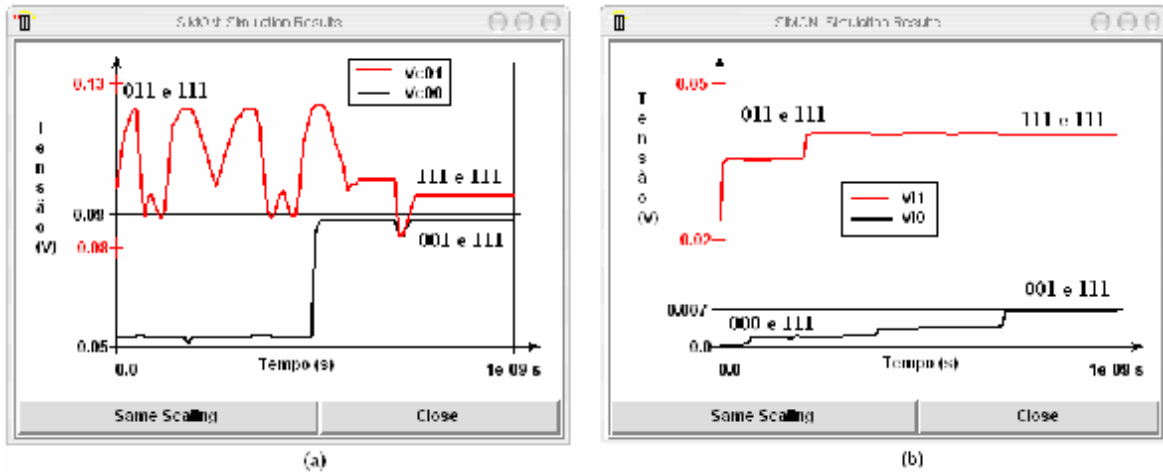


Figura 4.22 Resultado de simulação: (a) tensões de saída dos comparadores  $V_{C00}$  e  $V_{C01}$ ; (b) tensões de saída dos *holders*  $V_{I0}$  e  $V_{I1}$ .

#### 4.4.5 Conversor – Comparador – *Holder* – Rede WTA

Com os resultados obtidos com os Módulos I, II e III, foi proposto um circuito classificador de processamento estocástico. Este circuito é constituído pelos blocos conversor, comparador, *holder* conectados a rede WTA. A Figura 4.23 mostra o circuito implementado, constituído de três neurônios [36].

O circuito mostrado na Figura 4.23, simulado para demonstração, é constituído por quatro conversores: um receberá o sinal de entrada e os outros três representarão três números binários de referência. Cada conversor está conectado a três comparadores de um bit, constituindo três comparadores de palavras, que seguem para a rede WTA de três neurônios, passando por três *holders*.

A função da rede WTA é apontar qual dos conversores de referência apresenta o número binário mais semelhante ao do conversor de entrada. Os resultados de simulação são apresentados na Figura 4.24, onde a tensão de saída do neurônio vencedor é mais de cem vezes maior que as tensões de saída dos neurônios perdedores. Este resultado demonstra que a rede WTA opera corretamente, classificando os sinais que chegam até ela, mesmo em condições de impedância diferente das ideais, quando são consideradas fontes de tensão ou corrente. Os circuitos anteriores à rede WTA também mantiveram a sua operabilidade, funcionando corretamente, mesmo estando conectados a outros circuitos.



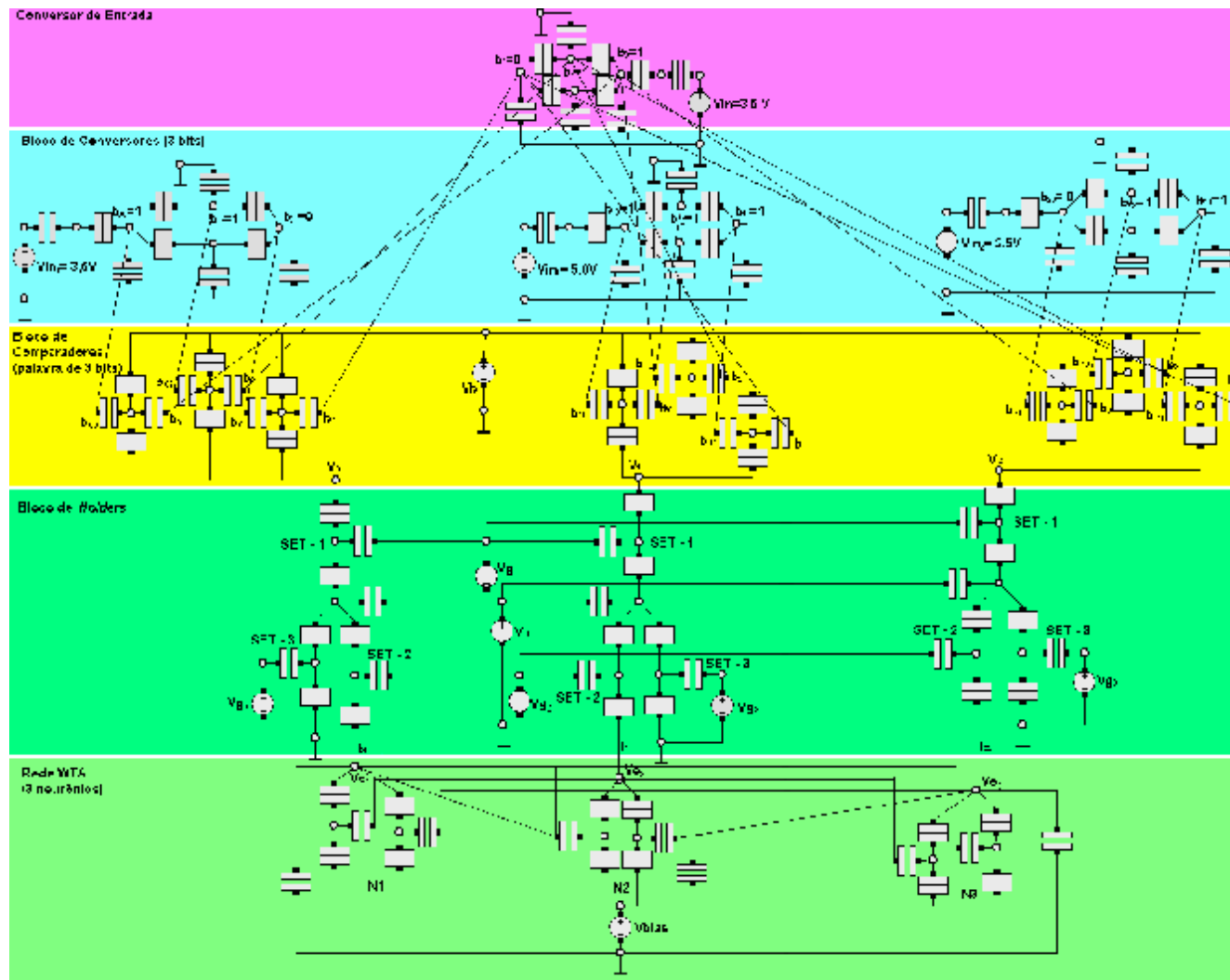


Figura 4. 23 Circuito classificador: conversor – comparador – holder - rede WTA.

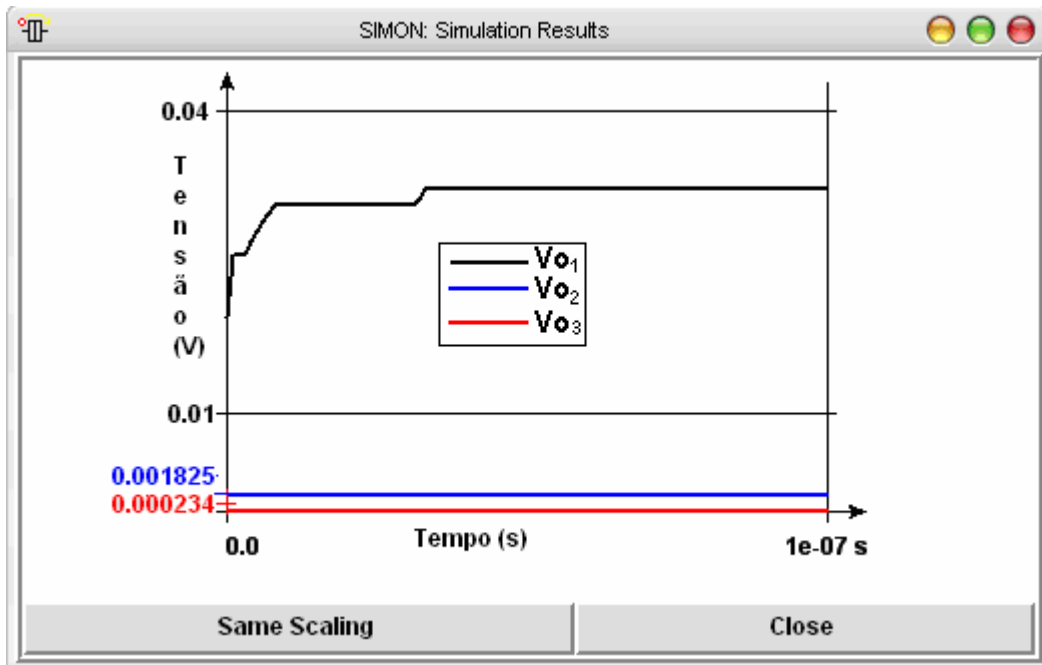


Figura 4. 24 Resultados de simulação:  $u_1$  indica a tensão de saída do neurônio vencedor.

Este módulo composto por quatro blocos, representa um grande avanço rumo à implementação do circuito da memória associativa estocástica, uma vez que o circuito deste módulo possui a função de classificador utilizando o processo associativo, proporcionado pelo processamento da rede WTA, e é estocástico, já que todos os seus dispositivos são mono-elétron e, portanto, de comportamento estocástico. Esses resultados proporcionaram a publicação do Apêndice C.

#### 4.4.6 Comparador – Memória

Para completar a arquitetura da memória associativa estocástica proposta é necessário haver um dispositivo de armazenamento, que caracterize uma memória eletrônica, ou seja, o circuito deve receber uma entrada, que gere um dado armazenado, e mesmo que esse sinal de entrada seja retirado, o dado armazenado se mantém. Para realizar esta função, tem-se o bloco memória, amplamente estudado na literatura [03], [04], [06], porém de forma isolada.

A primeira etapa para a inclusão do bloco memória, seguindo a estratégia de procedimento de projeto, foi conectá-lo a um único bloco, o comparador. A Figura 4.25 mostra o circuito do Módulo IV, formado por um comparador de um bit e dois blocos de memória digital.

Nesta primeira fase de inclusão do bloco memória, considerou-se como entrada do comparador dois circuitos idênticos para não ocorrer influência entre um e outro. Os resultados da simulação estão indicados na Figura 4.26. Esta simulação tinha como objetivo verificar a influência do bloco comparador no bloco memória, e fazer com que o bloco comparador não carregasse em nenhuma situação os nós da memória, ou seja, os dois blocos deveriam ficar praticamente isolados.

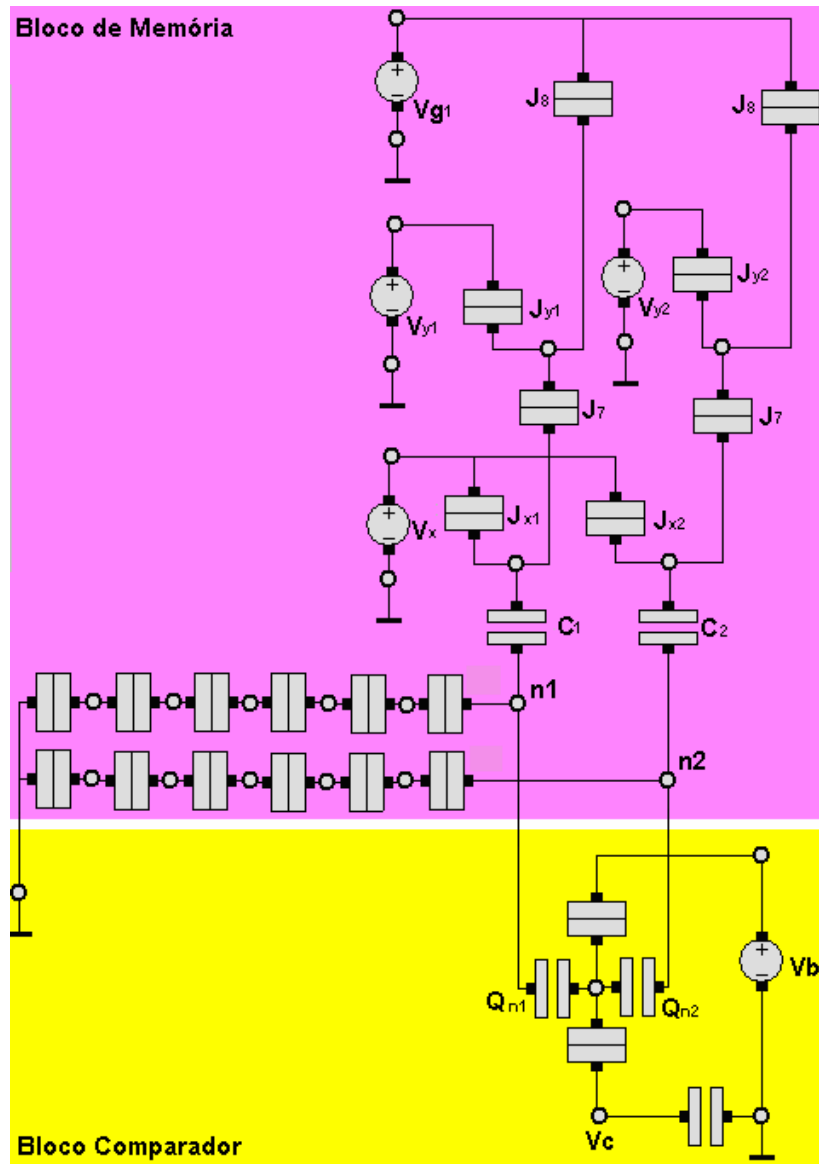


Figura 4.25 Circuito do Módulo IV: memória-comparador.

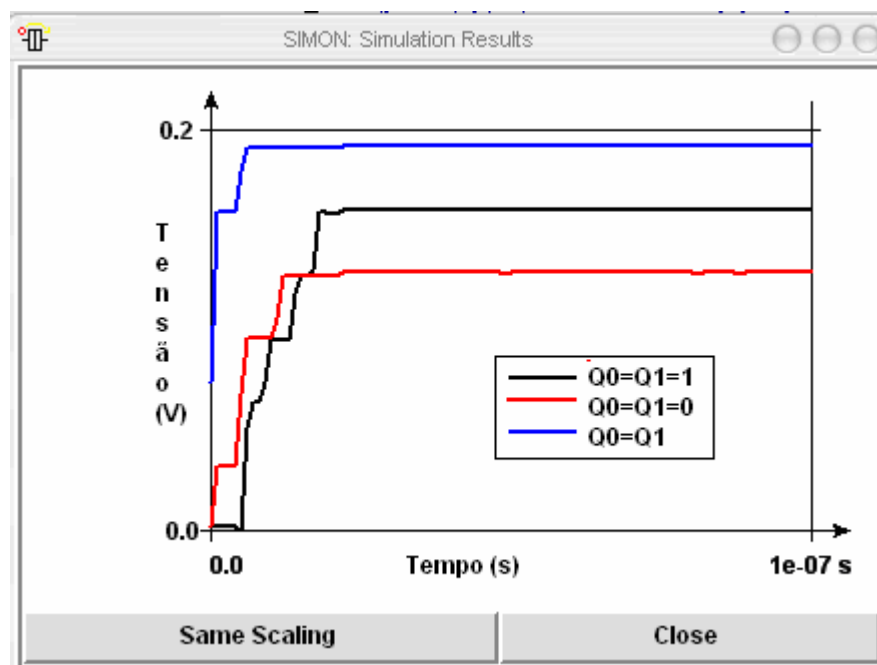


Figura 4.26 Resultados de simulação do módulo IV, considerando a tensão de saída do bloco comparador para as possíveis entradas de carga.

Para manter os circuitos praticamente isolados, de acordo com as condições de impedância, como descrito na metodologia, as dimensões do circuito foram re-calculadas. Para o dimensionamento dos componentes utilizaram-se as equações do transistor mono-elétron, indicadas na seção 2.4.

#### 4.4.7 Entrada – Comparador – Memória

Para a implementação do circuito da memória associativa estocástica era necessária a inclusão de um bloco básico, responsável pela entrada de dados no circuito. Com isso retirou-se um bloco de memória do circuito do Módulo IV mostrado na Figura 4.25, e em um dos ramos do comparador foi colocado o bloco entrada como mostra a Figura 4.27.

A função do bloco entrada é a simples conversão de uma tensão em um sinal de carga, a ser entregue ao comparador. É importante neste ponto dimensionar o circuito do bloco entrada de maneira que a tensão de saída equivalente à carga de um elétron seja próxima do valor fornecido pelo bloco memória para o mesmo valor de carga eletrônica.

As simulações deste módulo têm como objetivo verificar o funcionamento do bloco comparador e do bloco memória, quando conectados ao bloco entrada, que ao ser conectado altera as condições de impedância dos outros dois blocos. Como dito anteriormente, era necessário que nenhum dos outros blocos influenciasse no bloco memória.

Os resultados desta simulação são mostrados na Figura 4.28.

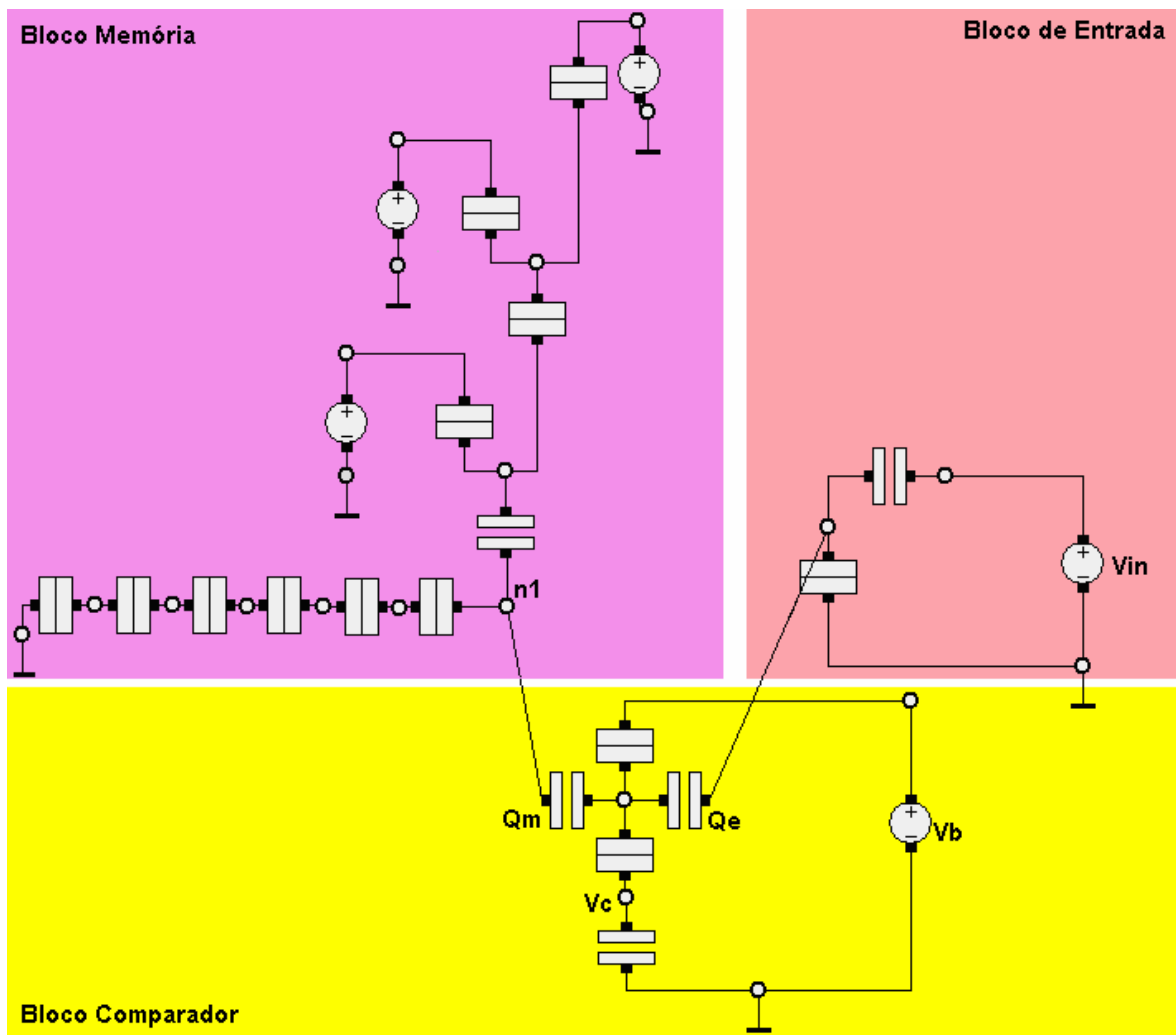


Figura 4.27 Módulo entrada-comparador-memória.

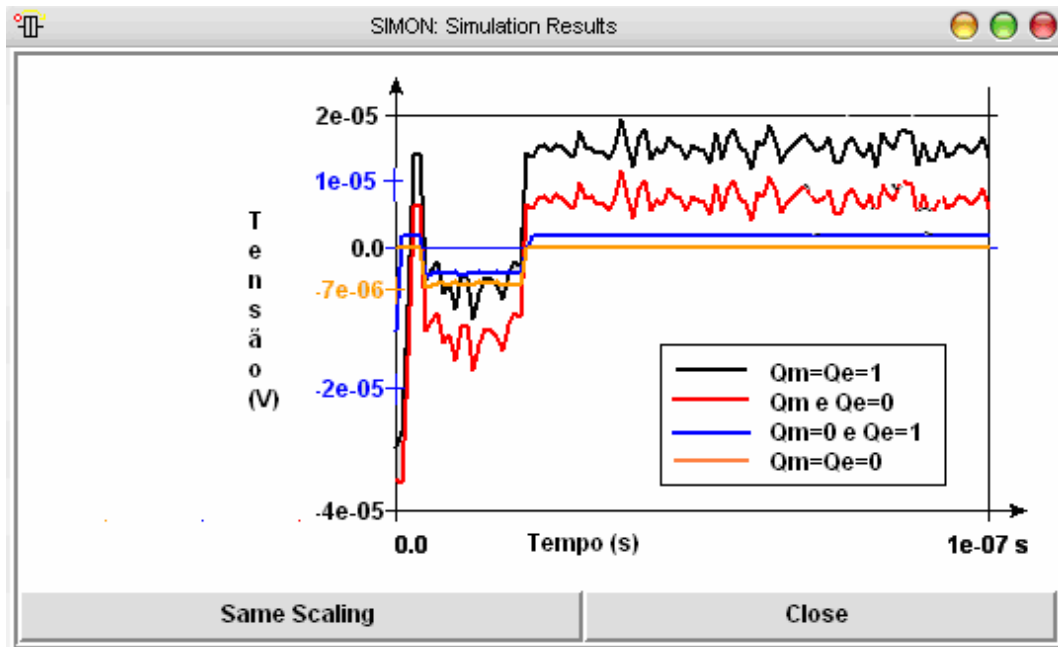


Figura 4.28 Resultados de simulação.

Esse resultado demonstrou a necessidade de ajuste nas dimensões do circuito, pois mostra que o comparador não está realizando a sua função: o sinal do bloco comparador  $V_{CO}$  segue o sinal da memória.

Observando a Figura 4.28, nota-se que a tensão de saída do comparador ( $V_{CO}$ ) é a de menor valor na situação em que as cargas entregues pela entrada,  $Q_e$ , e pela memória,  $Q_m$ , são iguais, e correspondentes ao 0 lógico. O que indica uma falha na operação pois, este valor de tensão deveria ser um dos maiores e próximo ao que as cargas são iguais e correspondentes ao 1 lógico.

## 5 MEMÓRIA ASSOCIATIVA

Uma memória associativa é uma memória distribuída inspirada no cérebro, que aprende por associação a reconhecer padrões e classificá-los em categorias. No caso do circuito projetado trata-se de auto-associação, no qual a aprendizagem é não supervisionada [02]. O reconhecimento de padrões é formalmente definido como o processo pelo qual um padrão/sinal recebido é atribuído a uma classe dentre um número pré-determinado de classes (categorias) [02].

Uma memória associativa é usualmente definida como um sistema que extrai o modelo mais similar da entrada de um modelo de referência armazenado. Esse sistema compara as entradas por meio de uma medida de similaridade, como por exemplo, a distância de Hamming (definida como o número de bits diferentes entre os modelos) [30].

A Figura 5.1 mostra a abordagem clássica para a solução de problemas utilizando memória associativa, indicando esquematicamente o funcionamento para classificação.

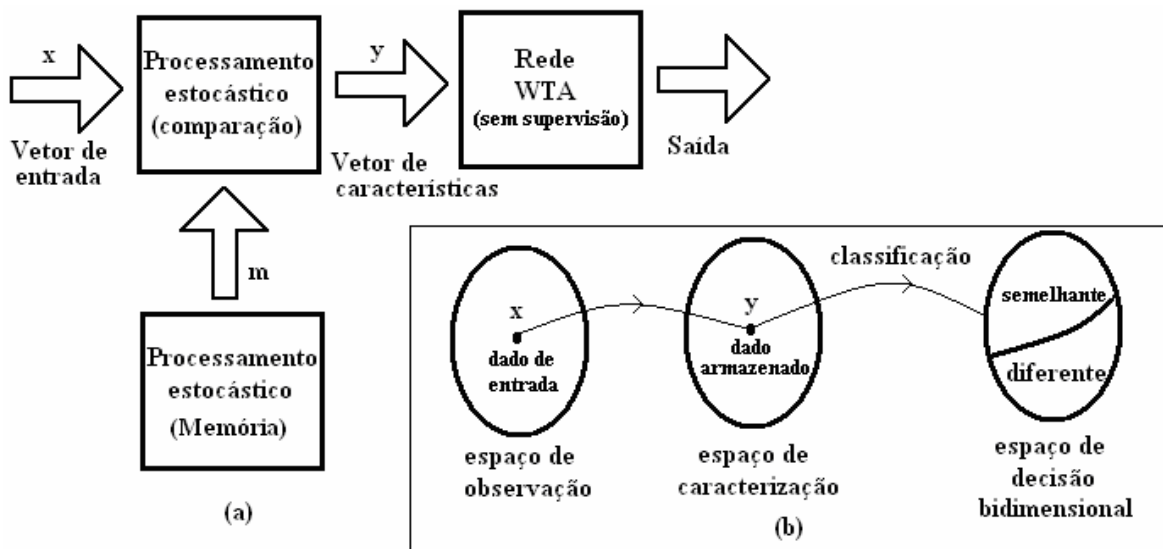


Figura 5.1 Abordagem clássica para a classificação de padrões da memória associativa estocástica.

Para composição do circuito completo da memória foram interligados os blocos de circuito de acordo com as funções estabelecidas pelas especificações, seguindo a metodologia apresentada no Capítulo 3. A Figura 5.2 mostra o diagrama com os blocos funcionais da memória associativa estocástica implementada.

Considerando um comparador digital para o processamento estocástico de classificação, tem-se uma entrada digital e uma memória digital. Após a comparação o sinal com as características da classificação passa por um inversor e um *holder*. Só após este processamento é que o sinal é apresentado à rede WTA, que fornece o sinal de saída indicando se o dado de entrada é semelhante ou não ao dado armazenado.

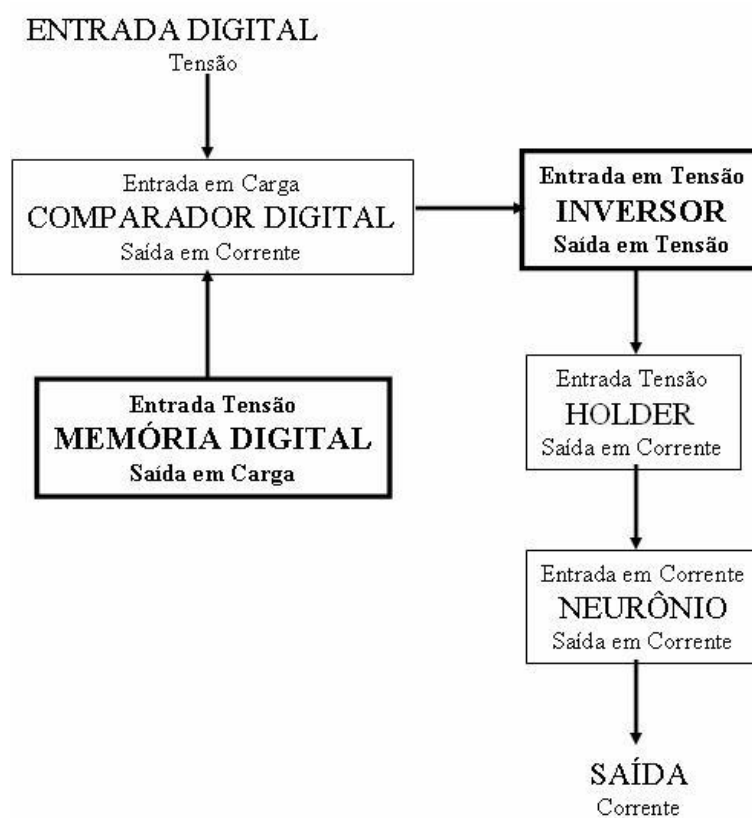


Figura 5.2 Organograma funcional do circuito completo da memória associativa estocástica utilizando SET.

Partindo dos resultados positivos obtidos na simulação dos módulos, demonstrados no Capítulo 4, o próximo passo do trabalho de pesquisa foi demonstrar a viabilidade de implementação do circuito completo da memória associativa estocástica proposta.



A operacionalidade do circuito completo da memória associativa estocástica foi demonstrada por meio da simulação dos blocos básicos interconectados, formando um só sistema, como será mostrado nas próximas seções.

### 5.1 O CIRCUITO

A estratégia adotada para composição do circuito completo da memória associativa estocástica apresentada foi a interconexão de todos os blocos básicos, responsáveis pela realização das funções indicadas na Figura 5.2, em uma só simulação.

O circuito projetado para esta simulação é o de uma memória de um bit, cujo objetivo é demonstrar a funcionalidade da arquitetura proposta e comprovar a possibilidade de interconexão de circuitos com funções básicas para a realização de funções complexas utilizando dispositivos mono-elétron. A simulação do circuito considerando uma palavra de apenas um bit é o primeiro passo para uma possível expansão do circuito.

O circuito utilizado para demonstrar estas características é constituído pelos blocos: memória, comparador, inversor, *holder*, entrada, responsáveis pelo processamento das características antes da classificação realizada pela rede WTA, que fornece o resultado. A organização do circuito completo da memória associativa estocástica simulada está indicada no diagrama de blocos da Figura 5.3.

A simulação realizada considera como entrada o valor de tensão  $V_a$  apresentada ao bloco de entrada. Esse valor de tensão é convertido em carga e entregue ao comparador que, para o caso de palavra de um bit, será 0 ou 1.

Em virtude da utilização de no mínimo dois neurônios para observação do comportamento da rede WTA, foram implementados dois blocos de memória, considerando uma palavra de um bit para cada uma delas. Assim cada um dos dois comparadores recebe um dado da memória e um da entrada. Esses dados são comparados e processados até chegarem aos neurônios da rede WTA que apresenta a saída final da memória associativa estocástica.

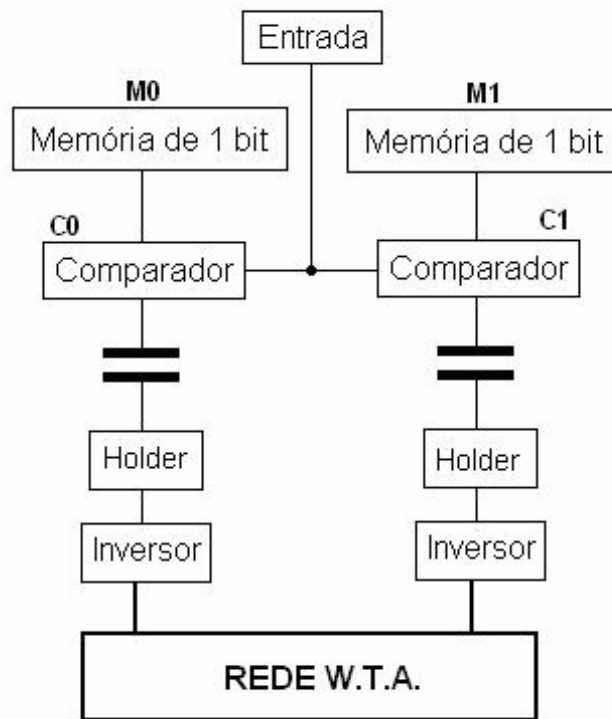


Figura 5.3 Diagrama de blocos do circuito completo da memória associativa estocástica implementada.

O circuito indicado na Figura 5.4 segue a seqüência do organograma mostrado na Figura 5.2. O dado de entrada do circuito é uma tensão  $V_a$  que é processada de forma a fornecer um valor de carga aos terminais dos comparadores de acordo com a Eq. 5.1. Após testes exaustivos com a rede obteve-se a lógica binária, na qual o 1 lógico corresponde ao valor de 1,5V.

$$\begin{aligned} V_a = -1,5V &\Rightarrow Q_a = 1e \\ V_a = 0V &\Rightarrow Q_a = 0 \end{aligned} \quad (5.1)$$

Além de  $Q_a$  o comparador recebe o dado armazenado na memória digital,  $Q_b$ . Nesta simulação em particular tem-se duas células de memória conectadas a dois comparadores que realizam as comparações do dado de entrada  $Q_a$  com os dados armazenados  $Q_{b1}$  e  $Q_{b2}$ .

Para realizar a operação de escrita nas células de memória, as tensões de controle de linha e coluna  $V_x$  e  $V_y$  foram ajustadas em um valor fixo indicado na Tabela 5.1. Estes valores

foram fixados uma vez que para simulação de duas células não se faz necessário o controle da posição na matriz do dado armazenado. Porém, no caso de uma expansão da capacidade da memória, estes valores serão utilizados [28]. A Eq. 5.2 indica os valores de tensão de polarização.

$$\begin{aligned} V_g &= -3,3V \text{ para } 0 \leq t \leq 2ns \Rightarrow Q_b = 1 \\ V_g &= 0V \Rightarrow Q_b = 0 \end{aligned} \tag{5.2}$$

Valores de tensão com as características das comparações são as entradas dos circuitos de *holder*. Este bloco auxiliar permite que a rede WTA não sofra influência durante o processamento nos comparadores. A tensão de saída *holder* serve de entrada para os inversores, que fornecem a corrente de entrada da rede WTA, que indica o se o dado de entrada é semelhante ou não há um dos dados armazenados.



## 5.2 RESULTADO DA SIMULAÇÃO

As Figuras 5.5 e 5.6 mostram os resultados obtidos na simulação do circuito completo da memória associativa de 1 bit.

No caso específico deste circuito, a célula de memória B1 tem armazenado o valor lógico 1 e a outra célula B2 o valor lógico 0. Se o dado de entrada for o 1 lógico (Figura 5.6) a saída da rede WTA deve apresentar como vencedor a célula de memória B1 e no outro caso, quando o dado de entrada for o 0 lógico (Figura 5.5) a célula de memória B2.

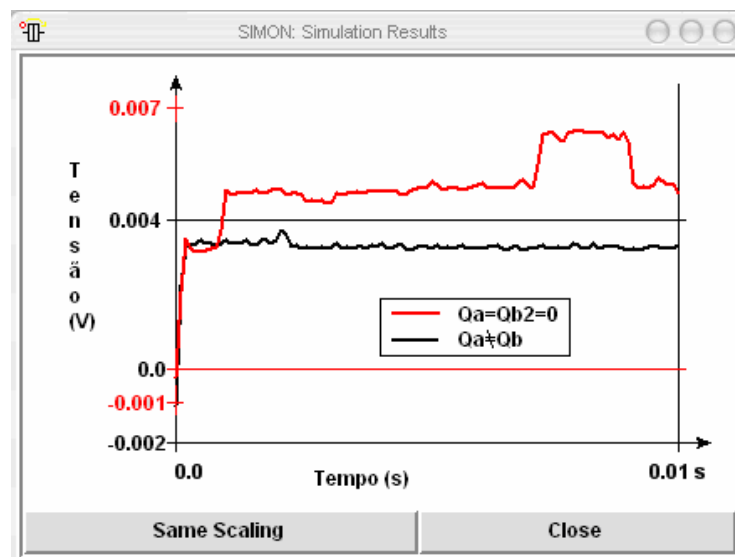


Figura 5.5 Resultado da simulação considerando  $V_a = 0V$ .

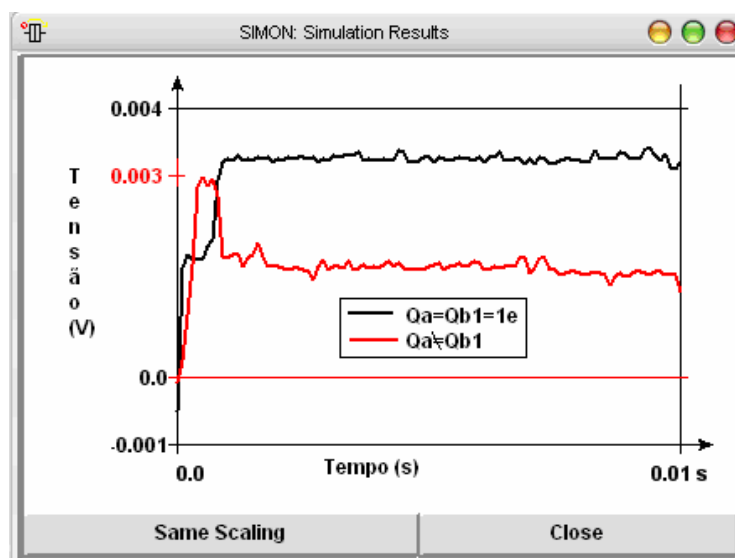


Figura 5.6 Resultado da simulação considerando  $V_a = -1,5V$ .

O processamento realizado pela rede WTA faz com que apenas um neurônio seja o vencedor, isto é, o sinal de saída é a tensão mais alta que serve para indicar a célula de memória que possui o dado armazenado mais semelhante ao dado de entrada.

A Tabela 5.1 contém as dimensões dos dispositivos utilizados nesta simulação que resultou nos resultados apresentados. Os demais parâmetros de simulação estão indicados na Figura 5.7.

Tabela 5.1 Valores dos componentes do circuito da memória simulado.

<b>Jm</b>		<b>Jx = Jy = J7 = J8</b>		<b>Ja</b>	
<b>R<sub>jm</sub></b>	<b>C<sub>jm</sub></b>	<b>R<sub>jx</sub> = R<sub>jy</sub> = R<sub>j7</sub> = R<sub>j8</sub></b>	<b>C<sub>jx</sub> = C<sub>jy</sub> = C<sub>j7</sub> = C<sub>j8</sub></b>	<b>R<sub>ja</sub></b>	<b>C<sub>ja</sub></b>
100MΩ	0,5aF	100MΩ	0,1aF	100MΩ	0,12aF
<b>Jc</b>		<b>Ji</b>		<b>Jh</b>	
<b>R<sub>jc</sub></b>	<b>C<sub>jc</sub></b>	<b>R<sub>ji</sub></b>	<b>C<sub>ji</sub></b>	<b>R<sub>jh</sub></b>	<b>C<sub>jh</sub></b>
100MΩ	0,1aF	100MΩ	0,175aF	100MΩ	1aF
<b>C<sub>1</sub></b>	<b>Ccg</b>	<b>Ca = Ch</b>	<b>Cc = Ci</b>	<b>Crf</b>	<b>Vx</b>
0,25 aF	0,05aF	0,1aF	0,5aF	0,8aF	-1,2V
<b>Vy</b>	<b>Vc</b>	<b>V<sub>cbias</sub></b>	<b>V<sub>ibias</sub></b>	<b>V<sub>nbias</sub></b>	<b>Vh<sub>1</sub></b>
1V	-5V	0,4V	3,5V	0,05V	-1,7V
<b>Vh<sub>2</sub></b>	<b>Vh<sub>3</sub></b>	<b>Co-tunelamento</b>	<b>f</b>	<b>Vrf</b>	<b>T</b>
-1,89V	-5V	ordem 1	4GHz	0,2	100mK

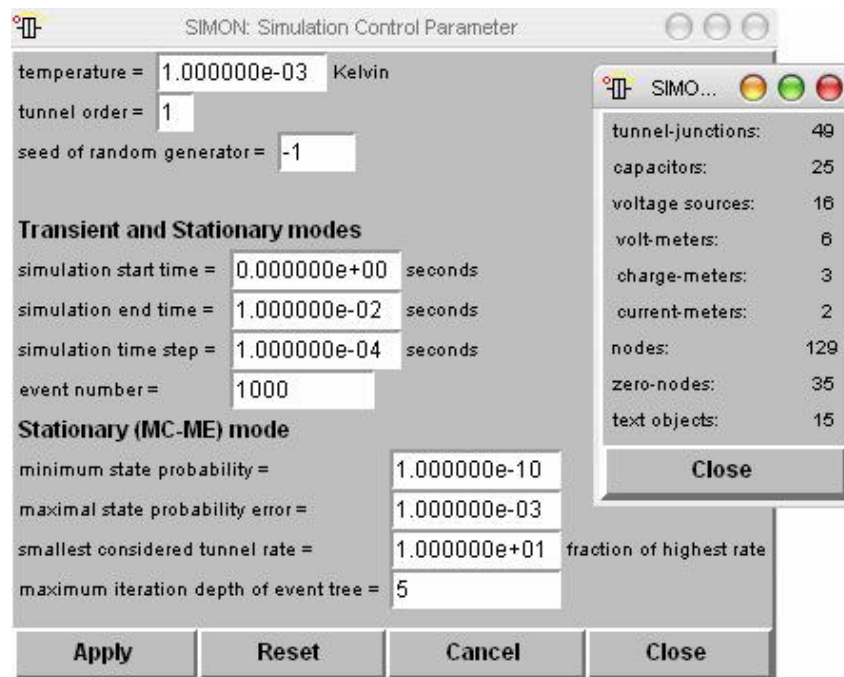


Figura 5.7 Parâmetros de simulação.

### 5.3 *DISCUSSÃO*

O circuito utilizado na simulação da memória associativa estocástica utiliza dois blocos de memória de um bit (Figura 5.3). Esta simulação tem como objetivo demonstrar a operacionalidade do circuito proposto.

A operação de um comparador convencional se dá através da comparação realizada entre o dado de entrada e um valor de referência; quando o sinal de entrada excede o sinal de referência tem-se o 1 lógico, e quando o sinal de entrada é menor que o sinal de referência tem-se o 0 lógico.

O objetivo da memória associativa é armazenar e recuperar informações com base no seu conteúdo.

Além disso, o bloco de memória (circuito de armazenamento) da memória associativa pode ser expandido formando uma matriz que pode ser acessada para leitura e escrita [06].

O circuito proposto pode ser realizado com uma matriz de memória, ou com comparadores de palavras, abrindo um leque de opções para possíveis aplicações a serem implementadas no futuro.

Parte das aplicações pesquisadas até hoje no Departamento tratam de reconhecimento de imagens. A continuação deste trabalho, poderia criar um banco de dados de imagens que seriam armazenadas em matrizes de memórias digitais que poderiam ser identificadas como semelhantes ou não a uma dada entrada.

## 6 CONCLUSÕES

O objetivo deste trabalho era propor o sistema completo de uma memória associativa constituída por blocos de circuitos básicos formados por transistores mono-elétron, validando-o por meio de simulações. O circuito do sistema completo da memória associativa estocástica mono-elétron foi projetado e simulado, apresentando resultado satisfatório.

A realização do circuito comprova o sucesso do uso da metodologia hierárquica desenvolvida para o projeto de circuitos nanoeletrônico. Neste sentido, mais um passo foi dado em direção ao estabelecimento de uma metodologia de projeto de circuitos integrados nanoeletrônicos em escala GIGA ou TERA.

Durante o estudo dos blocos básicos e no projeto dos módulos, os circuitos foram otimizados de forma a alcançarem uma boa performance, considerando os efeitos que atuam na funcionalidade dos dispositivos quando em escala nanométrica (temperatura, cargas de desvio, co-tunelamento). No entanto, nenhuma otimização foi realizada no circuito completo da memória associativa estocástica, ficando este trabalho para uma abordagem futura. A realização deste tipo de otimização implica em um redimensionamento dos dispositivos, o que pode ainda resultar na eliminação de um dos blocos básicos, como por exemplo, o bloco inversor.

Além disso, faz parte da continuação deste trabalho a elaboração de uma aplicação, a investigação sobre possibilidade de fabricação e a consolidação dos níveis lógicos e a tolerância em torno desses níveis.



## REFERÊNCIAS BIBLIOGRÁFICAS

- [01] Guimaraes, J. G. *Arquiteturas de redes neurais nanoeletrônicas para processadores em escala giga ou tera*. Tese de doutorado. Universidade de Brasília, Brasília, Brasil, 2005.
- [02] Haykin, S. *Neural Networks - a comprehensive foundation*. Prentice-Hall, New Jersey, E.U.A., 1994.
- [03] Nakazato, K., Ahmed H. Basic research on single-electron memory. *IEEE Tokyo Section Denshi*, 32, 142-147, 1993.
- [04] Nakazato, K., Ahmed H. The multiple-tunnel junction and its application to single-electron memory and logic circuits. *Japanese Journal of Applied Physics*, 34, 700-706, 1995.
- [05] Kiziroglou, M., Karafylidis, I. Design and simulation of Nanoelectronic Single-electron analog to digital converter. *Microelectronics Journal*, 34, 785-789, 2003.
- [06] Karafylidis, I. Design and Simulation of a Single-electron random Access Memory Array. *IEEE Transactions*, 49, 1370, 2002.
- [07] S.I.A.,. The international roadmap for semiconductors. Semiconductor Industry Association, 2000. Relatório Técnico.
- [08] S.I.A.,. The international roadmap for semiconductors. Semiconductor Industry Association, 2004. Relatório Técnico.
- [09] Raja, T., Agraval, V. D., e Bushnell, M. L. A tutorial on the emerging nanotechnology devices. *In Proceedings of the 17th International Conference on VLSI Design (VLSID04)*. IEEE Computer Society, 2004.

- [10] Costa, J. C., Hoekstra, J., Goossens, M., Verhoeven, C., e Roermund, H. M. V. Considerations about nanoelectronic gsi processors. *Analog Integrated Circuits and Signal Processing*, 24:59–71, 2000.
- [11] Goldhaber-Gordon, D., Montemerlo, M. S., Love, J. C., Opiteck, G. J., e Ellenbogen, J. C. Overview of nanoelectronic devices. *Proceedings of the IEEE*, 85(4):521–540,1997.
- [12] Bohr, M. T. Nanotechnology goals and challenges for electronic applications. *IEEE Transactions on Nanotechnology*, 1(1):56–62, 2002.
- [13] Takahashi, Y., Nagase, M., Namatsu, H., Kurihara, K., Iwdate, K., Nakajima, Y., Horiguchi, S., Murase, K., Tabe, M. Fabrication technique for Si single-electron transistor operating at room temperature. *Electronics Letters*, 31: 136-137, 1995.
- [14] Goser, K., Pacha, C., Kanstein, A., e Rossman, M. Aspects of systems and circuits for nanoelectronics. *Proceedings of the IEEE*, 85(4):558–573, 1997.
- [15] Devoret, M., Esteve, D., Grabert, H., Ingold, G., Pothier, H., Urbina, C. Effect of the Eletromagnetic Environment on the Coulom Blockade. *Physical Review Letters*. 1990.
- [16] Chen, R., Korotkov, A., Likharev, K. Single-electron transistor logic. *Applied Physics Letters*, 68(14):1954–1956, 1996.
- [17] Verbrugh, S. *Development of a Single-Electron Turnstile as a Current Standard*. Tese de Doutorado, Delft University of Technology, Delft, Holanda, 1995.
- [18] Likharev, K. K. Single-electron transistors electrostatic analogs of the DC SQUIDS. *IEEE Transactions on Magnetics*, 23:1142–1145, 1987.
- [19] Likharev, K. K. Single-electron devices and their applications. *Proceedings of the IEEE*, 87:606–632, 1999.

- [20] Likharev, K. K., Bakhvalov, N. S., Kazacha, G. S., e Serdyukova, S. I. Single-electron device. *IEEE Transactions on Magnetics*, 25:1436–1439, 1989.
- [21] Pothier, H., Lafarge, P., Urbina, C., Esteve, D., e Devoret, M. H. Single-electron pumpbased on charging effects. *Europhysics Letters*, 17(3), 1992.
- [22] Rezende, S., A Física de Materiais e Dispositivos Eletrônicos. Editora Universitária da UFPE, 1996.
- [23] Wasshuber, C., Kosina, H., e Selberherr, S. SIMON - a simulator for single-electron tunneling devices and circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 16(9):937–944, 1997.
- [24] Grabert, H. e Devoret, M. H., editors. *Single Charge Tunneling - Coulomb blockade phenomena in nanostructures*, volume 294. NATO ASI series, Series B: Physics, E.U.A., 1991.
- [25] Beckett, P. e Jennings, A. Towards nanocomputer architecture. *In Proceedings of theseventh Asia-Pacific Conference on Computer systems architecture*, Vitória, Austrália, 2002.
- [26] Fausett, L. *Fundamentals of Neural Networks*. Prentice-Hall, New Jersey, E.U.A., 1994.
- [27] Gerousis, C., Goodnick, S. M., e Porod, W. Towards nanoelectronics cellular neural networks. *International Journal of Circuit Theory and Applications*, 28:523–535, 2000.
- [28] Guimaraes, J. G., Carmo, H. C.do , e Costa, J. C.da . Single-electron winner-take-all network. *Microelectronics Journal*, 35(2):173–178, 2004.
- [29] Fang, Y., Cohen, M. A., e Kincaid, T. G. Dynamics of a winner-take-all neural network. *Neural Networks*, 9(7):1141–1154, 1997.

- [30] T. Yamanaka, T. Morie, M. Nagata, A. Iwata. A single-electron stochastic associative processing circuit robust to random background-charge effects and its structure using nanocrystal floating-gate transistors. *Nanotechnology*, 11:154–160, 2000.
- [31] Saen, M., Morie, T., Nagata, M., e Iwata, A. A stochastic associative memory using single-electron tunneling devices. *IEICE Transactions on Electronics*, E81-C(1):30–35, 1998.
- [32] He, J., Durrani, A., Ahmed H. Universal three-way few-electron switch using silicon single-electron transistor. *Applied Physics Letters*, 85-2, 308-310, 2004.
- [33] Guimaraes, J. G., Carmo, H. C.do , e Costa, J. C.da . Basic subcircuits with single-electron tunneling devices. *In Proceedings of the 17th Symposium on Technology and devices SBMICRO2002*, Porto Alegre, Brasil, 2002.
- [34] Tucker, J. *Journal of Applied Physics*. 72, 4339. 1992.
- [35] Heij, C., Hadley, P., Mooij, J. Single-electron inverter. *Applied Physics Letters*. 78(8), 2001.
- [36] Carmo, H. C.do , Guimaraes, J. G., e Costa, J. C.da . Simulation of basic circuits for implementing a single-electron stochastic associative memory. *In Proceedings of the 19<sup>th</sup> Symposium on Technology and Devices SBMICRO2004*, Porto de Galinhas, Brasil, 2004.

## APÊNDICE A

### **Single-electron winner-take-all network**

*Microelectronics Journal, Volume 35, Issue 2, February 2004, Pages 173-178.*

J. G. Guimarães, H. C. do Carmo and J. C. da Costa.

Um neurônio mono-elétron *winner-take-all* é apresentado pela primeira vez. Este novo circuito é proposto com o objetivo de implementar uma arquitetura de rede WTA com inibição lateral. É apresentada função de ativação para o neurônio mono-elétron. Uma tarefa de reconhecimento foi realizada com sucesso.

## Single-electron winner-take-all network

J.G. Guimarães<sup>\*</sup>, H.C. do Carmo, J.C. da Costa

*Department of Electrical Engineering, Universidade de Brasília, CP 4386, Brasília, DF 70919-970, Brazil*

Received 4 August 2003; revised 24 September 2003; accepted 26 September 2003

### Abstract

A winner-take-all (WTA) single-electron neuron is developed for the first time. This new single-electron circuit is proposed in order to implement a WTA neural network with lateral inhibition architecture. An expression for the neuron's activation function is presented. Furthermore, a dot pattern recognition task is successfully performed by the implemented network considering effects such as offset charges and co-tunnelling.

© 2003 Elsevier Ltd. All rights reserved.

PACS: 73.23HK; 84.35.+i; 85.35Gv; 85.40.-e

Keywords: Single-electron neuron; Winner-take-all; Nanoelectronics; GSI processor

### 1. Introduction

Nanoscale-sized devices [1] may become an extremely attractive option for the development of giga (GSI) and even tera (TSI) scaled integrated circuits with dimensions and performance limits [2] well beyond the ultimate roadmap projections [3]. According to these projections, a CMOS processor with about  $10^9$  active devices should have a power consumption around 180 W, while operating around 1 GHz frequencies at room temperature. Single-electron transistors (SET) [1] present attractive features like extremely low power consumption, reduced dimensions, excellent current control and low noise behaviour. These features should allow the realization of chips containing a number of devices orders of magnitude greater than those indicated by the roadmap [2] but still respecting the roadmaps' area and power restrictions. As a result a TSI processor should be a feasible challenge in the future. Nanoscale devices, like SETs, may present operating instabilities due to local range phenomena such as offset charges and co-tunnelling events, which may degrade their electrical performance [1]. To overcome these limitations, parallel distributed processing (PDP) architectures should be considered [3].

Among PDP architectures, neural networks seem to be a very attractive system [3], presenting robustness against local fluctuation, high parallelism and redundancy [4]. More specifically, competitive nets, like winner-take-all (WTA), provide easiness of operation due to their non-supervised training [5]. In addition, WTA has a relatively reduced number of control signals, self-organization, local memory and low connectivity when adopting a lateral inhibition configuration [5]. WTA nets are used for decision making, pattern recognition, image feature extraction, Hamming network, image processing, video compression and other tasks [6].

Some single-electron neurons have already been proposed in the literature. Goossens et al. [7] gave a few examples of SET circuits for synapses and neurons. Kirihara and Taniguchi [8] showed a more complex neuron structure with  $n$  inputs and  $6n + 2$  SET transistors. Nevertheless, both works deal with supervised learning neural networks. Yamada and Amemiya developed a SET Hopfield network [9] and a SET Boltzmann machine [10]. However, the operation of these circuits did not consider offset charges, co-tunnelling and non-zero temperatures.

This paper presents a SET–WTA circuit as a basic cell for implementing a nanoelectronic analog neural GSI/TSI processor [3]. This new single-electron circuit is proposed and simulated. An expression for the activation function of the neuron is developed here. A lateral inhibition configuration is simulated and successfully used for dot

<sup>\*</sup> Corresponding author.

E-mail addresses: [janaina@ene.unb.br](mailto:janaina@ene.unb.br) (J.G. Guimarães); [camargo@ene.unb.br](mailto:camargo@ene.unb.br) (J.C. da Costa).

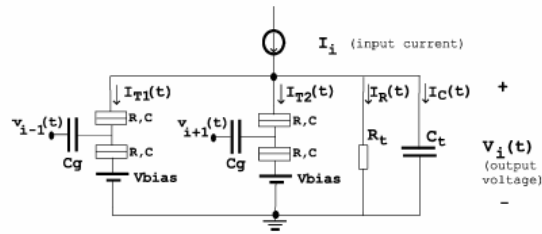


Fig. 1. Current input/voltage output SET-WTA neuron  $i$  circuit.

pattern’s recognition tasks. Effects such as offset charge, co-tunnelling and non-zero temperature are considered. Finally, the implementation of a SET-WTA integrated processor is discussed considering area and power consumption estimations.

### 2. SET-WTA circuit

The developed circuit was derived from a MOS implementation [6]. The SET-WTA neuron circuit for a lateral inhibition configuration is shown in Fig. 1.

Each neuron has a primary current input unit  $I_i$ , which brings the data information to the network, and secondary voltage input units ( $v_{i-1}(t)$  and  $v_{i+1}(t)$ ), which come from the nearest neighbours, as shown in Fig. 1. These secondary connections provide the stimulation or inhibition features, which are characteristic of WTA

networks. An example of a four-neuron SET-WTA network is shown in Fig. 2.

Neuron 1 receives as inputs the current  $I_1$  and the output voltages  $v_2(t)$  and  $v_4(t)$  from neurons 2 and 4, respectively. Its single output voltage is  $v_1(t)$ . The bias voltage of the circuit  $V_{bias}$  has a fixed value. Resistor  $R_t$  and capacitor  $C_t$  are responsible for the time constant of the circuit, determining the output convergence time. The SET-WTA circuit identifies the largest output voltage from a set of  $N$  neurons, inhibiting the output voltages of the remaining  $N - 1$  units [5,6]. The negative reinforcement from the winner to its nearest neighbours suppresses their outputs, increasing the activation of neurons with a higher primary input signal and decreasing the activations of those neurons with a lower primary input signal.

### 3. Activation function

Considering Figs. 1 and 2, the neuron’s output is a function of its input current  $I_i$  and of the output voltages from the nearest neurons in the network. Then, for example, neuron 1’s output voltage  $v_1(t)$  is:

$$v_1(t) = f(I_1, v_2(t), v_4(t)) \tag{1}$$

From Fig. 1, it can be seen that the output voltage  $v_1(t)$  can be written as

$$v_1(t) = R_t I_R(t) \tag{2}$$

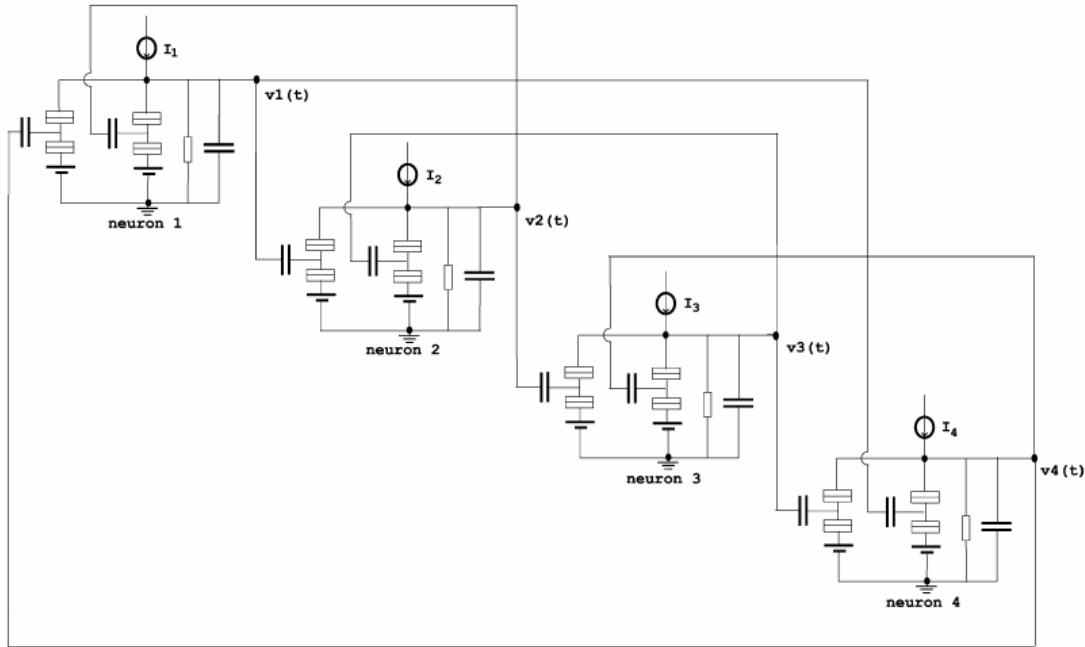


Fig. 2. Four-neuron SET-WTA network with lateral inhibition.

where  $I_R(t)$  is the current in resistor  $R_r$ . From Kirchoff's law, this current is obtained from

$$I_R(t) = I_i - I_C(t) - I_{T1}(t) - I_{T2}(t) \quad (3)$$

where  $I_C(t)$  is the current in capacitor  $C_r$ ,  $I_{T1}(t)$  and  $I_{T2}(t)$  are SET transistors' currents.  $I_C(t)$  can be written as

$$I_C(t) = C_r \frac{dv_1(t)}{dt} \quad (4)$$

and the SET transistor current expression, developed in Ref. [1] is

$$I_T(t) = e \frac{\Gamma_{j1}^+(0)\Gamma_{j2}^-(1)}{\Gamma_{j1}^+(0) + \Gamma_{j2}^-(1)} \quad (5)$$

where  $\Gamma_{jk}^\pm(n)$  is the tunnelling rate [1] for the  $k$ th junction of transistor  $j$  ( $k = 1$  or  $2$ ),  $+$  indicates that the electron is tunnelling to inside the island,  $-$  indicates that the electron is tunnelling to outside the island and  $n$  is the number of electrons in excess in the island [1].

Finally, from Eqs. (2)–(5),  $v_1(t)$  can be written as

$$v_1(t) = R_r \left[ I_i - e \sum_{j=1}^2 \left( \frac{\Gamma_{j1}^+(0)\Gamma_{j2}^-(1)}{\Gamma_{j1}^+(0) + \Gamma_{j2}^-(1)} \right) - C_r \frac{dv_1(t)}{dt} \right] \quad (6)$$

One can see that the neuron 1's output voltage is a differential equation which depends on the circuit elements, such as  $R_r$  and  $C_r$ , and on the tunnelling rate of all tunnel junctions of the neuron's circuit.

#### 4. Dot pattern recognition

In order to check if the proposed circuit (Fig. 2) works as a WTA network, a dot pattern recognition task was implemented using it. The system developed in this work is shown in Fig. 3. It is composed of two neural networks: one pre-processing layer and one WTA layer.

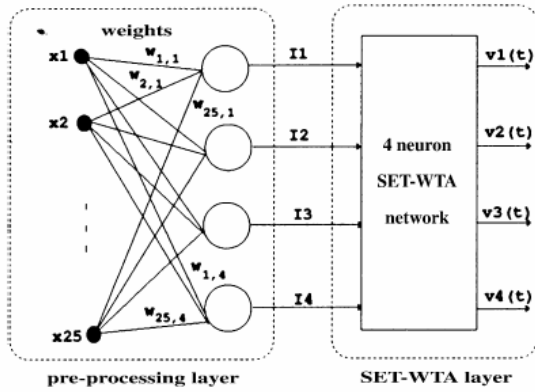


Fig. 3. Developed system for dot pattern recognition.

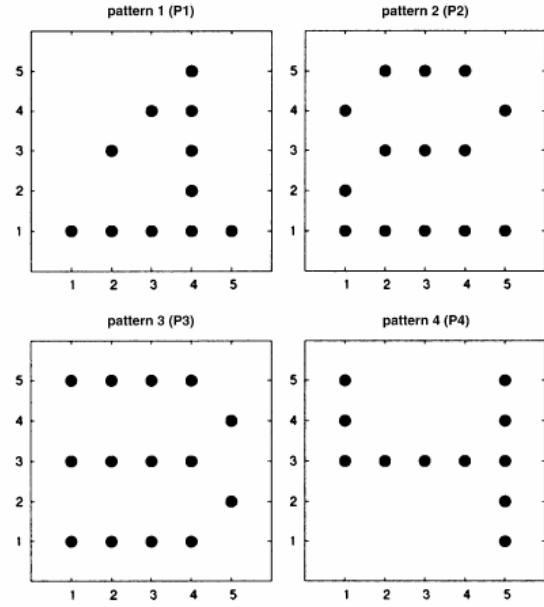


Fig. 4. Exemplar dot patterns.

For this task, four exemplar dot patterns ( $P_1, P_2, P_3, P_4$ ) [5], shown in Fig. 4, were chosen. Each pattern represents a numeric character.

Moreover, four disturbed patterns ( $X_1, X_2, X_3, X_4$ ) were created changing six dot positions in each one of the previous dot patterns, respectively. These patterns are also shown in Fig. 5.

The exemplar patterns will be stored in the pre-processing layer weights. These patterns will make the partition of the input space into classes [5], one for each exemplar. The following steps are taken to process the storage. Firstly, all exemplars should be converted into a representation suitable for neural networks. For example, according to Fig. 4, pattern 1 ( $P_1$ ), can be expressed as a matrix

$$P_1 = \begin{bmatrix} d_{15} & d_{25} & d_{35} & d_{45} & d_{55} \\ d_{14} & d_{24} & d_{34} & d_{44} & d_{54} \\ d_{13} & d_{23} & d_{33} & d_{43} & d_{53} \\ d_{12} & d_{22} & d_{32} & d_{42} & d_{52} \\ d_{11} & d_{21} & d_{31} & d_{41} & d_{51} \end{bmatrix} \quad (7)$$

Considering a bipolar representation, for each  $d_{ij}$  was assigned the value 1 if there was a dot in that position and the value  $-1$  if there was no dot. Each exemplar matrix was converted into a vector representation as shown below

$$P_1 = [d_{15}, d_{25}, d_{35}, d_{45}, d_{55}, d_{14}, \dots, d_{54}, \dots, d_{13}, \dots, d_{53}, d_{12}, \dots, d_{52}, d_{11}, \dots, d_{51}] \quad (8)$$



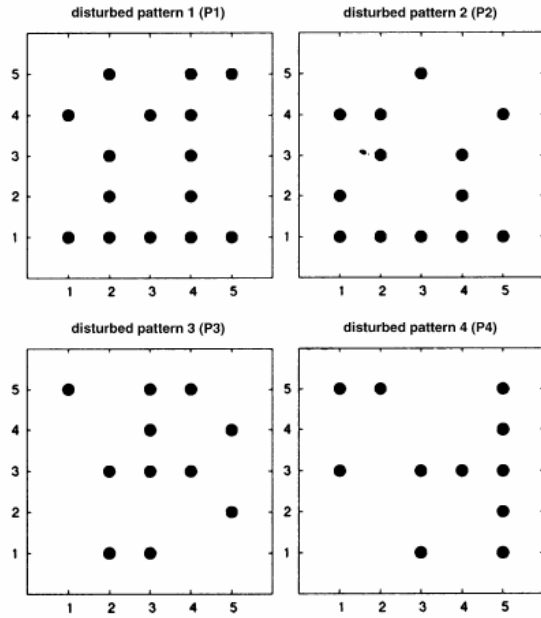


Fig. 5. Disturbed dot patterns.

In order to achieve compatibility with the WTA layer, which receives current as its primary input, a value 1 in the bipolar vector corresponded to a 1 nA input current and value  $-1$  corresponded to a  $-1$  nA input current. These current values were chosen because they were compatible with a nanoelectronic SET GSI/TSI processor [2]. Finally, all exemplar bipolar vectors are used as the weights of the pre-processing layer  $w_{r,s}$  (Fig. 3) following the expression

$$w_{r,s} = \frac{P_s}{2} \quad (9)$$

The biases  $b_s$  of the network are obtained from

$$b_s = \frac{u}{2} \quad (10)$$

where  $r$  represents the element index in the input vectors of the pre-processing layer,  $s$  is the number of exemplars stored and  $u$  is the total number of elements in the input vectors. This layer calculates the similarity from disturbed inputs  $X_1$ ,  $X_2$ ,  $X_3$  and  $X_4$  to each of the stored exemplar patterns. Using the same bipolar vector representation of the exemplars, for each disturbed vector [5], one obtains

$$I_s = b_s + \sum_{r=1}^{25} x_r w_{r,s} \quad (11)$$

where the magnitude of the current values  $I_s$  is directly related to the similarity between the input and the exemplar  $s$ . These  $I_s$  currents are the primary input signals of the WTA network, which is the second layer of the system.

Table 1  
SET–WTA circuit design values and SIMON simulation parameters

Circuit design values	SIMON simulation parameters
$R_t = 1 \text{ M}\Omega$	Co-tunneling order: 2
$C_t = 1 \text{ fF}$	$V_{\text{bias}} = -0.05 \text{ V}$
$C_g = 1 \text{ aF}$	$T = 77 \text{ K}$
$C = 0.1 \text{ aF}$	Offset charges: 0.05

This layer can determine which of the four exemplar vectors is most similar to a disturbed input vector.

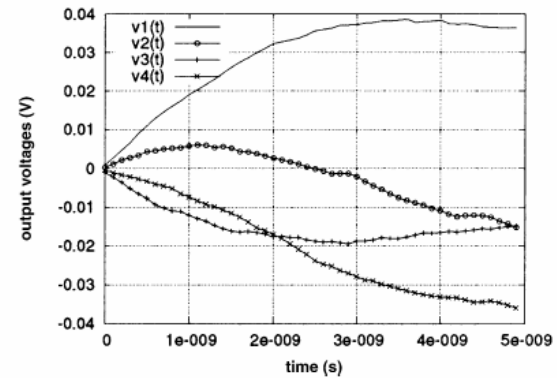
The WTA layer was designed using SET transistors according to Figs. 1 and 2. In order to check the operation of the designed architecture, this layer was simulated with SIMON (Simulation of Nanostructures) [11], at circuit level, using as primary inputs the output current values resulting from the functional simulation of the pre-processing layer using MATHCAD [12]. Actually, a pre-processing stage using SET circuits is under development and shall be used.

The SET–WTA circuit was simulated taking into consideration co-tunnelling and background charge effects [1]. All relevant circuit values and simulation parameters are presented in Table 1.

Figs. 6–9 show SET–WTA output voltages against time for disturbed inputs  $X_1$ ,  $X_2$ ,  $X_3$  and  $X_4$ , respectively. These voltages were obtained from SIMON [11].

The winner output can be clearly verified since there is an output voltage in each figure which is reinforced while the others are inhibited [6]. The WTA network outputs stabilize after a given settling time for each presented input pattern.

In Fig. 10, the final output values for each disturbed input pattern are presented (obtained from Figs. 6–9). The Mexican-hat shape [5], which is a contrast enhancing describing the lateral activation of a competitive network, can be identified. The presence of this feature indicates an appropriate lateral inhibition function [5]. For all inputs, one can see that the SET–WTA neural network has succeeded in the recognition task.

Fig. 6. SET–WTA output for disturbed pattern  $X_1$ .

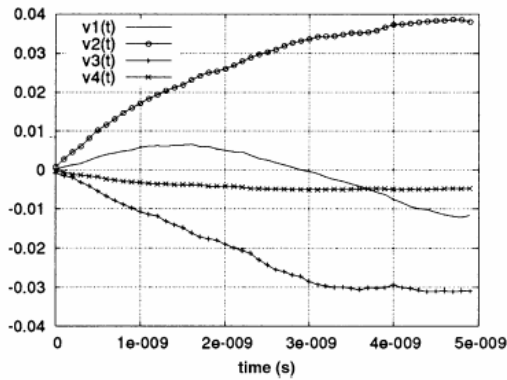


Fig. 7. SET-WTA output for disturbed pattern X<sub>2</sub>.

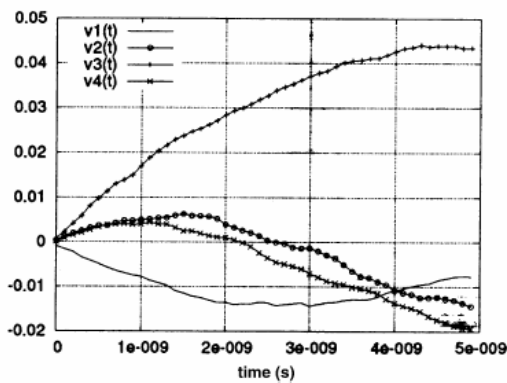


Fig. 8. SET-WTA output for disturbed pattern X<sub>3</sub>.

5. Power consumption for a SET-WTA network

Considering the future implementation of a SET GSI/TSI processor, the power consumption for the SET-WTA circuit was estimated. Taking into account the four-neuron SET-WTA network developed for the recognition task,

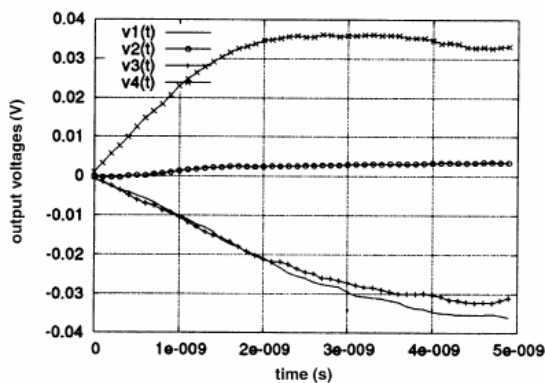


Fig. 9. SET-WTA output for disturbed pattern X<sub>4</sub>.

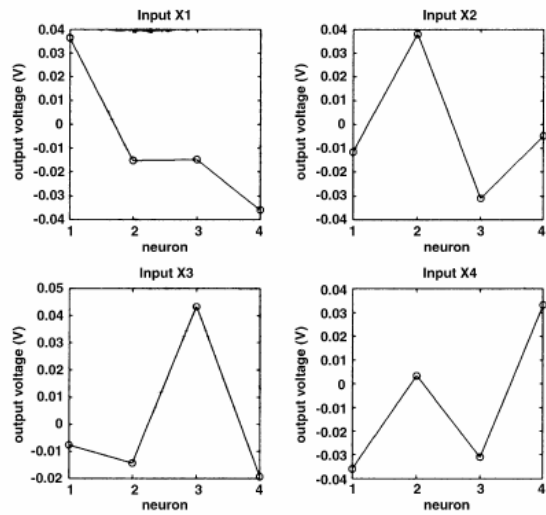


Fig. 10. Output voltages of the four-neuron SET-WTA network for disturbed patterns X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub> and X<sub>4</sub>.

the neuron with the highest power consumption (which is 39 pW) was used to make an estimation of GSI/TSI integrated circuits' energy dissipation. This consumption was obtained multiplying the input current  $I_i$  by the output voltage  $v_i(t)$  of the neuron, as can be seen in Fig. 1. Table 2 shows power consumption versus number of SET transistors. It is important to notice that each neuron has two transistors.

SET-WTA circuits with about  $10^9$  and even  $10^{12}$  transistors can dissipate less than 40 W. This performance is well below the ultimate roadmap projections [2], which foresees a power dissipation of up to 180 W for a circuit with less than  $6.7 \times 10^8$  MOS transistors in 2014.

A SET-WTA circuit switches through single-electron tunnelling events, leading to an energy consumption orders of magnitude lower than the MOS-WTA circuit, which involves hundreds or thousands of electrons in each switching operation [6].

6. Area estimation for a SET-WTA network

The area occupied can be estimated considering the island area of the SET transistor. Table 3 shows

Table 2  
Power consumption estimation for GSI/TSI SET-WTA networks

Number of SET transistors	Power consumption
2	39 pW
$2 \times 10^9$	39 mW
$2 \times 10^{10}$	390 mW
$2 \times 10^{11}$	3.9 W
$2 \times 10^{12}$	39 W

Table 3  
Area estimation for GSI/TSI SET–WTA networks

Number of SET transistors	Area estimation
$2 \times 10^9$	0.072 cm <sup>2</sup>
$2 \times 10^{10}$	0.72 cm <sup>2</sup>
$2 \times 10^{11}$	7.2 cm <sup>2</sup>

estimations for GSI and TSI circuits considering that two SET transistors can be packed in a  $60 \times 60$  nm<sup>2</sup> area [13]. Interconnections were considered to occupy half of a chip area.

For example, if the transistor area could be reduced to  $25 \times 25$  nm<sup>2</sup>, the chip area would be approximately 6.25 cm<sup>2</sup> which is in agreement with the roadmap specification which foresees 6.20 cm<sup>2</sup> for a microprocessor chip area with less than  $6.7 \times 10^8$  MOS transistors in 2014 [2]. One can see that up to  $10^{10}$  transistors, the roadmap area estimations are respected. However, the area requirements for a 1 trillion transistor circuit are well beyond the roadmap specification and reduction of the SET transistor area will be required.

## 7. Conclusions

A SET–WTA circuit, one possible basic block for a GSI/TSI processor, was designed and its behaviour was verified with a nanoelectronic circuit simulator taking into account quantum fluctuations. An expression for the SET neuron output function was developed. The neuron's behaviour was successfully simulated and a dot pattern recognition task was performed. Consequently, in the future, more complex architectures using these building blocks will be studied.

An estimation of power consumption showing that SET–WTA GSI/TSI circuits can be built respecting the roadmap's specifications was developed. For the chip

area, the evaluation carried out in this study shows that present technology allows the implementation of SET GSI circuits respecting the roadmap estimation.

## References

- [1] H. Grabert, M.H. Devoret, Single charge tunneling—Coulomb blockade phenomena in nanostructures, NATO ASI Series, Series B: Physics (1991).
- [2] Semiconductor Industry Association, The National Roadmap for Semiconductors, 2000.
- [3] J.C. da Costa, J. Hoekstra, M.J. Goossens, C.J.M. Verhoeven, A.H.M. Van Roermund, Considerations about nanoelectronic GSI processors, *Analog Integrated Circuits and Signal Processing* 24 (2000) 59(71).
- [4] J. Hoekstra, J.C. da Costa, M.J. Goossens, C.J.M. Verhoeven, A.H.M. Van Roermund, The application of neural networks for nanoelectronic circuits, *Proceedings of the International Conference on Neural Networks and Their Applications* (1998) 27–30.
- [5] L. Fausett, *Fundamentals of Neural Networks*, Prentice-Hall, USA, 1994.
- [6] Y. Fang, M.A. Cohen, T.G. Kincaid, Dynamics of a winner-take-all neural network, *Neural Networks* 9 (1996) 1141–1154.
- [7] M.J. Goossens, C.J.M. Verhoeven, A.H.M. Van Roermund, Single electron tunneling technology for neural networks, *Proceedings of the Fifth International Conference on Microelectronics for Neural Networks and Fuzzy Systems* (1996) 125–130.
- [8] M. Kirihara, K. Taniguchi, A single-electron neuron device, *Japanese Journal of Applied Physics* 36 (1997) 4172–4175.
- [9] T. Yamada, Y. Amemiya, A multi-valued Hopfield network device using single-electron circuits, *IEICE Transactions on Electronics* E82-C (1999) 1615–1622.
- [10] T. Yamada, M. Akazawa, T. Asai, Y. Amemiya, Boltzmann machine neural network devices using single-electron tunneling, *Nanotechnology* 12 (2001) 60–67.
- [11] C. Wasshuber, H. Kosina, S. Selberherr, SIMON—a simulator for single-electron tunnel devices and circuits, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16 (1997) 937–944.
- [12] Mathsoft Inc, MATHCAD PLUS 6.0, 1995.
- [13] Y. Ono, Y. Takahashi, K. Yamazaki, M. Nagase, H. Namatsu, K. Kurihara, K. Murase, Fabrication method for IC-oriented Si single-electron transistors, *IEEE Transactions on Electron Devices* 47 (2000) 147–153.

## **APÊNDICE B**

### **Simulation of basic circuits for implementing a single-electron stochastic associative memory**

*Proceedings of the 19th Symposium on Technology and Devices SBMICRO2004, September 2004, pages 157–162.*

H. C. do Carmo, J. G. Guimarães and J. C. da Costa.

Esse artigo apresenta simulações de circuitos básicos para uma memória associativa estocástica implementada utilizando transistores mono-elétron. Essa memória pode extrair estocasticamente de um conjunto de padrões de referência previamente armazenados aquela mais similar a um padrão apresentado a sua entrada. A robustez dessa célula básica é avaliada no que se refere a efeitos de carregamento, co-tunelamento e térmicos.

# SIMULATION OF BASIC CIRCUITS FOR IMPLEMENTING A SINGLE-ELECTRON STOCHASTIC ASSOCIATIVE MEMORY

H. C. DO CARMO, J. G. GUIMARÃES, L. M. NÓBREGA  
AND J. C. DA COSTA

DEPARTMENT OF ELECTRICAL ENGINEERING, UNIVERSIDADE DE BRASÍLIA,  
C.P. 4386, BRASÍLIA, DF, 70919-970, BRAZIL

## ABSTRACT

This paper presents simulations of basic circuits for a stochastic associative memory totally implemented using single-electron devices. This memory can stochastically extract the most similar pattern to a input pattern from a set of stored reference patterns. The robustness of the basic circuits is evaluated against background charges, cotunneling and temperature effects for the first time.

## INTRODUCTION

Single-electron devices (SET) [1] may become an extremely attractive option for the development of giga (GSI) and even tera (TSI) scaled integrated circuits [2]. However, these devices are quite sensitive to environmental conditions (their behavior is strongly dependent on node impedances and on temperature and electromagnetic interference, as well as on offset charges and co-tunneling events). Several measures can be taken to minimize or to overcome these nuisances [3] and they were taken into account in this work. This type of study is essential to evaluate the possibility of building complex single-electron device networks. Many circuits using SET devices have already been proposed [1]. Some of these proposals only substitute CMOS devices for SET devices. Nevertheless, there are at least two drawbacks in this kind of strategy. The first drawback is that the operation of SET circuits, unlike CMOS circuits, is not deterministic. The major charge transport mechanism in SET's is tunneling, which is a probabilistic phenomenon. The second one is the existence of random background charges [4] which may degrade the operation of the SET circuit. To overcome these limitations, one strategy is taking advantage of the stochastic property of SET devices for building new circuit architectures. Previous works have presented stochastic associative memory (SAM) structures built with a combination of single-electron and CMOS devices [4]. In this study the SAM is designed using only SET transistors. This approach shall provide a better performance [?]. Besides that, the configuration presented in this paper adopts a full SET A/D converter at each one of its inputs, allowing unlike previous works the direct processing of analog

signals. The behavior of SAM basic circuits under effects such as offset charges, high temperatures and co-tunneling is evaluated for the first time.

## STOCHASTIC ASSOCIATIVE MEMORY

A stochastic associative memory [4] extracts the most similar pattern to a input pattern from a set of reference patterns. This association is probabilistic, i. e., there is a reference pattern from the storage set which has major probability of being associated to the input pattern[4]. In this paper a stochastic memory with a SET A/D converter [5] is proposed. Fig. 1 shows the block diagram of this circuit.

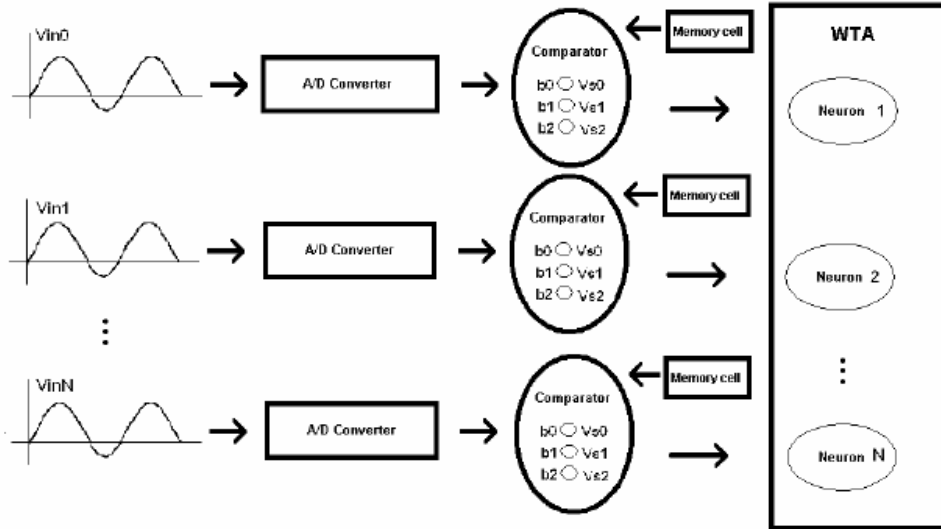


Figure 1: Stochastic associative memory diagram

In Fig. 1 it can be seen that the input analog value is converted to digital. After the conversion, digital comparator' circuits [4] are used to compare the input pattern to each one of the storage reference patterns. The comparison is executed bit by bit. The outputs of all comparators are connected to a SET winner-take-all network [6], which will decide which reference pattern is closer to the digitalized input pattern.

In Fig. 2 the SET 3-bit A/D converter circuit [5] is illustrated. The input analog signal  $V_{in}$  is applied to  $C_{in}$ . The charge output is provided by  $b_0b_1b_2$ . In Table 1 the correspondence of input voltage and output charge is shown.

In Fig. 3 the bit comparator is illustrated. It is basically a XNOR gate with two gate inputs  $V_{in}$  and  $V_s$ . According to this configuration, there will be only charge flow through the transistor when  $V_{in} = V_s$ .

The SET A/D converter provides a digital word with 3 bits. To perform the bit comparison it is necessary to connect 3 bit comparators to the A/D converter, as

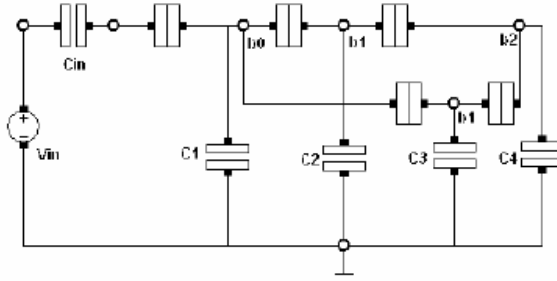


Figure 2: SET 3 bit A/D converter

Table 1: SET A/D converter table

$V_{in}$	$b_2$	$b_1$	$b_0$	decimal number
0.000 - 0.625	0	0	0	0
0.625 - 1.250	0	0	1	1
1.250 - 1.875	0	1	0	2
1.875 - 2.500	0	1	1	3
2.500 - 3.125	1	0	0	4
3.125 - 3.750	1	0	1	5
3.750 - 4.375	1	1	0	6
4.375 - 5.000	1	1	1	7

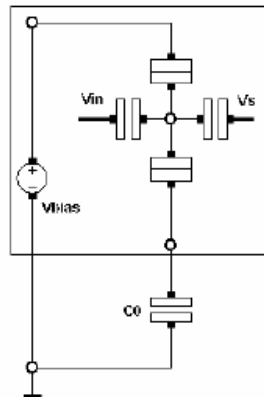


Figure 3: SET comparator

shown in Fig. 4.

## SIMULATIONS

The functionalities of the basic circuits in Figs. 2 and 3 were tested simulating both of them operation temperatures higher than 77K, to analyze the thermal dependence. Influence of random offset charges (ROC) and co-tunneling were also considered. All

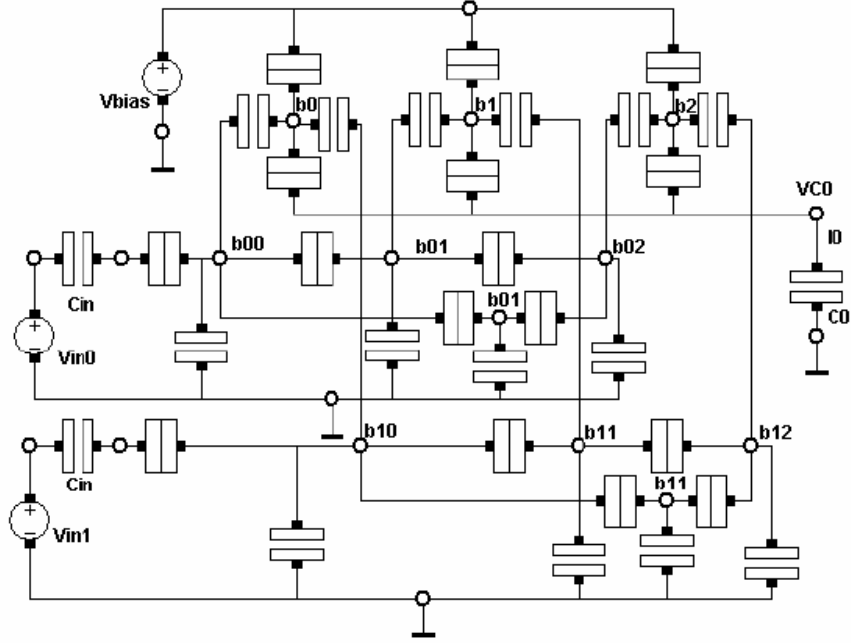


Figure 4: 2 SET A/C converters and 3 SET bit comparators

simulations were done using SIMON (Simulation of Nano-structures) [7]. The values of the circuit parameters for the SET A/D converter are in Table 2 and for the SET comparator are in Table 3.

Table 2: SET A/D converter circuit' parameters

$C_{in}$	$C_1$	$C_2$	$C_3$	$C_4$	$R_{junction}$	$C_{junction}$
0.128 aF	0.5 aF	0.5 aF	0.5 aF	0.5 aF	10M $\Omega$	1 aF

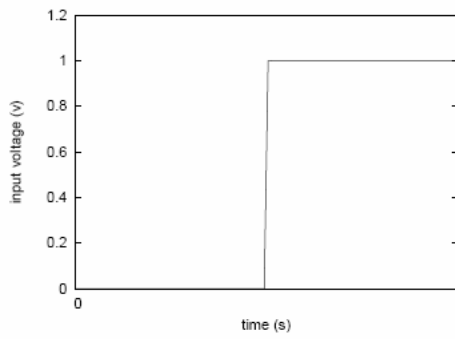
Table 3: SET comparator circuit' parameters

$C_{in}$	$C_s$	$C_0$	$V_{bias}$	$R_{junction}$	$C_{junction}$
0.5 aF	0.5 aF	0.5 fF	0.128 V	100 M $\Omega$	1 aF

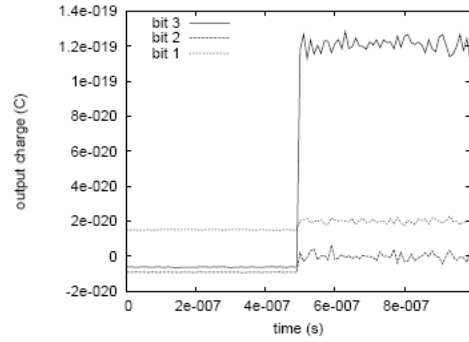
The SET A/D converter worked properly for temperatures less or equal to 100K, co-tunneling of order 4 and offset charges in the range  $-20\%e < ROC < 20\%e$ . Fig. 5 shows input and output values of the converter under these conditions.

The SET comparator worked properly for temperatures less or equal the room temperature, with co-tunneling of order 2 and offset charges in the range  $-40\%e < ROC < 40\%e$ . Fig. 6 shows input and output values of the comparator under these conditions.





(a) Input voltage



(b) 3-bit A/D converter output

Figure 5: SET A/D converter input voltage and output charge

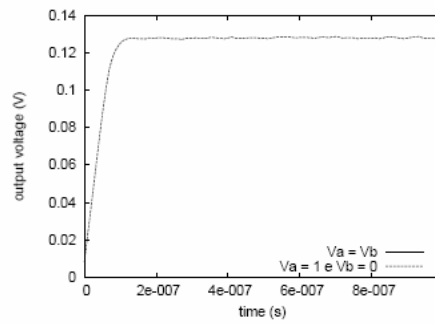
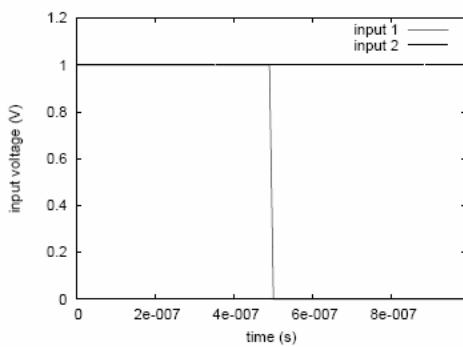
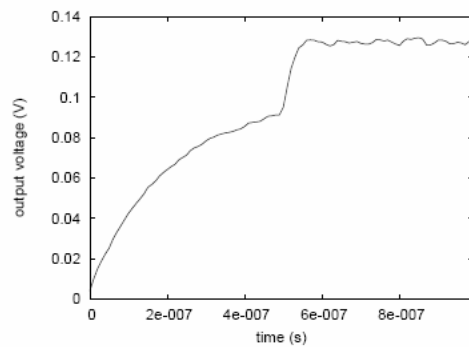


Figure 6: SET comparator output

The SET a/D converter with 3 comparators connected to each of its outputs worked properly for temperatures up to 300K, co-tunneling of order 2 and random offset charges in the range  $-20\%e < ROC < 20\%e$ . Fig. 7 shows input and output values of the converter under these conditions.



(a) Input voltages



(b) Output voltage

Figure 7: SET A/D converters and comparators association

The analyzed structures, at least considering the results of SIMON, keep the functionality even under high temperatures and can be interconnected, allowing the implementation of a new stochastic memory configuration.

## CONCLUSIONS

Although the basic circuits presented here were built with conservative dimensions, simulations provided a good performance for temperatures higher than 77K in the SET A/D converter and even under 300K in the SET comparator. Both circuits also showed robustness against co-tunneling phenomena and the occurrence random offset charges. The proposed fully SET stochastic associative memory can reach higher speeds, lower consumption and smaller areas. It can be seen from these results that a stochastic associative memory having a SET A/D converter in its input can be successfully built. This study will continue simulating the whole stochastic associative memory, including a SET winner-take-all network. Further on, physical realization and characterization of SET circuits shall be implemented.

## ACKNOWLEDGEMENTS

Janaina Guimarães is grateful to CAPES-Brazil for support. Léa Nóbrega is grateful to PIBIC-CNPq for support. The authors gratefully acknowledge PADCT-Brazil for support.

## REFERENCES

- [1] K. K. Likharev, "Single-electron devices and their applications," *Proceedings of the IEEE*, vol. 87, pp. 606–632, 1999.
- [2] J. C. Costa, J. Hoekstra, M. Goossens, C. Verhoeven, and H. M. V. Roermund, "Considerations about nanoelectronic gsi processors," *Analog Integrated Circuits and Signal Processing*, vol. 24, pp. 59–71, 2000.
- [3] H. Grabert and M. H. Devoret, eds., *Single Charge Tunneling - Coulomb blockade phenomena in nanostructures*, vol. 294. USA: NATO ASI series, Series B: Physics, first ed., 1991.
- [4] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata, "A single-electron stochastic associative processing circuit robust to random background-charge effects and its structure using nanocrystal floating-gate transistors," *Nanotechnology*, vol. 11, pp. 154–160, 2000.
- [5] M. E. Kiziroglou and I. Karafyllidis, "Design and simulation of a nanoelectronic single-electron analog to digital converter," *Microelectronics Journal*, vol. 34, pp. 785–789, 2003.
- [6] J. G. Guimares, H. C. do Carmo, and J. C. da Costa, "Single-electron winner-take-all network," *Microelectronics Journal*, vol. 35, no. 2, pp. 173–178, 2004.
- [7] C. Wasshuber, H. Kosina, and S. Selberherr, "Simon - a simulator for single-electron tunneling devices and circuits," *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 9, pp. 937–944, 1997.

## APÊNDICE C

### **Signal classifier based on stochastic associative single-electron circuits**

*Proceedings of the 22th Symposium on Technology and Devices SBMICRO2006, September 2006, pages 1–5.*

H. C. do Carmo, J. G. Guimarães and J. C. da Costa.

Esse trabalho apresenta um sistema classificador constituído por circuitos estocásticos associativos básicos, implementados com transistores mono-elétron. Esse classificador pode extrair estocasticamente de um conjunto de padrões previamente armazenados aquele que é mais similar a um dado padrão de entrada. Simulações são efetuadas para demonstrar a funcionalidade.

# SIGNAL CLASSIFIER BASED ON A SINGLE-ELECTRON STOCHASTIC ASSOCIATIVE MEMORY

H. C. do Carmo, J. G. Guimarães and J. C. da Costa

Department of Electrical Engineering, Universidade de Brasília,  
C.P. 4386, Brasília, DF, 70904-970, Brazil  
e-mail: camargo@ene.unb.br

## ABSTRACT

This paper presents a classifier system based on a stochastic associative memory using single-electron basic circuits. This memory can stochastically extract, from a set of stored reference patterns, the one that is most similar pattern to a given input pattern. Simulations are carried out to demonstrate the functionality of the system.

## INTRODUCTION

Single-electron devices (SET) [1] may become an extremely attractive option for the development of giga (GSI) and even tera (TSI) scaled integrated circuits [2, 3]. However, these devices are quite sensitive to environmental conditions (their behavior is strongly dependent on node impedances and on temperature and electromagnetic interference, as well as on offset charges and co-tunneling events). Several measures can be taken to minimize or to overcome these nuisances [4] and they were taken into account in this work. This type of study is essential to evaluate the possibility of building complex single-electron device networks.

Many circuits using SET devices have already been proposed [1, 5]. Some of these proposals only replace CMOS devices for SET devices. Nevertheless, there are two critical points in this kind of strategy. The first one is that the operation of SET circuits is not deterministic, the major mechanism of charge transport is tunneling, which is a probabilistic phenomenon. The second one are random background charges [6] which may degrade the operation of the circuit. To overcome these limitations, one strategy is build new circuit architectures.

In previous works, stochastic associative memories have already been proposed [7, 6]. However, in this paper, a proposal of a system for implementing a stochastic associative memory using single-electron basic circuits [8] is presented.

## PROPOSED CIRCUIT DIAGRAM

A stochastic associative memory [6, 7] extracts the most similar pattern to a input pattern from a set of reference patterns. This association is probabilistic, i. e., there is a reference pattern from the storage set which has a major probability of being associated [7].

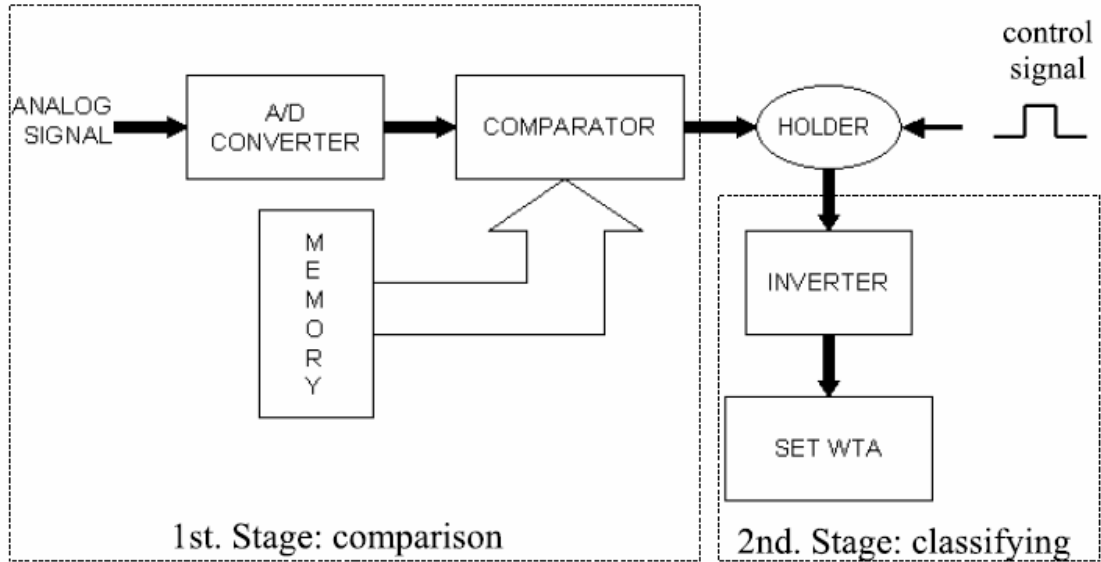


Figure 1: Single-electron stochastic associative memory diagram

This paper proposes a architecture for implementing a single-electron stochastic memory. Fig. 1 shows the block diagram of this circuit.

In the first stage of the block diagram, shown in Fig. 1, the input analog value is converted to digital. After the conversion, digital comparator circuits [6] are used to compare the input pattern to each one of the storage reference patterns. These reference patterns have been previously stored in a memory. The outputs of all comparators are sent to a holder.

In the second stage of the block diagram, the SET winner-take-all (WTA) network will decide which reference pattern is closer to the digitized input pattern.

In the second stage a holder circuit is used to keep the input values stable during WTA processing.

## SIMULATIONS

The functionalities of the basic circuits in Fig. 1 were already tested simulating both of them under high operation temperature, to analyze the thermal dependence, under influence of random offset charges and also including co-tunneling [8].

In this work some associations of these basic circuits will be simulated. The first one, described as the first stage in the previous section, encloses the SET converter and the SET comparator. The second one, described as the section stage, encloses the SET inverter and the SET-WTA network. The holder circuit was included in both stages for simulation, as illustrated in Figs. 2 and 4. All simulations will be done using SIMON (Simulation of Nano-structures) [9]. The memory circuit is the only one that was not simulated yet. There are a few circuits that implements single-electron memories [10] and some study is still necessary to choose which one fits better the

single-electron associative memory needs.

In this way, simulations will be executed in two parts, first stage and, following this one, the second stage. For a better functionality approach, the outputs provided by the first stage will be used to simulate the second stage. This kind of simulation procedure was adopted because there were two critical problems involved:

- the difficulty of editing large circuits on SET simulators. Using the well-known SET simulator SIMON [9], for example, takes a long time because of its "pick and place" editing system. A circuit with 400 tunnel junctions would take weeks to be totally edited with that system. A netlist description of SET circuits can be made in SIMON, but it is also time consuming, tedious and prone to mistakes [11];
- every time new associations are made, the circuit component values have to be designed again. The greater the circuit takes with new associations more time is necessary to design a circuit which operates as desired.

Therefore, the whole circuit, enclosing both stages, is still under design and will be simulated in a nearly future.

In the following, simulation results comprising functionality verification are presented for both stages.

#### First stage simulation

The circuit of the first stage fully implemented using tunnel junctions is shown in Fig. 2. This circuit has 2 converters, 2 3-bit comparators and one holder.

The first stage was simulated using the circuit components and simulation values shown in Table 1, including random offset charges (offset) and co-tunneling (cot) parameters. All circuit values chosen consider physically implemented devices [12, 13].

Table 1: Circuit values for the first stage

$C_a = 0.128 \text{ aF}$	$C_{jC} = 1 \text{ aF}$	$R_{jC} = 100 \text{ M}\Omega$	$C = 0.5 \text{ aF}$	$V_b = 0.128 \text{ V}$
$U_1 = 5.0 \text{ V}$	$U_2 = 0 \text{ V and } 5 \text{ V}$	$C_d = 0.5 \text{ aF}$	$C_{jd} = 0.1 \text{ aF}$	$R_{jd} = 100 \text{ M}\Omega$
$C_g = 0.1 \text{ aF}$	$C_j = 0.01 \text{ aF}$	$R_j = 10 \text{ M}\Omega$	$C_{rf} = 0.8 \text{ aF}$	$V_{g1} = 1.7 \text{ V}$
$V_{g2} = 2.0 \text{ V}$	$V_{g3} = 5.0 \text{ V}$	$T = 1 \text{ mK}$	offset = 0	cot = 1

The output signals are shown in Fig. 3.

As can be noted in Fig. 3, the current  $I_1$ , which brings information about the bit comparison, will pass through the holder circuit as  $I_2$  only when both input signals  $U_1$  and  $U_2$  are equal. When these signals are different, as can be seen in Fig. 3, no matter which value  $I_1$  assumes, there will be no  $I_2$  current. In this sense, a current value will only get to the second stage if the input signals are equal, which is in agreement with the idea of a stochastic memory [8, 7, 6].

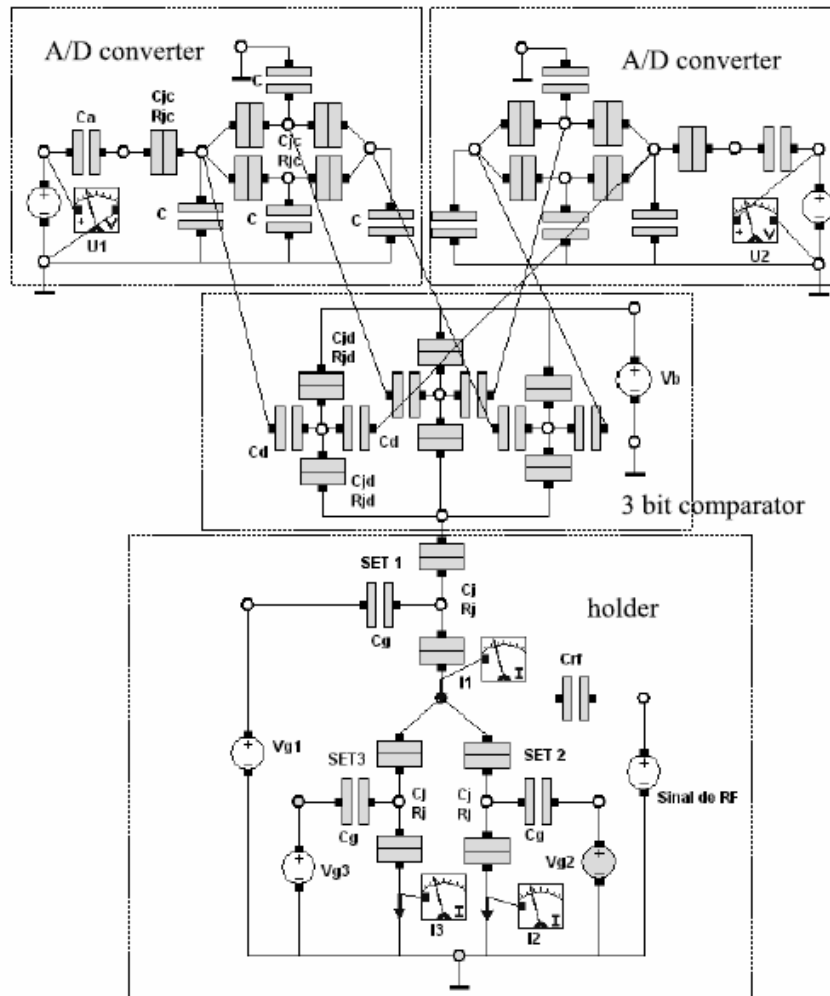


Figure 2: First stage circuit

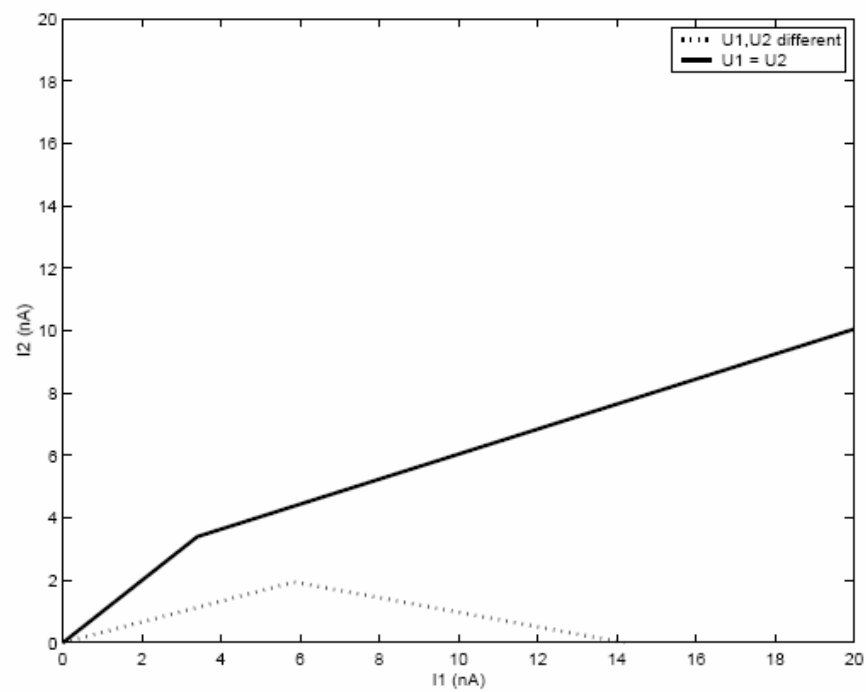


Figure 3: Current output from the first stage

### Single-electron holder

The single-electron holder was implemented using a single-electron switch [14], as illustrated in Fig. 2.

Therefore, to make this circuit operates as a holder, the input signal  $V_{rf}$  [14] is used as external clock control. When  $V_{rf}$  is high there will be current passing through the  $SET2$  and  $SET3$  and when it is low, there will be no current. If this signal is low until the first stage reach its final value, then it could be made high for the information pass to the second stage, as desired. The following simulations will show this behavior.

### Second stage simulation

The circuit of the second stage fully implemented using tunnel junctions is shown in Fig. 4. This circuit has 2 holders and 2 SET-WTA neurons, i.e., this second stage will receive at each holder the output of one first stage.

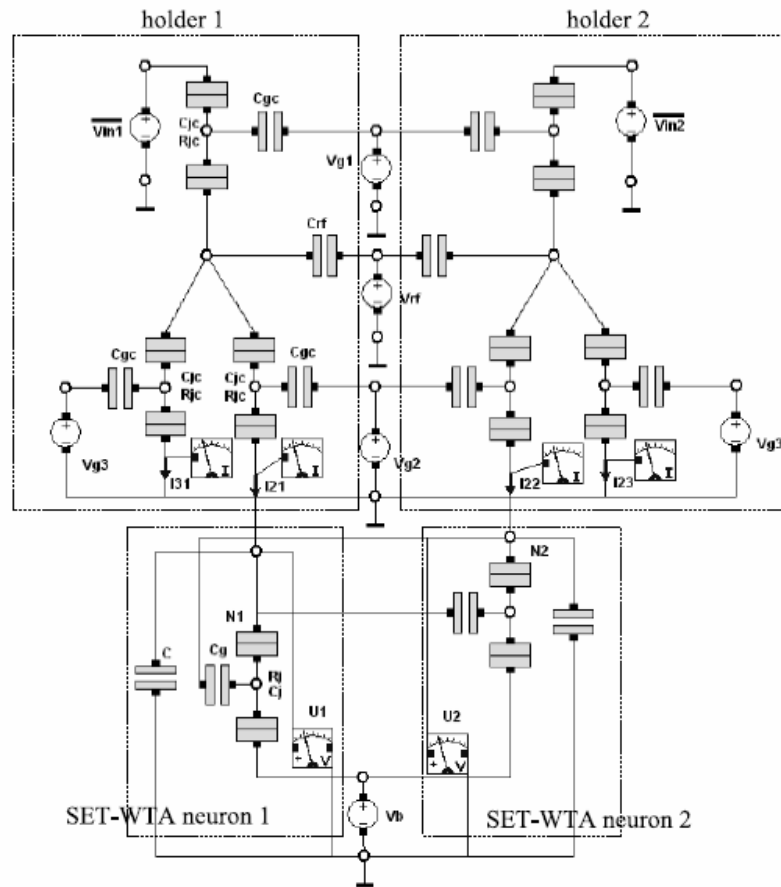


Figure 4: Second stage circuit

These values are in agreement with those provided by the first stage, shown in Fig. 3.



The second stage was simulated using the circuit component values shown in Table 2. The simulation were executed using the same parameters shown in Table 1

Table 2: Circuit values for the second stage

$C_{gC} = 0.1 \text{ aF}$	$C_{jC} = 1 \text{ aF}$	$R_{jC} = 100 \text{ M}\Omega$	$C = 0.5 \text{ aF}$	$C = 0.1 \text{ fF}$
$V_{in1} = 5.0 \text{ V}$	$V_{in2} = 0 \text{ V and } 5 \text{ V}$	$V_{g1} = -1.7 \text{ V}$	$V_{g2} = -1.89 \text{ V}$	$V_{g3} = -5.0 \text{ V}$
$C_g = 0.1 \text{ aF}$	$C_j = 0.01 \text{ aF}$	$R_j = 10 \text{ M}\Omega$	$C_{rf} = 0.8 \text{ aF}$	$V_b = -50 \text{ mV}$

The output signals are in Fig. 5.

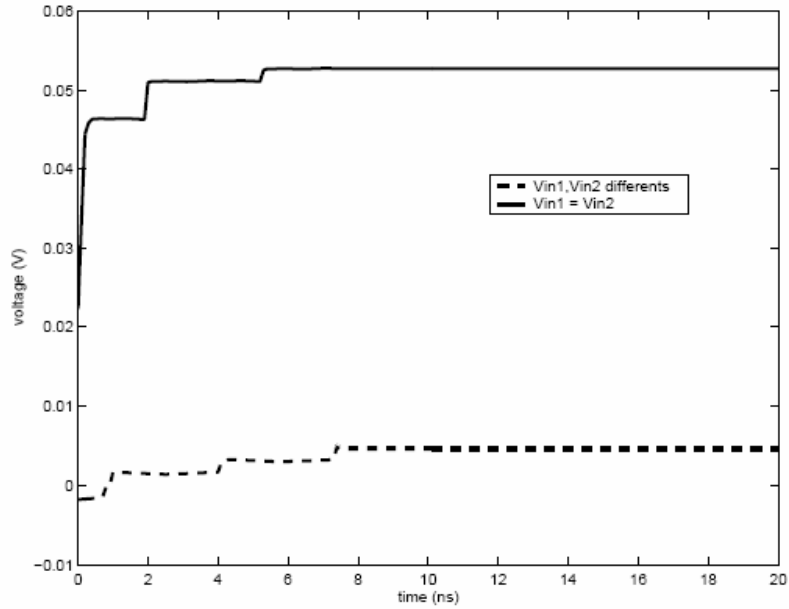


Figure 5: Output voltage of the second stage

When voltages  $V_{in1}$  and  $V_{in2}$  are equal, which means that both first stages provided the same result, the input signals are similar and the output of the WTA is high, indicating the similarity. When voltages  $V_{in1}$  and  $V_{in2}$  are different, the input signals are different and the output of the WTA network will be low, indicating that there were no similarity.

Both stages worked properly designed as indicated in Tables 1 and 2. To associate the first and the second stage a new design should be done. This will change all component circuits and, probably, some simulation features as well.

## CONCLUSIONS

A complete circuit diagram of a single-electron stochastic memory was proposed. Associations of basic circuits for implementing this memory were simulated. The

whole circuit was divided into two parts, the first and the second stage. Both stages were successfully simulated. Further on, a SET memory and a SET inverter will also be associated. In addition, the whole circuit will be designed again for a complete simulation.

#### ACKNOWLEDGEMENTS

Helen Carmo is grateful to CNPq-Brazil and Janaina Guimarães is grateful to CAPES-Brazil for support. The authors gratefully acknowledge PADCT-Brazil for support.

#### REFERENCES

- [1] K. K. Likharev. Single-electron devices and their applications. *Proceedings of the IEEE*, 87:606–632, 1999.
- [2] J. C. Costa, J. Hoekstra, M.J. Goossens, C.J.M. Verhoeven, and H. M. V. Roermund. Considerations about nanoelectronic GSI processors. *Analog Integrated Circuits and Signal Processing*, 24:59–71, 2000.
- [3] Semiconductor Industry Association. The international roadmap for semiconductors. Technical report, Semiconductor Industry Association, USA, 2003.
- [4] H. Grabert and M. H. Devoret, editors. *Single Charge Tunneling - Coulomb blockade phenomena in nanostructures*, volume 294. NATO ASI series, Series B: Physics, USA, first edition, 1991.
- [5] K. Likharev. Electronics below 10 nm. In J. Greer, A. Korokin, and J. Labanowski, editors, *Symposium and Summer School on: Nano and Giga Challenges in Microelectronics*, pages 27–68. Elsevier, Amsterdam, 2002.
- [6] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata. A single-electron stochastic associative processing circuit robust to random background-charge effects and its structure using nanocrystal floating-gate transistors. *Nanotechnology*, 11:154–160, 2000.
- [7] M. Saen, T. Morie, M. Nagata, and A. Iwata. A stochastic associative memory using single-electron tunneling devices. *IEICE Transactions on Electronics*, E81-C(1), 1998.
- [8] H. C. do Carmo, J. G. Guimaraes, and J. C. da Costa. Simulation of basic circuits for implementing a single-electron stochastic associative memory. In *Proceedings of the 19th Symposium on Technology and Devices SBMICRO2004*, pages 157–162, Porto de Galinhas, Pernambuco, Brazil, 2004.
- [9] C. Wasshuber, H. Kosina, and S. Selberherr. SIMON - a simulator for single-electron tunneling devices and circuits. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 16(9):937–944, 1997.
- [10] C. Wasshuber, H. Kosina, and S. Selberherr. A comparative study of single-electron memories. *IEEE Transactions on Electron Devices*, 45(11):2365–2371, 1998.
- [11] J. G. Guimaraes, L. M. Nobrega, and J. C. da Costa. Single-electron winner-take-all macro block for large-scale integrated neural networks. In *Proceedings of the 19th Symposium on Technology and Devices SBMICRO2004*, pages 145–150, Porto de Galinhas, Pernambuco, Brazil, 2004.

- [12] K. Yamamura and Y. Suda. Improvement of operation reliability at room temperature for a single-electron pump. *IEICE Transactions on Electronics*, E81-C(1):16–20, 1998.
- [13] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwdate, Y. Nakajima, S. Horiguchi, K. Murase, and M. Tabe. Fabrication technique for si single-electron transistor operating at room temperature. *Electronics Letters*, 31:136–137, 1995.
- [14] J. He, Z. A. K. Durrani, and H. Ahmed. Two-way switch for binary decision diagram logic using silicon single-electron transistors. *Microelectronic Engineering*, 73, 2004.

## APÊNDICE D

### **Basic subcircuits with single-electron tunneling devices**

*Proceedings of the 17th Symposium on Technology and Devices SBMICRO2002, September 2002, pages 1–5.*

J. G. Guimarães, H. C. do Carmo and J. C. da Costa.

Dispositivos mono-elétron e sub-circuitos já foram previamente estudados para operação de forma isolada, ou seja, sem conexão com outras estruturas. Neste trabalho novas associações de dois circuitos básicos, o inversor e o somador decimal são estudados. A operação dessa associação é analisada em função das condições de carregamento, da conectividade, de efeitos de co-tunelamento, carregamento, bem como aplicações ao discutidas.

**BASIC SUBCIRCUITS WITH SINGLE-ELECTRON TUNNELING DEVICES**  
**Janaina Guimarães, Helen Carvalho do Carmo and José Camargo da Costa**

University of Brasília, Faculty of Technology, Electrical Engineering Department,  
Campus Universitário, Asa Norte, C.P. 4386, Brasília - DF, 70919-970, Brasil  
Tel.:+55 61 307 2308, Fax: +55 61 274 6651  
E-mail: [camargo@ene.unb.br](mailto:camargo@ene.unb.br)

ABSTRACT

Single-electron tunneling (SET) devices and subcircuits have already been studied in isolated operation, with no interconnections to others structures. In this work, new associations of two basic subcircuits: the single-electron inverter and the decimal adder are studied. Functionality under loading conditions, interconnectivity, co-tunneling and temperature dependence are analyzed and prospective applications are discussed.

INTRODUCTION

The evolution of the semiconductor industry, as predicted by the S.I.A.roadmaps (1), shall lead to transistor's minimum feature sizes below 0.07 micron by the year 2010. A serious questioning appears when further reductions on device's dimensions are considered. At smaller dimensions the device's behavior is ruled by quantum mechanics (2), which can result in modifications of its electrical characteristics. Besides that, the power dissipated by these ULSI transistors is too high to allow the realization of integrated circuits with about  $10^{11}$  devices per  $\text{cm}^2$  (3).

Other relevant limiting factors are: High electric fields that can cause device breakdown, vanishing bulk properties and doping nonuniformities, shrinkage of depletion regions leading to short circuits due to tunneling between source and drain regions, shrinkage and unevenness of gates oxides leading to leakage and premature breakdown of these dielectrics (4).

As a result, the maintenance of the same evolution rate for the following decade (2010-2020), does not appear to be achievable with the simple development of today's major technologies and devices.

Nanoscale sized devices (4) may become an extremely attractive option for the development of integrated circuits with dimensions and performance limits well beyond the ultimate roadmap projections. Among these devices, single-electron transistors (3,5) present as attractive features an extremely low power consumption, reduced dimensions, excellent current control and low noise behavior. Besides that, the recent demonstration of silicon-based single-electron transistors operating at room temperature (6), indicates that

the transition from micrometric to nanometric technologies may occur without discontinuities.

In this work, new associations of two basic subcircuits: the single-electron inverter and the decimal adder are studied. Functionality under loading conditions, interconnectivity, cotunneling and temperature dependence are analyzed and prospective applications are discussed.

## METHODOLOGY

### Single-electron tunneling devices

Single-electron tunneling devices are built using tunnel junctions, which are formed by two normal metal electrodes sandwiching a thin insulator. A tunnel junction can be considered as a leaky capacitor and can be modeled using a capacitance  $C$  and a tunnel resistance  $R$  that depend on the size of the junction and the barrier thickness. These devices are able to manipulate individual electrons (5).

Charge transfers along these kinds of circuits occur by tunneling events across the barriers. So, charge transfers can only occur across a barrier in multiples of  $e$ .

As the energy in a capacitor with a charge  $q$  is equal to  $q^2/2C$ , tunnel events across tunnel junctions will change the electrostatic energy of the system in

$$E_C = e^2/2C \quad (1)$$

### Single-Electron Transistor

This device has two tunnel junctions in series, as illustrated in Fig.1.

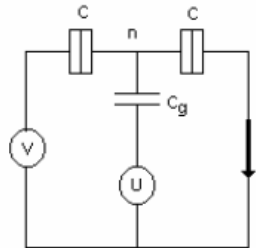


Figure 1- Single-Electron Transistor

If the junctions are considered as capacitors, when  $U = 0$  and  $V < e/2C$  the island (region between two or more junctions) is neutral and  $q_1 = q_2 = CV/2$ , where  $q_1$  and  $q_2$  are the charges in the first and second junction, respectively (5).

If an electron tunnels towards the island, its charge will be shared by the capacitances of the two junctions and the gate capacitance  $C_g$ . Generally,  $C_g \ll C$ , then  $q_1 = (CV - e)/2$  and  $q_2 = (CV + e)/2$ .

As the energy supplied by the voltage source during a tunnel event is  $eV/2$ , the variation in the electrostatic energy of the circuit will be

$$\Delta E = \frac{e^2}{4C} - e \frac{V}{2} \quad (2)$$

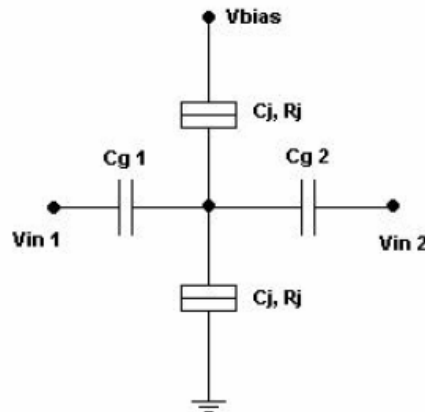
If  $T \ll E_C/k_B$  a tunnel event will have probability of occurrence only if  $\Delta E < 0$ . Consequently, the sign of  $\Delta E$  will determine if there is a current or not.

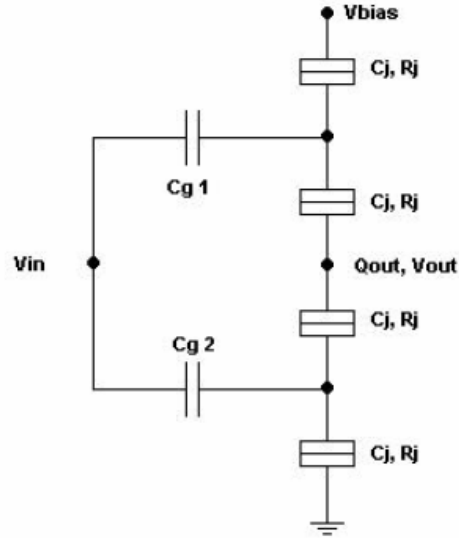
So, if  $V < e/2C$  there will be no current and the device is in the Coulomb blockade (5).

On the other way, if  $U = -e/2C_g$  and  $V \approx 0$ ,  $C_g$  will be charged with  $e/2$ , but the island will still be discharged, which means that a charge  $-e/2$  is being divided by the junctions. If a tunnel event happens it will just change the junctions' charges in  $-e/4$  and  $e/4$ , making no difference for the energy. Small values of  $V$  will make electrons pass through the barriers one after another, producing a current. According to that, the gate voltage  $U$  is able to regulate the current, making this device work as a transistor.

### Single-electron tunneling subcircuits

Two subcircuits were analyzed: the SET decimal adder (7) and the SET inverter (8, 9). Both are illustrated in Figs. 2 and 3, respectively. This choice took into account the further implementation of more complex circuits to accomplish other functions.





First of all, the components of the circuits in Figs. 2 and 3 were dimensioned. A reasonable value for the input voltage  $V_{in}$  was chosen (5, 10), and the gate capacitances  $C_{g1}$  and  $C_{g2}$  were obtained from Eq. 3:

$$C_{g1} = C_{g2} = \frac{e}{V_{in}} \quad (3)$$

The ratio between the gate capacitance and the junction capacitance ( $C_j/C_g$ ) observed in the literature (7, 10) was preserved. Then, one has the following expression for the adder:

$$C_j = 0.25C_g \quad (4)$$

and for the inverter:

$$C_j = 0.35C_g \quad (5)$$

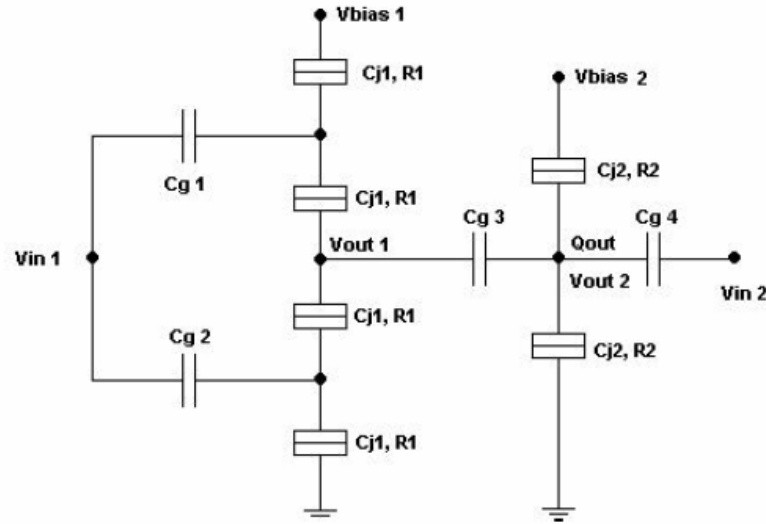
For the adder, the bias voltage  $V_{bias}$  is calculated taking into account the island's total capacitance  $C_{\Sigma}$  :

$$V_{bias} = \frac{e}{C_{\Sigma}} \quad (6)$$



For the inverter,  $V_{bias}$  is calculated using Eq. 6, with the top transistor's island (the one where  $C_{g1}$  is connected) capacitance in place of  $C_{\Sigma}$ , assuring that the output will be low when the input is high and vice-versa (10).

When these subcircuits are interconnected, as shown in Fig. 4, the values of the inverter and the adder components are calculated using the same procedure described above.



## RESULTS

The functionalities of the subcircuits in Figs. 2 and 3 were tested simulating both of them with a capacitive load ( $C_{load}$ ). In this situation, both were simulated varying the operation temperature, to analyze the thermal dependence, and also including co-tunneling.

In the case of Fig. 4, the interconnectivity was evaluated. The co-tunneling was included and the temperature varied to investigate the behavior of the circuit. All simulations were done using SIMON (Simulation of Nano-structures) (11) and the results are plotted using SIMONE (12).

Table 1 and Table 2 present the component values calculated in order to simulate the subcircuits and circuits according to the expressions introduced in the previous section.

Table 1 – Dimensions of the subcircuits for maximum temperature

	$C_g$	$C_j$	$R_j$	$C_{load}$	$V_{bias}$	$T_{max}$
inverter	2aF	0.5aF	5M $\Omega$	1aF	40mV	77K
adder	0.32aF	0.08aF	1M $\Omega$	0.1aF	10 $\mu$ V	77K

Table 2 – Interconnected circuit (Fig. 3)

$C_{g1}$	$C_{j1}$	$R_1$	$V_{bias1}$	$C_{g2}$	$C_{j2}$	$R_2$	$V_{bias2}$	$T_{max}$
2aF	0.05aF	5M $\Omega$	40mV	5.2aF	0.05aF	5M $\Omega$	10 $\mu$ V	77K

Table 3 – Simulation conditions

Method	Quasi-stationary Monte Carlo
Environment	Co-tunneling
Background charge	None

In the following, simulation results comprising functionality verification, maximum operation temperature and operation under co-tunneling probability are presented for the subcircuits and for subcircuit associations.

### Inverter

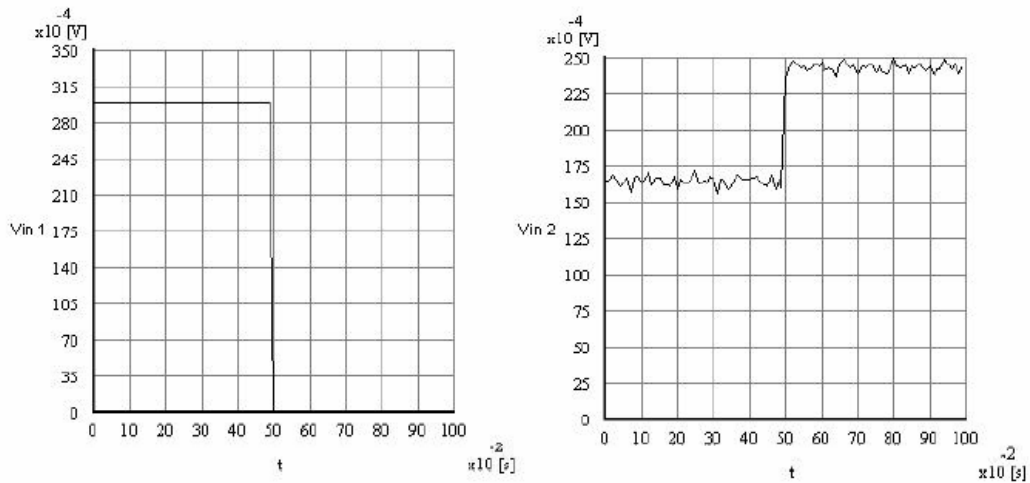


Figure 5 - Input and output voltages of the inverter at 77K

### Adder

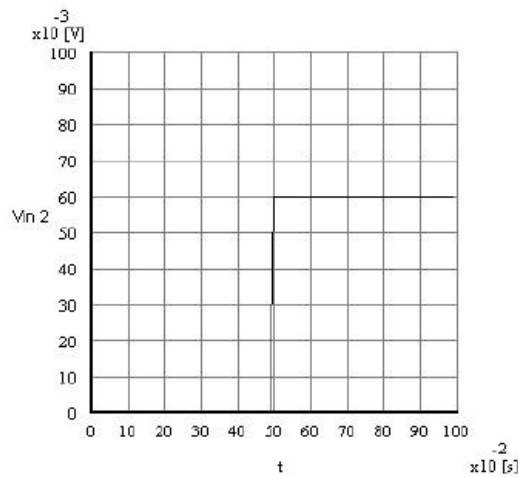


Figure 6 - Inputs ( $V_{in 1}$  and  $V_{in 2}$ ) of the adder at 77K

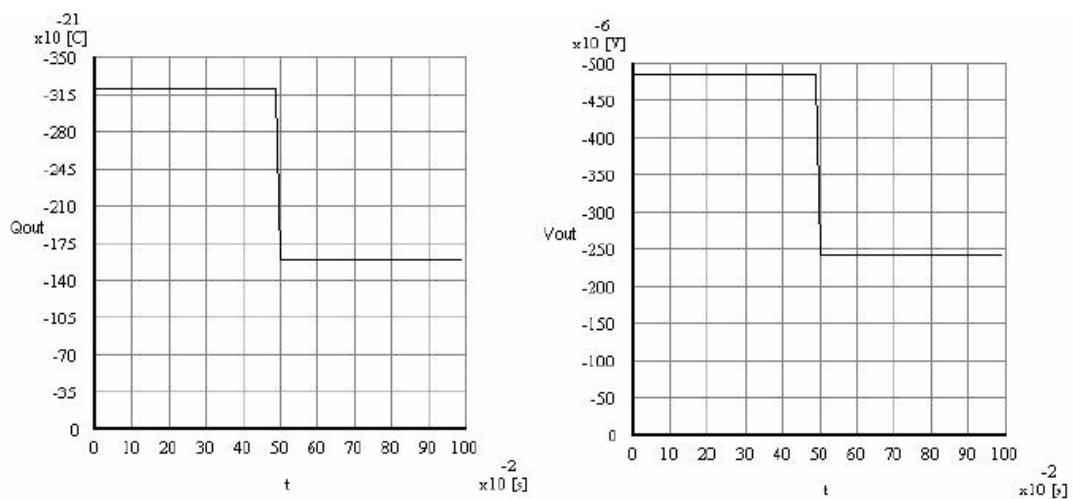


Figure 7 - Output voltage and charge of the adder at 77K

### Inverter + Adder

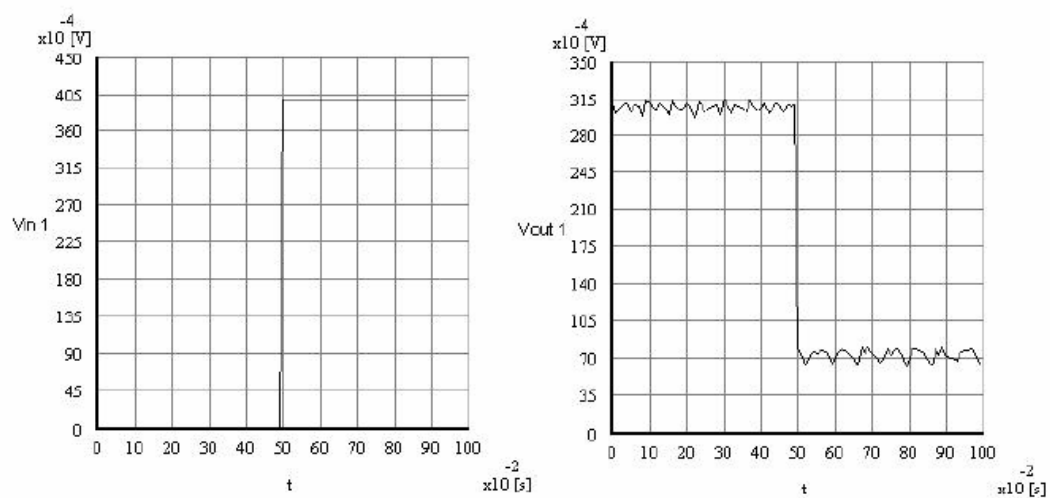


Figure 8 - Input and out put voltage of the inverter connected to the adder at 77K

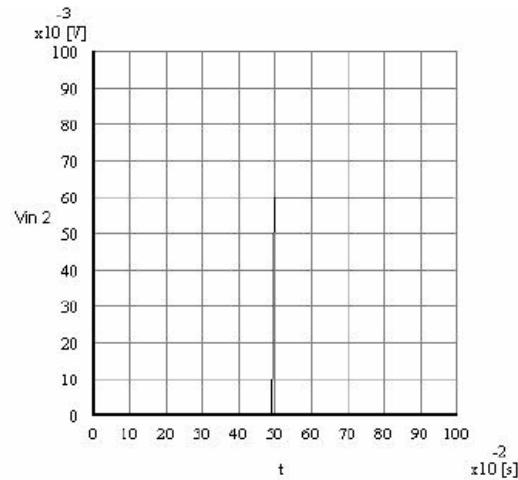


Figure 9 - Independent input of the adder at 77K

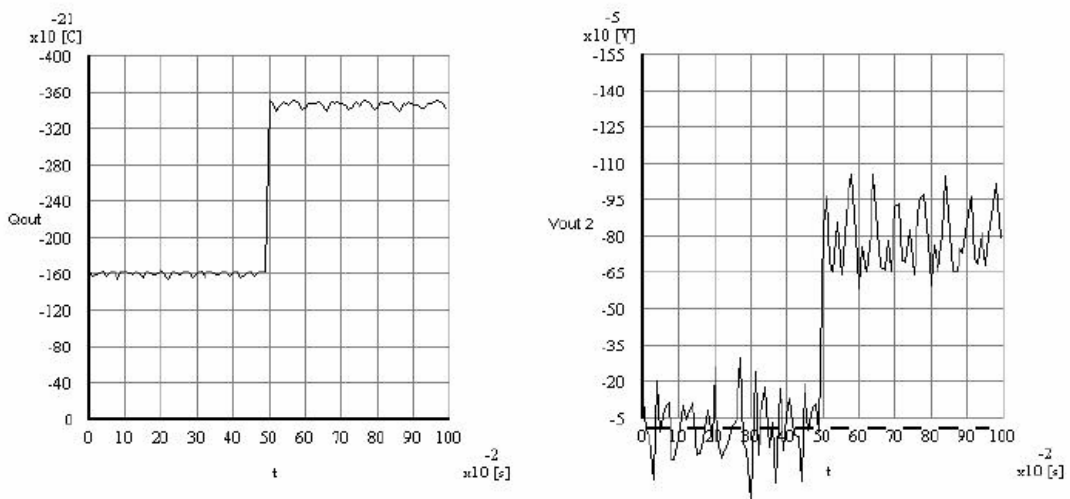
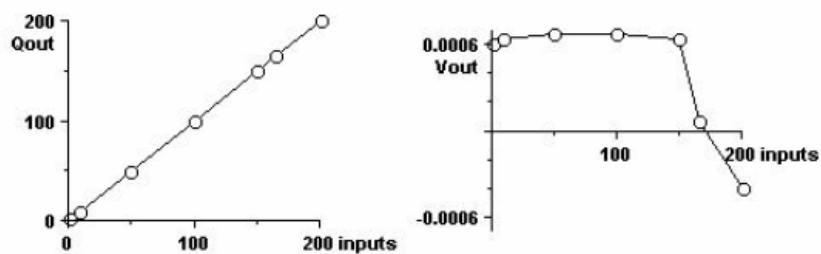


Figure 10 - Input and output voltage of the inverter + adder at 77K

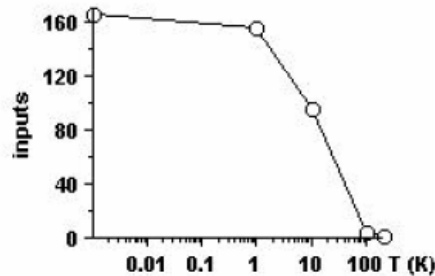
### Adder's fan-in analysis

The number of the adder's input gates was progressively increased until its functionality was no longer verified. Up to that limit, no matter how much the output voltage was changed, the output charge always achieved the correct value. Fig. 11 presents output charge and output voltage against the number of inputs.



$Q_{out}$  and  $V_{out}$  against the number of inputs

Also, the fan-in behavior against temperature was evaluated. Fig. 12 shows the maximum number of inputs for which the adder maintained its functionality for several temperatures.



## DISCUSSION

The analyzed structures, at least considering the results of SIMON, keep the functionality even under high temperatures and can be interconnected, allowing the implementation of new functions.

Interconnections are limited by the input sensitivity of each subcircuit and by the magnitude of the output voltage from the preceding stage. Nevertheless a cascade with 2 inverters and an adder was operational under the same conditions of the previously reported structures up to 10K with non-critical component dimensions.

Fan-in evaluations were also carried out for the adder. They have shown an extended capability of this subcircuit to receive multiple inputs up to 100K with non-critical component dimensions.

Other important point to notice is that design circuits not allowing a low impedance path for co-tunneling decreases its disturbances.

Devices with non-critical dimensions for current technology (which means they are physically realizable with currently available technologies) hold their standard characteristics of operation for temperatures higher than 77K. This limit can be extended to 300K using smaller devices. For example the inverter's behavior was also verified up to 300K when using tunnel junctions with  $C_j = 8 \times 10^{-21} \text{F}$  and  $R_j = 5 \text{M}\Omega$ .

## CONCLUSIONS

The SET adder and inverter with non-critical dimensions behaved correctly in simulation for temperatures above 77K. Associations of these subcircuits were also successfully evaluated in the same temperature range under loading conditions and taking

co-tunneling into account. Also, the adder's fan-in behavior was investigated and that subcircuit has shown extended capabilities for multiple input processing.

It can be seen from these results that it is possible to build larger circuits, using interconnections of SET subcircuits to implement more complex functions without loss of functionality. This information is valuable indication of the feasibility of various kinds of electronic circuits based on SET devices and taking advantage of their particular features.

This study will continue simulating subcircuits' behavior under time varying inputs. Further on, physical realization and characterization of such circuits will be implemented.

#### ACKNOWLEDGEMENTS

We greatly acknowledge CAPES for the support in this research.

#### REFERENCES

1. Semiconductor Industry Association, *The National Roadmap for Semiconductors*, (2000).
2. L.Risch, in *Siemens Review R&D Special*, pp. 32- 35, Spring (1996).
3. H.Ahmed et al., *Microelectronic Engineering*, **32**, 1-4 (1996).
4. D.Goldhaber-Gordon et al., *Proceedings of the IEEE*, **85**, 4 (1997).
5. H. Grabert et al, *Single Charge Tunneling - Coulomb Blockade Phenomena in Nanostructures*, NATO ASI Series B:Physics, Plenum Press, New York (1992).
6. Y.Takahashi et al., *Electronics Letters*, **31**, 2 (1995).
7. H. Fahmy and K. Ismail. *Appl. Phys. Lett.*, **70**, 19 (1997).
8. J.R.Tucker. *J. Appl. Phys.*, **72**, 4399 (1992).
9. A.N.Korotkov, R.H.Chen and K.K.Likharev. *J. Appl. Phys.*, **78**, 4 (1995).
10. C.P.Heij, P.Hadley, J.E.Mooij. *Appl. Phys. Lett.*, **78**, 8 (2001)
11. C. Wasshuber, H. Kosina and S. Selberherr. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, **16**, 9 (1997).
12. SIMONE by R. Klunder. TUDelft (1997).
13. K. Yamamura and Y. Suda. *IEICE Trans. Electron.* **E81-C**, 1 (1998).