



DISSERTAÇÃO DE MESTRADO

**Análise Comparativa de  
nanoFETs Reconfiguráveis**

Rebeca dos Santos de Moura

Brasília, julho de 2018

**UNIVERSIDADE DE BRASÍLIA**

FACULDADE DE TECNOLOGIA

**UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**ANÁLISE COMPARATIVA DE  
NANOFETs RECONFIGURÁVEIS**

**REBECA DOS SANTOS DE MOURA**

**Orientador: PROF. DR. STEFAN MICHAEL BLAWID, ENE/UNB**

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA DE SISTEMAS  
ELETRÔNICOS E DE AUTOMAÇÃO**

**PUBLICAÇÃO: PGEA.DM - 695/2018**

**BRASÍLIA-DF: 09 DE JULHO DE 2018.**

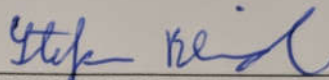
UNIVERSIDADE DE BRASÍLIA  
FACULDADE DE TECNOLOGIA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

ANÁLISE COMPARATIVA DE NANOFETs RECONFIGURÁVEIS

REBECA DOS SANTOS DE MOURA

DISSERTAÇÃO DE MESTRADO SUBMETIDA AO DEPARTAMENTO DE ENGENHARIA ELÉTRICA DA FACULDADE DE TECNOLOGIA DA UNIVERSIDADE DE BRASÍLIA, COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE.

APROVADA POR:



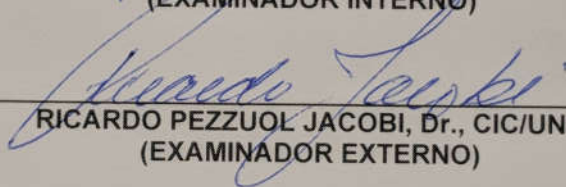
---

STEFAN MICHAEL BLAWID, Dr., ENE/UNB  
(ORIENTADOR)



---

ALEXANDRE RICARDO SOARES ROMARIZ, Dr., ENE/UNB  
(EXAMINADOR INTERNO)



---

RICARDO PEZZUOL JACOBI, Dr., CIC/UNB  
(EXAMINADOR EXTERNO)

Brasília, 09 de julho de 2018.

## FICHA CATALOGRÁFICA

MOURA, REBECA DOS SANTOS DE

Análise Comparativa de nanoFETs Reconfiguráveis [Distrito Federal] 2018.

x, 70p., 210x297 mm (ENE/FT/UnB, Mestre, Engenharia Elétrica, 2018).

Dissertação de Mestrado - Universidade de Brasília, Faculdade de Tecnologia.

Departamento de Engenharia Elétrica

1. Transistor reconfigurável

2. nanoFET

3. FET de múltiplas portas

4. dopagem eletrostática

I. ENE/FT/UnB

II. Título (série)

## REFERÊNCIA BIBLIOGRÁFICA

MOURA, R. S. (2018). Análise Comparativa de nanoFETs Reconfiguráveis. Dissertação de Mestrado em Engenharia Elétrica, Publicação PGEA.DM – 695/2018, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 70p.

## CESSÃO DE DIREITOS

AUTOR: Rebeca dos Santos de Moura

TÍTULO: Análise Comparativa de nanoFETs Reconfiguráveis.

GRAU: Mestre

ANO: 2018

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor se reserva outros direitos de publicação e nenhuma parte desta dissertação de mestrado pode ser reproduzida sem a autorização por escrito do autor.

---

Rebeca dos Santos de Moura  
SGAN 914, Módulo H, Asa Norte  
70790-148 – Brasília – DF – Brasil

## **Dedicatória**

*Dedico esse trabalho à minha família e amigos que me apoiaram durante todo o processo deste mestrado.*

*Rebeca dos Santos de Moura*

## Agradecimentos

*À minha mãe Arlete, minhas irmãs Rayssa e Raquel, pelo suporte fundamental em todos os aspectos.*

*À minha namorada Karine, por todo o carinho e compreensão durante esse processo.*

*Ao meu pai, tia Sandra, tio Roberto, tia Neide, Jessika, Júlia, Vó Carmélia, Vó Clemildes, Vô Nilo e Vô Raimundo (in memoriam), por todo o incentivo e apoio.*

*Ao professor Stefan Blawid, pela dedicação e paciência nas orientações e por acreditar em mim.*

*Aos professores Martin Claus, Artemis Ceschin e Sandro Haddad, pelos conhecimentos compartilhados.*

*Aos amigos Igor, André, Matheus, Pedro, Ciro, Gustavo, Mateus (Pato), Jordana, Lucas e Leandro, por todos os momentos de companheirismo e descontração. Em especial à Ana Paula pelo auxílio imensurável durante a escrita desse texto.*

*Aos amigos Heliudson e Jéssica, por me receberem em São Paulo e pelas lições de Física.*

*Aos colegas do laboratório LDCI, Reinaldo, César e Vilany.*

*À CAPES pelo apoio financeiro.*

*Tenham minha sincera gratidão!*

*Rebeca dos Santos de Moura*

---

## RESUMO

Em transistores de efeito de campo baseados em nanomateriais (nanoFETs), a dopagem eletrostática pode ser induzida por campos elétricos originados de múltiplas portas independentes. Dessa forma, os nanoFETs são candidatos ideais para a exploração de reconfigurabilidade. O desempenho de quatro geometrias reconfiguráveis (R) nanoFET é investigado com a solução das equações de Poisson e Deriva-Difusão acopladas respectivamente para o potencial eletrostático tridimensional e a para carga de canal unidimensional. Ainda é averiguado o impacto do escalamento do canal e do ajuste da tensão de alimentação. As arquiteturas examinadas são compostas por FETs de uma (1G), duas (2G) e três (3G) portas sob o canal com comprimento meio de micrômetro. Portanto, os R-nanoFETs investigados teoricamente podem ser fabricados com custos baixos, permitindo que as projeções de desempenho sejam testadas. O 2G R-nanoFET provou ser a arquitetura mais versátil quando nenhuma otimização específica do aplicativo é tentada. No entanto, todas as geometrias consideradas oferecem propriedades interessantes. Ao conectar a porta de programação ao dreno, o roteamento local é simplificado e o desempenho só diminui levemente. O 1G R-nanoFET oferece ganhos intrínsecos razoáveis ao custo do aumento da dissipação de energia estática. Por fim, um 3G R-nanoFET permite opções adicionais de configuração dinâmica e a operação de ligar/desligar mais rápida devido à porta de controle posicionada a uma distância maior dos outros contatos metálicos.

---

## ABSTRACT

In nanomaterials field-effect transistors (nanoFETs) electrostatic doping can be induced by electrical fields originating from multiple independent gates. Therefore, nanoFETs are ideal candidates for exploring reconfigurability. The performance of four different reconfigurable (R) nanoFET geometries is investigated by solving the coupled nonlinear Poisson and drift-diffusion differential equations for the three-dimensional electrostatic potential and the one-dimensional channel charge. The impact of scaling and supply voltage adjustment is further examined. The investigated architectures compass FETs with one (1G), two (2G) and three top-gate (3G) terminals with a channel length of half a micrometer. Therefore, the theoretically investigated R-nanoFETs can be manufactured at low costs, allowing to test the performance projections. The 2G R-nanoFET proved to be the most versatile architecture when no application specific optimization is attempted. However, all considered geometries offer interesting properties. Shortening the program gate with the drain simplifies the local routing and only slightly diminish the performance. A 1G R-nanoFET delivers reasonable intrinsic gains at the cost of increased static power dissipation. Finally, a 3G R-nanoFET enables additional dynamic configuration options and faster on/off switching due to a control gate positioned at an increased distance to other metallic contacts.

# SUMÁRIO

<b>1</b>	<b>Introdução</b>	<b>1</b>
1.1	Contextualização	1
1.2	Definição do problema	3
1.3	Objetivos do projeto	3
1.4	Apresentação do manuscrito	4
<b>2</b>	<b>Revisão Bibliográfica</b>	<b>5</b>
2.1	Sistemas Reconfiguráveis	5
2.2	Nanomateriais e nanoFETs	10
2.3	Nanotubos de carbono (CNTs)	12
2.3.1	Propriedades eletrônicas de CNTs	13
2.4	Equações para o transporte de cargas	16
2.4.1	Equação de Poisson	16
2.4.2	Equações de Deriva e Difusão	17
2.4.3	Equações de Continuidade	19
2.4.4	Potenciais de quasi-Fermi	20
2.4.5	Tunelamento	20
2.5	Reconfigurabilidade a nível de transistor e dopagem eletrostática	21
2.6	Transistores reconfiguráveis com múltiplas portas	24
2.7	Inversor CMOS	26
2.7.1	Atraso de inversor FO4	29
<b>3</b>	<b>Procedimentos</b>	<b>30</b>
3.1	COOS	31
3.2	Calibração e validação	32
3.3	Arquiteturas R-nanoFETs	33
3.4	Escalamento geométrico das arquiteturas	35
3.5	Ajuste da tensão de alimentação	35
3.6	Figuras de mérito	35
3.7	Dependência do material	36
<b>4</b>	<b>Resultados e Discussões</b>	<b>38</b>
4.1	Validação e calibração	38
4.2	Arquiteturas R-nanoFETs	42



4.2.1	Outras opções de projeto .....	43
4.2.2	Transcondutância e inclinação de sublimiar .....	48
4.2.3	Capacitâncias parasitárias .....	49
4.3	Escalamento geométrico das arquiteturas .....	50
4.4	Ajuste da tensão de alimentação.....	53
4.5	Figuras de mérito .....	55
4.6	Dependência do material .....	55
<b>5</b>	<b>Conclusões .....</b>	<b>59</b>
5.1	Trabalhos Futuros .....	60
<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>		<b>61</b>
<b>Anexos.....</b>		<b>66</b>
<b>I</b>	<b>Apêndice.....</b>	<b>67</b>
I.1	Código de entrada comentado .....	67
I.2	Comandos do simulador COOs.....	70

# LISTA DE FIGURAS

1.1	Tendência dupla definida pelo ITRS.....	2
2.1	Ilustrações esquemáticas da curva $I_d - V_g$ de um FeFET.....	7
2.2	Arquitetura de um bloco lógico configurável comercial. ....	7
2.3	Neurônio de silício e sinapse de “propósito geral”, com circuito de geração de eventos. ....	10
2.4	Nanotubos de carbono.....	11
2.5	Nanoestruturas feitas de ZnO. ....	11
2.6	Exemplos de materiais orgânicos úteis em eletrônica e fotônica.....	11
2.7	Esboço da forma de produção de um nanotubo de carbono de parede simples.....	13
2.8	Esboço de três estruturas SWNT diferentes. ....	14
2.9	Dependência do diâmetro de energia de banda proibida para tubos semicondutores e de massas efetivas. ....	15
2.10	Transistor de efeito de campo FET feito de um único nanotubo de carbono. ....	16
2.11	Aplicação de um campo elétrico a um semicondutor, resultando na curvatura de bandas. ....	18
2.12	Modelo para determinar a corrente de difusão. ....	19
2.13	Tunelamento de cargas.....	21
2.14	Diodo reconfigurável baseado em FD-SOI e suas possíveis configurações. ....	22
2.15	Estruturas de diferentes dispositivos reconfiguráveis. ....	23
2.16	Curvas de transferência e diagrama de bandas de um TFET. ....	24
2.17	Esquema de roteamento local conectando as portas de programação ao contato de dreno de cinco arquiteturas: um FET com uma única porta centralizada ( <i>normal gate</i> , nG) e diferentes R-nanoFETs (1G, FBG, 2G e 3G). Ao trocar $V_1$ e $V_2$ , os transistores são reconfigurados. ....	25
2.18	Estruturas de R-FETs feitos em FD-SOI.....	25
2.19	Implementação de uma porta NAND/NOR reconfigurável de duas entradas (A, B) feita (a) com quatro R-nanoFETs (simbolizados por retângulos com um losango para distinguir a fonte) e (b) como tabela de consulta. $V_{DD}$ e GND indicam os valores armazenados nas células de memória para configurar a porta como NAND ou NOR. ....	26
2.20	Inversor CMOS e esboço de sua característica de entrada/saída. ....	28
2.21	Comportamento do inversor CMOS em vários pontos de operação.....	28
2.22	Inversor carregando uma capacitância de carga.....	29
2.23	Inversor complementar (C-nanoFET) implementado com dois R-nanoFETs.....	29

2.24	Configuração de simulação para determinar o atraso de FO4 para um determinado processo e ambiente. ....	29
3.1	Esquemáticos de FBG CNTFET, FBG CNTFET adaptado e nG CNTFET. ....	33
3.2	Esquemáticos de nanoFETs reconfiguráveis com (a) 1G, (b) FBG, (c) 2G e (d) 3G. O canal unidimensional tem comprimento de $0.5 \mu\text{m}$ . ....	34
3.3	Esquemático de nanoFETs reconfiguráveis s1G (a), sFBG (b) e s2G (c) com canal unidimensional escalado. ....	35
4.1	Comparação das curvas características de transferência simuladas para o FBG CNT-FET de tipo $p$ em $V_{ds} = -1 \text{ V}$ com dados experimentais. ....	39
4.2	Dopagem do FBG CNTFET. ....	39
4.3	Comparação das curvas características de transferência simuladas para o FBG CNT-FET de tipo $p$ em $V_{ds} = -1 \text{ V}$ barreira $\Phi_{SB} = -0.2 \text{ eV}$ com dados experimentais. ....	40
4.4	Diagrama de bandas e contribuições de corrente para FBG nanoFET. ....	41
4.5	Comparação das curvas características de transferência simuladas para o nG CNT-FET do tipo $p$ em $V_{ds} = -1 \text{ V}$ . ....	42
4.6	Curvas de transferência em $ V_{DS}  = 1 \text{ V}$ para todas as quatro arquiteturas R-nanoFET. ....	43
4.7	Curvas de saída para todas as quatro arquiteturas R-nanoFET. ....	44
4.8	Curva de saída do 3G R-nanoFET em $V_{GS} = 0.4, 0.8, 1.0$ e $1.2 \text{ V}$ com um roteamento simplificado onde $V_{PGS/D} = V_D$ . As linhas tracejadas indicam $I_D$ para as mesmas tensões de porta, mas com uma tensão de programação fixa de $V_{PGS/D} = 1.2 \text{ V}$ . ....	45
4.9	Curvas de saída para um 2G-CNTFET do tipo $p$ e $n$ (a) e comparação do ramo $n$ em $V_{GS} = V_{sup}/2$ para todas as arquiteturas (b). ....	45
4.10	Características de transferências em $V_{DS} = 1 \text{ V}$ de um 3G R-nanoFET com $0.5 \mu\text{m}$ de comprimento. ....	46
4.11	Diagrama de bandas do estado <i>off</i> para um 3G nanoFET do tipo $n$ em $(V_{GS}, V_{DS})$ e diferentes $[V_{PGD/S}]$ . ....	47
4.12	Diagrama de bandas do estado <i>off</i> para um 3G nanoFET do tipo $n$ em $(V_{GS}, V_{DS})$ e $V_{PGD/S} = 1.2 \text{ V}$ . ....	48
4.13	Curvas de dependência de tensão correspondente da transcondutância para todas as quatro arquiteturas R-nanoFET. ....	49
4.14	Curvas de transferência em $ V_{DS}  = 1 \text{ V}$ para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET. ....	50
4.15	Curvas de saída para as três arquiteturas R-nanoFET escaladas. A tensão de porta equivale a $ V_{GS}  = 0.5, 1.0, 1.5$ e $2 \text{ V}$ para o s1G (a), sFBG (b) e s2G R-nanoFET (c). ....	51
4.16	Comparação do ramo $n$ em $V_{GS} = V_{sup}/2$ para as diferentes arquiteturas com o canal escalado e o 3G R-nanoFET. ....	51
4.17	Curvas de dependência de tensão correspondente da transcondutância para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET. ....	52
4.18	Curvas de transferência e transcondutância para tensão de alimentação ajustada. ....	53

4.19	Curvas de saída para as três arquiteturas R-nanoFET com tensão de alimentação ajustada. A tensão de porta equivale a $ V_{GS}  = 0.5, 1.0, 1.5$ e $2\text{ V}$ para o v1G (a), vFBG (b) e v2G R-nanoFET (c). .....	54
4.20	Dependência das FOMs selecionadas na massa efetiva das cargas do canal para as quatro arquiteturas R-nanoFET com canal de $0.5\ \mu\text{m}$ configuradas no modo $n$ . A relação $m_{\text{eff}}/m_0$ varia de 0,049 (CNT) para um. ....	57
4.21	Dependência das FOMs selecionadas na massa efetiva das cargas do canal para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET configurados no modo $n$ . A relação $m_{\text{eff}}/m_0$ varia de 0,049 (CNT) para um. ....	58
5.1	(a) Estrutura de TFET com camada ferroelétrica, (b) curva característica do transistor tipo $n$ nos modos alta performance ( <i>high performance</i> , HP) e baixa potência ( <i>low power</i> , LP). .....	60

# LISTA DE TABELAS

3.1	Tensões usadas nas portas de programação em relação a uma fonte comum.....	34
4.1	Parâmetros de mobilidade extraídos e estimados.....	38
4.2	Correntes usadas para normalização retiradas nos pontos de operação ( $V_{GS}$ , $V_{DS}$ ). ...	43
4.3	Correntes de saída nos pontos de operação ( $V_{GS}$ , $V_{DS}$ ).....	44
4.4	Valores de $g_{m,peak}$ e de $g_m$ no ponto de chaveamento ( $V_{GS}$ , $V_{DS}$ ).....	48
4.5	Inclinações de sublimiar para os quatro R-nanoFETs.....	49
4.6	Capacitâncias parasitárias das portas dos quatro R-nanoFETs.....	49
4.7	Correntes de saída nos pontos de operação ( $V_{GS}$ , $V_{DS}$ ).....	50
4.8	Valores de $g_{m,peak}$ e de $g_m$ no ponto de chaveamento ( $V_{GS}$ , $V_{DS}$ ).....	52
4.9	Inclinações de sublimiar para os três R-nanoFETs escalados.....	52
4.10	Capacitâncias parasitárias das portas dos três R-nanoFETs escalados. ....	53
4.11	Valores de $g_{m,peak}$ e de $g_m$ no ponto de chaveamento ( $V_{GS}$ , $V_{DS}$ ).....	53
4.12	FOMs relevantes selecionadas para um Inversor C-nanoFET com atraso FO4.....	55
4.13	Geometria ideal de R-nanoFET dependente do material e da aplicação. ....	58

# LISTA DE SÍMBOLOS, NOMENCLATURAS E ABREVIACÕES

## Símbolos Latinos

$a_{cc}$	Distância da ligação carbono-carbono, 0.142	[nm]
$d$	Diâmetro	[nm]
$d_P$	Distância entre portas de controle e as portas de programação	[nm]
$E$	Energia	[eV]
$E_c$	Energia da banda de condutância	[eV]
$E_g$	Energia de banda proibida ( <i>band gap</i> )	[eV]
$E_v$	Energia da banda de valência	[eV]
$F$	Campo elétrico	[N/C]
$f(E)$	Função de Fermi	
$\hbar$	Constante de Dirac ( $h/2\pi$ ), $1.05 \times 10^{-34}$	[J s]
$h$	Constante de Planck, $6.626 \times 10^{-34}$	[J s]
$I$	Corrente de cargas	[A]
$I_D$	Corrente de dreno	[ $\mu$ A]
$I_{norm}$	Corrente de normalização	[ $\mu$ A]
$I_{on}$	Corrente no estado <i>on</i>	[ $\mu$ A]
$I_{off}$	Corrente no estado <i>off</i>	[ $\mu$ A]
$k_B$	Constante de Boltzmann, $8.617 \times 10^{-5}$	[eV/K]
$L$	Comprimento	[nm]
$m_0$	Massa do elétron livre, $9.109 \times 10^{-31}$	[kg]
$n$	Concentração de elétrons	[ $cm^{-3}$ ]
$n_i$	Concentração de portadores de carga intrínseca	[ $cm^{-3}$ ]
$N_D^+$	Concentração de íons doadores para canal 1D	[ $cm^{-1}$ ]
$N_A^-$	Concentração de íons receptores para canal 1D	[ $cm^{-1}$ ]
$p$	Concentração de lacunas	[ $cm^{-3}$ ]
$q$	Carga do elétron, $1.6 \times 10^{-19}$	[C]
$s$	Comprimento de espaçador de óxido	[nm]

$t_{cc}$	Energia <i>tight-binding</i> entre átomos de carbono, 3	[eV]
$V$	Tensão elétrica	[V]
$V_{in}$	Tensão de entrada	[V]
$V_{DS}$	Tensão entre dreno e fonte	[V]
$V_{GS}$	Tensão na porta	[V]
$V_{out}$	Tensão de saída	[V]
$V_{sup}$	Tensão de alimentação	[V]
$V_{th}$	Tensão de limiar	[V]

## Símbolos Gregos

$\chi_{CNT}$	Eletroafinidade do CNT	[eV]
$\varepsilon$	Permissividade relativa	[F/cm]
$\varepsilon_0$	Permissividade do vácuo, $8.854 \times 10^{-14}$	[F/cm]
$\rho$	Densidade	[m <sup>3</sup> /kg]
$\Phi_m$	Função de trabalho do metal	[eV]
$\Phi_{SB}$	Altura da barreira de Schottky	[eV]
$\psi_{n,p}$	Potencial de quasi Fermi	[eV]

## Siglas

AISC	Application-Specific Integrated Circuit (Circuito Integrado específico para uma aplicação)
BTE	Boltzmann Transport Equation (equação de transporte de Boltzmann)
BTB	Band-To-Band (banda para banda)
CNTFET	Carbon Nanotube Field-Effect Transistor (FET baseado em CNT)
CMOS	Complementary Metal-Oxide-Semiconductor (semicondutor de metal-óxido complementar)
CNT	Carbon Nanotube (nanotubo de carbono)
DOS	Density Of States (densidade de estados)
DD	Drift-Difusion (deriva e difusão)
EFM	Effective Mass Schrödinger Equation (equação de Schrödinger para massa efetiva)
FET	Field-Effect Transistor (transistor de efeito de campo)
FD-SOI	Fully Depleted Silicon-On-Insulator (silício sobre isolante totalmente depletado)
FOM	Figures-of-merit (figuras de mérito)
FO4	Fanout-of-4 (leque de quatro)
FPGA	Field Programmable Gate Array (arranjo de portas programáveis em campo)
HP	High Performance (alta performance)
LP	Low Power (baixa potência)

MC-BTE	Boltzmann Transport Equation with Monte Carlo (equação de transporte de Boltzmann com o método Monte Carlo)
MOS	Metal Oxide Semiconductor (semicondutor de metal-óxido)
MWNT	Multi-Walled Nanotubes (nanotubo de múltiplas paredes)
R-FET	Reconfigurable Field-Effect Transistor (FET reconfigurável)
SWNT	Single-Walled Nanotubes (nanotubo de parede simples)
SB	Schottky Barrier (Barreira de Schottky)
SCA	Software Communications Architecture
SFTP	SSH File Transfer Protocol (protocolo de transferência de arquivos com segurança SSH)
TB	Tunnel Barrier (Barreira de Tunelamento)
TFET	Tunneling Field-Effect Transistor (FET de tunelamento)
VTC	Voltage Transfer Characteristic (Característica de Transferência de Tensão)
WKB	Wentzel-Kramer-Brillouin
1G	One gate (uma porta)
2G	Two gates (duas portas)
3G	Three gates (três portas)



# Capítulo 1

## Introdução

### 1.1 Contextualização

Por mais de 50 anos, a indústria de semicondutores foi impulsionada pela Lei de Moore [1]. O escalamento de transistores associado à duplicação do número de transistores a cada dois anos, em média, tem sido a característica única da indústria de semicondutores, de forma que a microeletrônica convencional evoluiu para nanoeletrônica [2].

O Roteiro Internacional para Dispositivos e Sistemas (*International Roadmap for Devices and Systems*, IRDS) é uma iniciativa do IEEE (*Institute of Electrical and Electronics Engineers*, Instituto de Engenheiros Eletricistas e Eletrônicos) com a missão de identificar o roteiro da indústria eletrônica de dispositivos a sistemas e vice-versa [3]. As edições passadas de roteiros tecnológicos, como o Roteiro Nacional de Tecnologia para Semicondutores (*National Technology Roadmap for Semiconductors*, NTRS) e o Roteiro Internacional de Tecnologia para Semicondutores (*International Technology Roadmap for Semiconductors*, ITRS) se concentravam na previsão da taxa de escalonamento de transistores e em como a densidade e o desempenho dos transistores afetavam a evolução dos circuitos integrados. Mas em 2016 já não era possível projetar novos transistores sem levar em conta os requisitos do sistema e por isso, o ITRS foi descontinuado e o IRDS surgiu em associação ao ramo IEEE *Rebooting Computing* (em tradução livre, reiniciando a computação) [3].

A mudança mais relevante consiste no fato de que no passado os requerimentos de dispositivos eram determinados pelas tecnologias prontamente disponíveis e os integradores de sistemas ficavam com poucas opções sobre como montar seus produtos. Com o advento de companhias de manufatura integrada sem fábrica (chamadas *fabless*), que realizam o projeto e a venda de dispositivos de hardware e chips, mas terceirizam a confecção para fundições específicas de fabrico de semicondutores, a maneira pela qual os negócios são feitos na nova indústria de semicondutores foi modernizada [3].

À medida que o escalamento dimensional de dispositivos CMOS (*Complementary Metal Oxide Semiconductor*, semicondutor de metal-óxido complementar) se aproxima de limites fundamentais, uma pletera de novos processos de fabricação vem sendo desenvolvida, junto com novas e criativas estratégias para o projeto de CIs [4]. Por exemplo, os integradores de sistemas podem

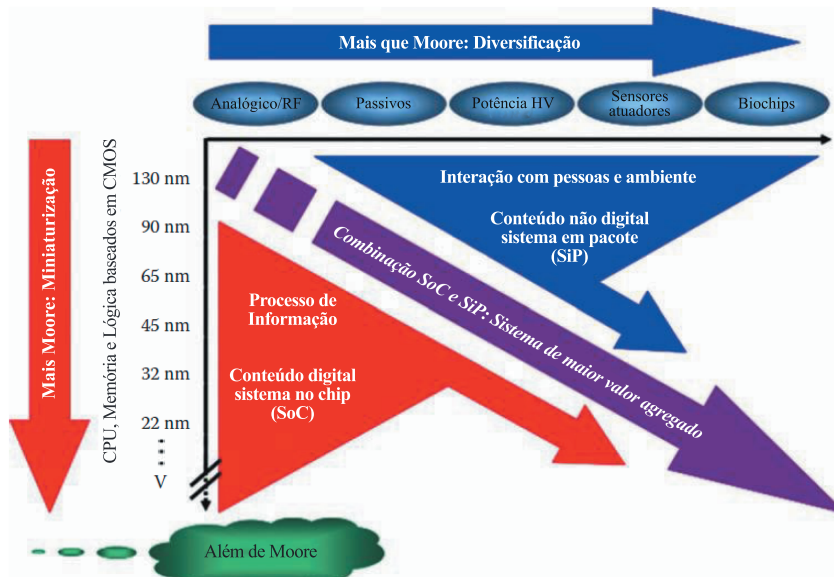


Figura 1.1: Tendência dupla definida pelo *International Technology Roadmap for Semiconductors*: miniaturização das funções digitais (“Mais Moore”) e diversificação funcional (“Mais que Moore”). Figura adaptada de [5].

hoje assimilar múltiplas funcionalidades em um único chip, chamado *System-on-Chip* (sistema no chip, SoC), ou incorporar múltiplos blocos de material semicondutor em um único pacote chamado *System-in-Package* (sistema em pacote, SiP) em vez de conectar múltiplos circuitos integrados (CIs) especializados em uma placa. Eles definem, em geral, o ritmo de aperfeiçoamento da indústria eletrônica e abrem espaço para o melhoramento de outras tecnologias de ponta [3].

Dois domínios definidores de tecnologia são de extremo interesse: a “miniaturização” e seus benefícios associados em termos de desempenho (chamado de abordagem *More Moore*, “Mais Moore”) e a diversificação funcional de dispositivos baseados em semicondutores (chamado *More than Moore*, “Mais que Moore”) [5]. Essa necessidade combinada de funcionalidades digitais e não digitais em um sistema integrado é mostrada com mais detalhes na Figura 1.1. Além disso, a abordagem *Beyond Moore* (“Além de Moore”) estimula a invenção de novos paradigmas de processamento de informações.

A tendência “Mais Moore” é sustentada pela incorporação de novos materiais e pelo emprego de novos conceitos de transistor, ela persistirá enquanto o desempenho do dispositivo puder ser negociado contra o consumo de potência em uma aplicação específica. Um método é a substituição do convencional canal de silício de MOSFETs (*Metal Oxide Semiconductor Field-Effect Transistors*, Transistores de Efeito de Campo MOS), e dos contatos de fonte e dreno, por materiais alternativos mais vantajosos no cenário nanométrico [4]. Dessa forma, estão sendo pesquisados materiais e processos emergentes que aperfeiçoam o desempenho e escalonamento de potência de FETs, como germânio, silício-germânio, uma variedade de compostos do Grupo III-V semicondutores e materiais de carbono. Além de melhorias nas técnicas de dopagem, empilhamento de portas e estruturas de contatos [6].

Já as tecnologias “Mais que Moore”, do acréscimo de funcionalidades não-digitais, contribuem

para a miniaturização de sistemas eletrônicos, mas não são necessariamente escaladas na mesma velocidade [6]. Apesar de não constituírem uma alternativa ou mesmo um concorrente à tendência digital, elas propõem a ampliação de um princípio tecnológico baseado em dispositivos CMOS já totalmente escalados para novos domínios de funcionalidades e aplicações [4]. Alguns exemplos desta tendência são FETs de polaridade sintonizável, portas lógicas polimórficas e layout de camuflagem [4, 7].

A combinação dos dois domínios também é um caminho possível para o futuro da eletrônica [2]. Já existem estratégias baseadas na reconfiguração de dispositivos e concepções de sistemas que envolvem escalar os CIs de CMOS da melhor maneira possível, enquanto um conjunto diversificado de outros CIs (eletrônicos, fotônicos) é associado ao projeto a fim de adicionar diversidade funcional a baixo custo para sistemas eletrônicos cada vez mais complicados. A integração heterogênea dos dois tipos de funcionalidades será o principal impulsionador de uma ampla variedade de campos de aplicação, como comunicação, automotivo, controle ambiental, saúde, segurança e entretenimento [4].

As inovações decorrentes de desenvolvimento nos campos de computação, aplicações móveis, consumo de potência, Internet das Coisas (*Internet of Things*, IoT) e Internet de Tudo (*Internet of Everything*, IoE) determinam o cenário da indústria eletrônica atual [3]. Em especial, a limitação de espaço disponível em produtos móveis acelerou ainda mais a integração de vários recursos em um ambiente muito confinado. O novo sistema de fábricas *fabless* e de fundição abriu as portas para um fluxo interminável de novidades disponíveis a custos razoáveis e acessíveis. A tecnologia IoE, por exemplo, não seria bem-sucedida se os semicondutores não tivessem alimentado vários dispositivos de comunicação, *data centers*, roteadores e sensores [3].

Por fim, a busca por dispositivos emergentes pode gerar soluções que acabem substituindo totalmente a lógica CMOS e propondo arquiteturas de circuitos baseadas em novos materiais, segundo a abordagem “Além de Moore” [6].

## 1.2 Definição do problema

Investigar as possibilidades de dopagem eletrostática em diferentes arquiteturas de transistores com múltiplas portas bem como o impacto no desempenho do dispositivo, além da reconfiguração de polaridade ( $n$  ou  $p$ ) destes transistores.

## 1.3 Objetivos do projeto

Os objetivos deste trabalho são:

- Simular as características elétricas de transistores com múltiplas portas;
- Otimizar os transistores de múltiplas portas;
- Identificar as vantagens e desvantagens de cada geometria;

## 1.4 Apresentação do manuscrito

No capítulo 2 encontra-se uma revisão teórica necessária à correta compreensão deste trabalho, com foco em sistemas reconfiguráveis, nanomateriais e nas equações usadas pelo simulador numérico de dispositivos. Também são abordados conceitos referentes à dopagem eletrostática, transistores com múltiplas portas e ao inversor CMOS.

O capítulo 3 descreve a metodologia empregada no desenvolvimento do projeto, explanando cada uma das etapas seguidas para as simulações dos R-nanoFETs.

No capítulo 4 são apresentados e discutidos os resultados das investigações feitas através de simulação dos transistores.

O capítulo 5 refere-se as considerações finais do trabalho, além de algumas recomendações e propostas para trabalhos futuros. Por fim, no anexo, está contido um esboço do código de entrada usado no simulador de dispositivos.

## Capítulo 2

# Revisão Bibliográfica

Neste capítulo são expostos conceitos e técnicas essenciais para a realização do projeto, que está organizado da seguinte forma: na Seção 2.1 são abordados sistemas reconfiguráveis e o estado deles nas pesquisas atuais, na Seção 2.2 são introduzidos nanomateriais e os transistores de efeito de campo baseados neles, na Seção 2.3 a teoria de nanotubos de carbono é explanada, as equações usadas para caracterizar o comportamento de dispositivos semicondutores estão detalhadas na Seção 2.4, a definição e usabilidade de dopagem eletrostática aplicada a transistores está na Seção 2.5, a aplicabilidade de geometrias de múltiplas portas está na Seção 2.6 e por fim, um inversor CMOS é caracterizado na Seção 2.7.

### 2.1 Sistemas Reconfiguráveis

Sistemas reconfiguráveis são estruturas que combinam parte da flexibilidade de software com o alto desempenho de hardware. A capacidade de configurar eletrônicos para executar funções personalizadas após a fabricação permite a realização de sistemas multifuncionais eficientes, tanto em área quanto em energia [8, 9]. Esses sistemas oferecem um bom equilíbrio entre a produtividade e a versatilidade da implementação ao armazenar funcionalidades em forma de sinais de programação para a memória externa ou, em alguns casos, até local [10].

Os possíveis casos de uso de sistemas reconfiguráveis são variados. Aplicações de segurança, espaciais e, em especial, móveis poderiam se beneficiar. Por exemplo, um conversor digital-analógico pode diminuir sua resolução quando a carga da bateria enfraquece, a ativação de um chip pode ser configurada para uma informação biométrica específica e um receptor pode ser modificado sob demanda para transmitir dados, evitando a necessidade de peso adicional em uma sonda espacial, reduzindo o número de dispositivos dedicados [11, 12].

Os sistemas de processamento de dados reconfiguráveis geralmente combinam um ou mais microprocessadores (específicos para a aplicação) em uma estrutura reconfigurável, muitas vezes realizado como um arranjo de portas programáveis em campo (*Field Programmable Gate Array*, FPGA) [8, 13].

Unidades funcionais personalizadas (também chamadas de unidades reconfiguráveis, UR) podem ser construídas na estrutura reconfigurável, de forma que ela não precisa ser projetada para cada aplicação. Ou seja, um sistema de computação reconfigurável pode ser construído a partir de componentes pré-fabricados, reduzindo significativamente o longo tempo de projeto inerente à implementação de um Circuito Integrado específico para uma aplicação (*Application-specific integrated circuit*, ASIC). Além disso, ao contrário de ASICs, o conjunto de URs implementado na estrutura reconfigurável pode mudar com o tempo, permitindo que ele se adapte para melhor corresponder às mudanças de ambiente ou de uso do sistema embarcado [13].

Além do conjunto de unidades funcionais, a estrutura reconfigurável consiste também em um *link* de interconexão reconfigurável e em uma interface flexível para se conectar com o resto do sistema. Em cada componente da estrutura há uma troca entre flexibilidade e eficiência. Uma estrutura altamente flexível é normalmente muito maior e mais lenta que uma menos flexível, por outro lado, uma estrutura mais flexível é mais capaz de se adaptar aos requisitos da aplicação [13].

As URs podem ser classificadas quanto a sua granularidade, sendo ela fina (*fine-grain*) ou grossa (*coarse-grain*). Uma UR fina tipicamente implementa uma única função em um pequeno número de bits, ou até em um único bit [8, 13]. Os tipos mais comuns de UR finas são *flip-flops* e tabelas de consulta (*Look-up Tables*, LUTs), que são usadas para implementar a maior parte da lógica em uma FPGA comercial. Por outro lado, uma UR de granulação grossa é geralmente muito maior e pode consistir em componentes de hardware mais complexos, como Unidades de Lógica e Aritmética (ULAs), microprocessadores e blocos de memória.

Um exemplo de granularidade fina e de armazenamento de funcionalidade na memória local foi apresentado em [10]. A porta lógica NAND/NOR reconfigurável baseada num único FET Ferroelétrico (FeFET) apresentada em [10] é um exemplo de UR fina com armazenamento de funcionalidade na memória local. Para isso, ela adota também uma operação lógica sequencial, isto é, além de usar a tensão da porta regular do transistor como uma das entradas da porta lógica, o estado de polarização interno do FeFET é aproveitado como segunda entrada. Dessa forma, a operação lógica desejada pode ser regulada ajustando o ponto de operação do FeFET e as funções de lógica e de memória são diretamente acopladas. As Figuras 2.1(a) e (b) demonstram a reconfigurabilidade do FeFET, mostrando que a curva  $I_d - V_g$  do FeFET pode ser deslocada relativamente à tensão de entrada da porta ao se aplicar uma tensão de fonte  $V_s$  específica ou uma tensão de polarização  $V_{bb}$  adequada no substrato. Nas Figuras, estado de polarização interno do FeFET é a Entrada A e a tensão da porta regular  $V_g$  é a entrada B.

Um FPGA comercial geralmente contém LUTs de três a seis entradas. Uma LUT de duas entradas está ilustrada na Figura 2.19(b), numa Seção mais a frente no texto. As LUTs são combinadas em blocos lógicos configuráveis (*Configuration Logical Block*, CLB), um exemplo de CLB comercial está na Figura 2.2. As estruturas reconfiguráveis que contém LUTs são muito flexíveis e podem ser usadas em qualquer circuito digital, porém, quando comparadas com estruturas de granulação mais grossa para uma mesma aplicação, elas têm significativamente mais área, atraso e *overhead* [13].

As novas gerações de FPGAs são cada vez mais atraentes e úteis do que seus predecessores

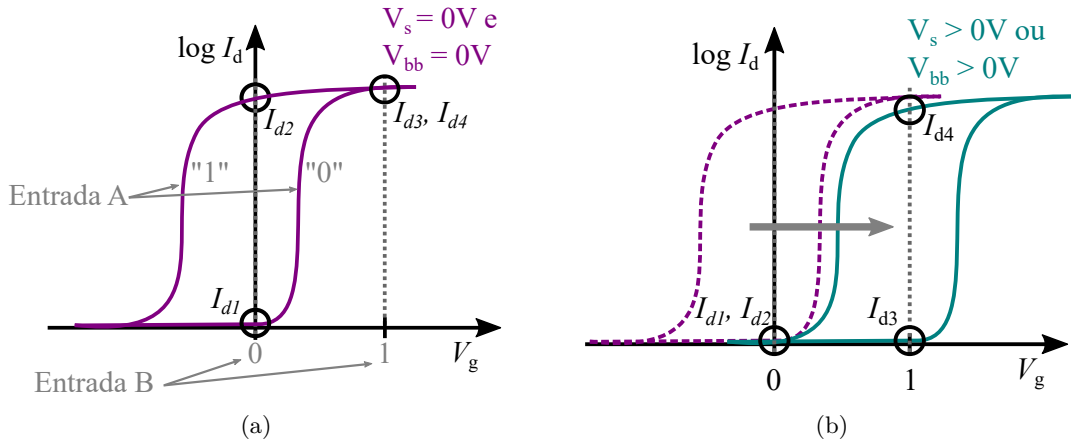


Figura 2.1: (a) Ilustração esquemática da curva  $I_d - V_g$  de um FeFET quando as tensões são configuradas para programar e apagar o transistor. Neste caso, o FeFET atua como uma porta NOR. (b) Ao aplicar uma tensão de fonte  $V_s$  ou uma tensão de polarização  $V_{bb}$ , ocorre um deslocamento na curva característica ao longo do eixo  $V_g$ , resultando em diferentes correntes  $I_d$  para uma mesma tensão de porta  $V_g$ . A porta lógica FeFET agora é uma NAND. Figuras adaptadas de [10].

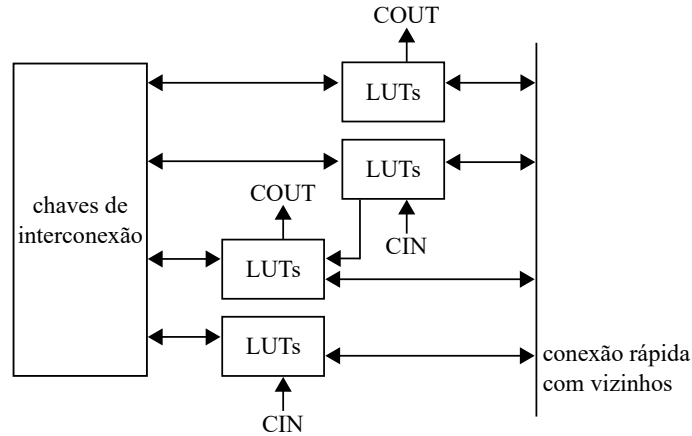


Figura 2.2: Arquitetura de um bloco lógico configurável comercial. Figura adaptada de [13].

devido aos avanços na tecnologia digital. Cada geração introduz benefícios e utilidades adicionais, além das mudanças já esperadas como maior tamanho e velocidade mais rápida [9]. Uma das melhorias é a capacidade de reconfigurar partes selecionadas de um FPGA a qualquer momento após sua configuração inicial. Essa habilidade é chamada de reconfiguração parcial (*Partial Reconfiguration*, PR).

Na reconfiguração parcial estática, o dispositivo não permanece ativo durante o processo de reconfiguração. Enquanto os dados de configuração parciais são enviados para o FPGA, o restante do dispositivo fica suspenso e só é reativado depois que a configuração é concluída. A reconfiguração parcial em tempo de execução, ou reconfiguração dinâmica (*Dynamic Partial Reconfiguration*, DPR), permite a reconfiguração de uma parte de um FPGA enquanto o restante continua a rodar continuamente sem perder nenhum dado. A DPR possibilita que o FPGA se adapte às mudanças nos algoritmos de hardware, melhore a tolerância a falhas e a utilização de recursos, de forma a

melhorar o desempenho ou reduzir o consumo de energia [14].

A múltipla funcionalidade de sistemas reconfiguráveis pode ser obtida por um hardware definido pelo software, como por exemplo, um rádio definido por software (*software-defined radios*, SDRs) [9, 15]. O SDR não possui uma definição única, unificada e reconhecida globalmente, no entanto, o principal parâmetro nas várias interpretações e termos relacionados é quão flexível a forma de onda de rádio pode ser alterada através da troca de software e sem modificar a plataforma SDR (a combinação de hardware e ambiente operacional onde a aplicação da forma de onda está em execução). A evolução para os sistemas SDR foi impulsionada em parte pela evolução das tecnologias capacitadoras, em primeiro lugar os conversores DA e AD e os Processadores de Sinais Digitais (*Digital Signal Processors*, DSPs), mas também dos GPPs (*General Purpose Processors*, processadores para uso geral) e FPGAs. Uma força motriz importante também tem sido a demanda por soluções de comunicação de rádio mais flexíveis e reconfiguráveis, em particular do setor militar [11, 16]. A natureza reconfigurável de um FPGA fornece uma boa base para a criação de um projeto modular que possa carregar as funções desejadas conforme necessário, em particular com os avanços em DPR, gerando uma oportunidade única para criar um desenho extremamente flexível e compacto.

A arquitetura de software mais utilizada para SDRs é a arquitetura de comunicação de software (*Software Communications Architecture*, SCA) [15]. A SCA, juntamente com as ferramentas baseadas nela, permite que os projetistas criem aplicações baseadas em componentes para SDRs, o que facilita a reutilização de partes de aplicações, pois os componentes têm entradas, saídas e requisitos de contexto claramente definidos e são unidades implantáveis. Além disso, a SCA define um protocolo e um ambiente para os componentes da aplicação, gerando um padrão para instanciação, gerenciamento, conexão e comunicação entre os módulos, e assim, ela contribui para fornecer portabilidade e capacidade de reutilização dos componentes.

SDRs oferecem novos produtos e oportunidades de mercado, além de ter o potencial de mudar os modelos de negócios na indústria de comunicação via rádio. Para o setor militar, em que os sistemas de comunicação precisam ter um tempo de vida útil mais longo do que no setor comercial, SDRs ajudam a proteger os investimentos pois permitem a possibilidade de alterar formas de onda e/ou carregar novas formas de onda em equipamentos SDR já adquiridos. Já para o setor comercial, uma das principais motivações é a rápida evolução dos padrões de comunicação, que faz com que as atualizações dos softwares de estações base sejam uma solução mais atraente do que a dispendiosa substituição das estações inteiras. Resumidamente, o SDR abre um leque de possibilidades para ambos setores, ao facilitar a implementação de tipos existentes de aplicações de rádio e permitir novos tipos de utilização. Em particular, a capacidade de computação e a flexibilidade do SDR podem ser exploradas para desenvolver Rádios Cognitivos, que são unidades adaptativas e sensíveis ao contexto, que também podem aprender com suas adaptações [16]. O SDR também é benéfico para aplicações espaciais, pois fornece a flexibilidade que permitirá que equipamentos de comunicação por satélite implantados sejam atualizados por software, de acordo com os avanços em algoritmos e padrões de comunicação, propiciando vários usos durante a vida útil do satélite [11].



Um desafio fundamental para os projetos de SDR é fornecer desempenho computacional suficiente para as tarefas de processamento de sinal e dentro dos requisitos de peso e potência de tamanho relevante. Isso é particularmente desafiador para pequenas unidades portáteis e para unidades onipresentes. Aprimoramentos paralelos de computação e a rápida evolução do desempenho de DSP e FPGA ajudam a fornecer esse desempenho computacional [15].

Um arranjo de transistores programáveis em campo (*Field Programmable Transistor Array*, FPTA) é um projeto conceitual para hardware reconfigurável a nível de transistor. Enquanto um FPGA utiliza CLBs compostos por LUTs para gerar funções lógicas combinacionais, o FPTA depende de uma matriz de transistores configurável que pode ser interconectada para implementar bibliotecas de células convencionais. Em comparação com FPGAs, os FPTAs podem melhorar o uso de área ao empregar URs menores, habilitar o compartilhamento de tempo entre múltiplos circuitos e diminuir o atraso de reconfiguração dinâmica e parcial [17, 18].

Um transistor pode ser reconfigurado quanto à sua polaridade ( $n$  ou  $p$ ) e ao consumo de energia (ajuste da tensão de limiar e da forma da corrente no dreno). A reconfiguração no nível do transistor permite a definição de blocos de construção ou subcircuitos em vários níveis de granularidade. No nível mais baixo, é possível configurar subcircuitos, como espelhos de corrente e pares diferenciais, usando apenas uma célula, enquanto blocos mais complexos, como portas lógicas e amplificadores operacionais, também podem ser facilmente configurados com uma ou duas células. Uma vez que circuitos CMOS dependem fundamentalmente de funções implementadas com transistores, o FPTA aparece como uma plataforma versátil para a síntese de circuitos analógicos, digitais e de sinais mistos. Além disso, experimentos com o FPTA evidenciam a possibilidade de usar algoritmos evolutivos para a síntese automática de circuitos analógicos [18].

Circuitos com reconfigurabilidade AND/OR e OR/AND/XOR acionada por sinais de programa ou pela alteração da tensão de alimentação já foram desenvolvidos por algoritmos de otimização genética. Em um experimento, a porta polimórfica AND/OR muda de AND quando a tensão de alimentação é de 1.2 V para OR quando a tensão é 3.3 V. Já em outro, a porta polimórfica OR/AND/XOR possui 10 transistores e reage na mudança de um sinal de controle  $V$  da seguinte forma: a porta é OR se  $V = 0$  V, XOR se  $V = 1.5$  V, e AND se  $V = 3.3$  V [12].

Pequenas URs também são necessárias para chips que emulam redes neurais, por exemplo, para codificar o estado de condutância das sinapses de um neurônio [19]. Um chip de integração de escala muito grande (*very large scale integration*, VLSI) de sinal misto para emulação de redes neurais pulsadas é apresentado em [19]. O chip contém 2400 neurônios de silício com conectividade sináptica totalmente programável e reconfigurável. Cada neurônio implementa em tempo discreto o modelo de célula de estrutura única, comumente usado em neurociência computacional para descrever o fluxo iônico através de membranas neurais biológicas. O esquema celular neural é mostrado na Figura 2.3, juntamente com o circuito de geração de eventos para acionar e transmitir os picos de saída (também chamados de potencial de ação, eles modelam o impulso nervoso). Usando uma arquitetura de capacitores comutados, este circuito permite um número virtualmente ilimitado de conexões entre os neurônios, com controle independente da condutância e potencial de reversão em uma base por conexão.

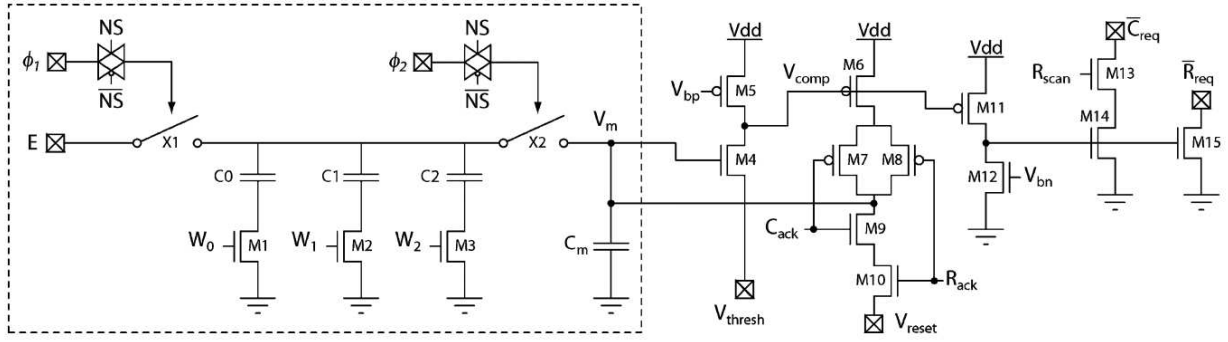


Figura 2.3: Neurônio de silício e sinapse de “propósito geral” (dentro da caixa tracejada), com circuito de geração de eventos (mostrado à direita). Quando o endereço de um evento de entrada é decodificado, os circuitos de seleção de linha e coluna ativam a linha de seleção de neurônios da célula (NS), os sinais globais  $W_{0,1,2}$  e  $E$  são estabelecidos e o pico é registrado por um pulso em  $\phi_1$  seguido por um pulso em  $\phi_2$ . Figura adaptada de [19].

## 2.2 Nanomateriais e nanoFETs

Os nanomateriais são semicondutores que apresentam um canal condutor unidimensional (1D) [2]. Sistemas unidimensionais são muito especiais em comparação com suas contrapartes bidimensionais (2D) ou tridimensionais (3D), pois há apenas uma direção específica ao longo da qual as partículas podem se mover livremente enquanto estão fortemente confinadas ao longo de outras duas direções [20].

As propriedades elétricas de nanoestruturas de baixa dimensionalidade são diferentes de sua forma produzida em massa. Essa variação pode ser explicada com base na diferença na densidade eletrônica de estados (*Density of States*, DOS). Em geral, a DOS ( $\rho$ ) é proporcional a energia e dimensionalidade (3, 2 ou 1 dependendo se é 3D, 2D ou 1D), na forma:  $\rho \propto E^{D/2-1}$ . Além disso, o confinamento espacial em nanoestruturas causa uma mudança na largura de suas bandas proibidas (*band gap*) ao se reduzir o tamanho. Assim, as propriedades de transporte elétrico das nanoestruturas são dependentes de seus tamanhos e formas característicos [20].

Os canais ultrafinos necessários para o transporte 1D podem ser feitos com nanofios, nanotubos ou nanofibras automontáveis ou através da deposição de filmes semicondutores em substratos isolantes [21]. Ademais, algumas tecnologias emergentes utilizando nanomateriais envolvem engenharia de carbono, elementos além do Grupo IV da tabela periódica e materiais orgânicos [2].

A engenharia de carbono busca novas formas de carbono puro, como grafeno e nanotubos (Figura 2.4), que serão explorados mais a fundo na Seção 2.3.

Os elementos do Grupo IV da tabela periódica, como carbono (C) e silício (Si), são convencionalmente usados para produção de eletrônicos em massa [2], mas existem outros elementos e compostos químicos que podem ser usados, como:

- Semicondutores do Grupo III-V [2], que podem ser usados para realizar transistores de heterojunção, por exemplo: arsenieto de gálio (GaAs), fosfeto de índio (InP), arsenieto de

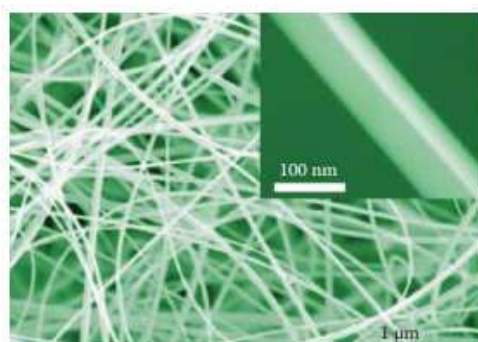


Figura 2.4: Nanotubos de carbono. Figura extraída de [2].

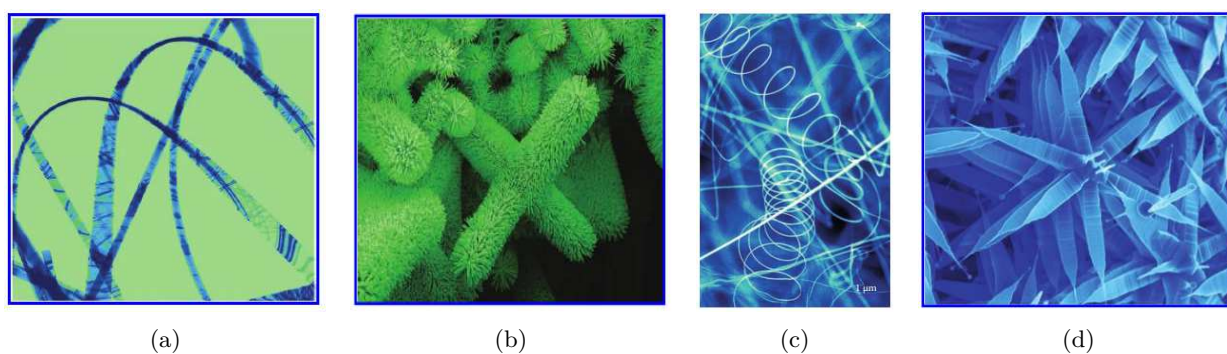


Figura 2.5: Nanoestruturas feitas de ZnO: (a) nanofitas, (b) matrizes de nanofios, (c) nanohélices e (d) nanopropulsores. Figura extraída de [2].

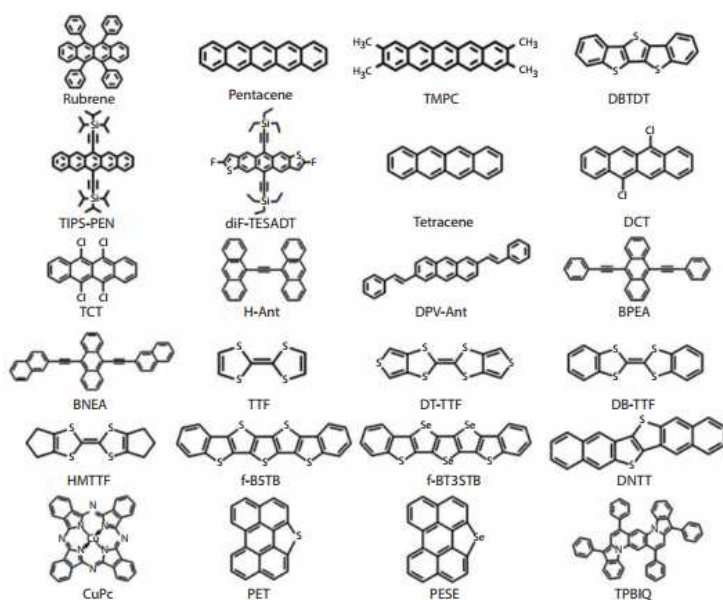


Figura 2.6: Exemplos de materiais orgânicos úteis em eletrônica e fotônica. Figura extraída de [2].

índio (InAs), silício-germânio (SiGe) e nitreto de gálio (GaN);

- Óxido de zinco (ZnO) [2], que pertence ao Grupo II-VI e pode ser usado em diversos arranjos: nanofitas, matrizes de nanofios, nanohélices, nanossensores e nanopropulsores, vide Figura 2.5;
- Dicalcogenetos de metais de transição do Grupo VI [22], que são compostos por  $MX_2$ , onde  $M$  e  $X$  representam respectivamente metais de transição – como molibdênio (Mo) e tungstênio (W) – e calcogênios, como enxofre (S), selênio (Se) e telúrio (Te);
- Fósforo preto [2, 22], do Grupo V, que possui propriedades eletrônicas e fotônicas muito interessantes que podem gerar novos dispositivos importantes.

Por fim, os materiais orgânicos são construídos a partir de moléculas à base de carbono ou de polímeros, utilizando estratégias sintéticas, e podem ser divididos em duas classes: pequenas moléculas condutoras e polímeros condutores, vide Figura 2.6. Além de flexíveis e dobráveis, possuem baixo custo em comparação com dispositivos tradicionais baseados em cristais [2].

Neste estudo, os transistores de efeito de campo (FETs) baseados em nanomateriais são chamados de nanoFETs. Os FETs baseados em nanotubos de carbono (*carbon nanotubes*, CNTs), de acrônimo CNTFETs, serão especialmente investigados.

## 2.3 Nanotubos de carbono (CNTs)

Os nanotubos de carbono (CNTs) têm sido sintetizados há muito tempo como produtos originados da decomposição térmica de hidrocarbonetos. Eles consistem de tubos feitos de um material semelhante ao grafite enrolados em si mesmos para formar cilindros com diâmetros variando de 1 nm até vários nanômetros, mas com comprimentos que podem se aproximar de milímetros ou mais [23, 24].

Vários métodos são conhecidos para fabricação de CNTs, os mais comuns são o arco elétrico, ablação a laser e deposição de vapor químico. No entanto, apenas este último permite uma montagem controlada em uma pastilha com alta densidade de tubos, que é indispensável para transistores de efeito de campo (CNTFETs) em aplicações de alta frequência. Dependendo do processo, CNTs de parede simples (*single-walled carbon nanotubes*, SWNTs), CNTs de múltiplas paredes (*multi-walled carbon nanotubes*, MWNTs) ou uma mistura de ambos podem ser cultivados [25].

Historicamente, MWNTs são conhecidos há muito tempo, enquanto os SWNT foram descobertos em 1993, por Iijima et al. [26] e Bethune et al. [27]. Para aplicações semelhantes a transistores, os MWNTs devem ser evitados por várias razões, como por exemplo, uma capacidade de controle de porta reduzida e um alto risco de cascas metálicas [25].

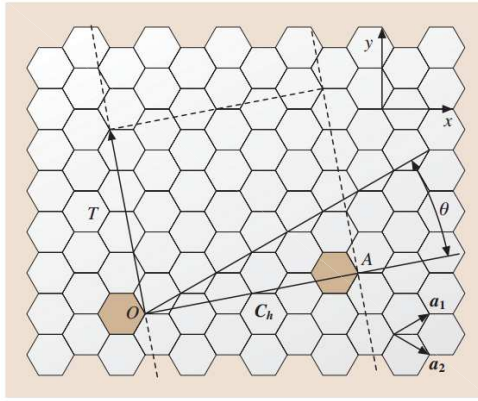


Figura 2.7: Esboço da forma de produção de um nanotubo de carbono de parede simples, a partir de uma folha de grafeno. Figura extraída de [23].

### 2.3.1 Propriedades eletrônicas de CNTs

As interessantes propriedades de material dos CNTs estão fortemente relacionadas à sua estrutura cristalina. A maioria destas características decorrem das propriedades eletrônicas de seu elemento fundamental: a folha de grafeno. Grafeno é uma camada poliaromática mono-atômica feita de uma tela hexagonal de átomos de carbono  $sp^2$ -híbridos (a mesma usada na construção de grafite) [23]. As ligações entre os átomos de carbono vizinhos em uma folha de grafeno são fortes em comparação com as ligações perpendiculares à folha. Mas enquanto o grafeno não tem banda proibida intrínseca e é um semi-metal, as características elétricas de um nanotubo de carbono dependem em grande parte da estrutura cristalográfica que pode resultar em comportamento metálico ou semicondutor [25].

Existem muitas maneiras de enrolar uma folha de grafeno em um SWNT, já que a componente do vetor de onda ao longo do eixo do tubo pode assumir qualquer valor [23]. A estrutura de uma folha de grafeno está ilustrada na Figura 2.7, assim como os vetores de base  $a_1$  e  $a_2$  que descrevem suas células unitárias. A geometria do tubo dobrado é matematicamente definida por um vetor de quiralidade  $C_h$  que conecta dois átomos cristalográficos equivalentes. Usando os vetores de base,  $C_h$  é descrito pela Equação (2.1), onde o conjunto  $(n_1, n_2)$  é chamado de índice de quiralidade [24, 25].

$$OA = C_h = n_1 a_1 + n_2 a_2. \quad (2.1)$$

Diferentes índices de quiralidade produzem CNTs cujos vetores da rede estão em diferentes orientações relativas ao eixo do tubo. Alguns dos CNTs resultantes apresentam simetria espelhada ao eixo do tubo, como nas Figuras 2.8(a) e (b), enquanto outros não (Figura 2.8(c)). Esses são chamados de nanotubos "quirais". A quiralidade vincula diretamente as características da estrutura cristalina a importantes propriedades geométricas e elétricas dos nanotubos, como o diâmetro do tubo e a largura da banda proibida, além de definir se o CNT será semicondutor ou metálico [25].

A estrutura de banda de um dispositivo relaciona o *momentum* (descrito por um vetor de onda

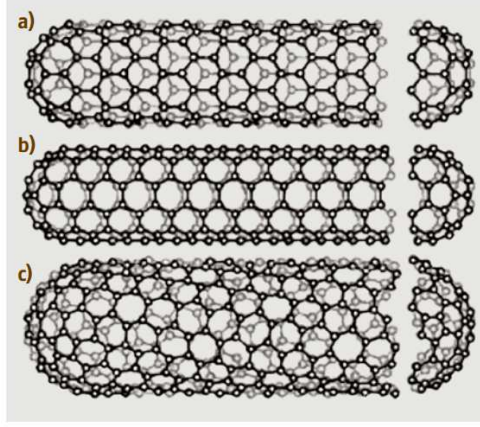


Figura 2.8: Esboço de três estruturas SWNT diferentes: (a) um nanotubo do tipo *zig-zag*, (b) um nanotubo do tipo *poltrona*, (c) um nanotubo helicoidal. Figura extraída de [23].

$k$ ) de uma portadora a estados de energia permitidos. Os cálculos numéricos da estrutura de banda são baseados na solução da equação de Schrödinger com condições de contorno adequadamente escolhidas [25]. Para CNTs, esses cálculos podem ser feitos com base na estrutura de bandas do grafeno. Assim, considerando uma folha de grafeno na qual os átomos de carbono estão compactados em uma estrutura hexagonal regular com um comprimento de ligação  $a_{cc} \approx 0.142$  nm e uma energia de ligação  $t_{cc} \approx 3$  eV, o intervalo de energia de *band gap* ( $E_g$ ) mínimo para CNTs não metálicos é dado pela Equação (2.2), onde  $d_{cnt}$  é o diâmetro do tubo [28].

$$E_g = 2 \frac{a_{cc} t_{cc}}{d_{cnt}}. \quad (2.2)$$

Apenas os elétrons localizados próximos ao máximo da banda de valência e ao mínimo da banda de condução são de interesse para fenômenos elétricos. Para tal fim, é necessário avaliar a equação de Schrödinger usando uma aproximação de banda parabólica [25]. Essa aproximação se assemelha à relação de dispersão  $E(k)$  encontrada no modelo de elétrons livres e está exposta na Equação (2.3). Nela,  $\hbar$  é a constante de Planck reduzida,  $E_0 = E_g/2$  e  $\alpha = 1/E_g$  [29].

$$(E(k) - E_0)[1 + \alpha(E(k) - E_0)] = \frac{\hbar^2 k^2}{2m_0 m^*}. \quad (2.3)$$

Como o elétron está em um cristal, sua massa “efetiva” ( $m^*$ ) é diferente da massa de um elétron no vácuo ( $m_0$ ) [30]. Usando  $m^* = E_g/(2v_f)$  na Equação (2.3), onde  $v_f$  é a velocidade de Fermi, tem-se a aproximação de *Mintmire*, e a relação de dispersão pode ser vista na Equação (2.4).

$$E(k) = \pm \sqrt{(E_g/2)^2 + (\hbar v_f k)^2}. \quad (2.4)$$

A Figura 2.9(a) mostra a dependência entre o diâmetro e a largura de banda proibida ( $E_g$ ) para tubos semicondutores. Resultados experimentais por meio de espectroscopia de tunelamento verificam que essa relação é de aproximadamente  $1/d_{cnt}$ , ou seja, quanto menor o diâmetro do tubo, maior é o tamanho da *band gap*. Já a Figura 2.9(b) demonstra a dependência do diâmetro

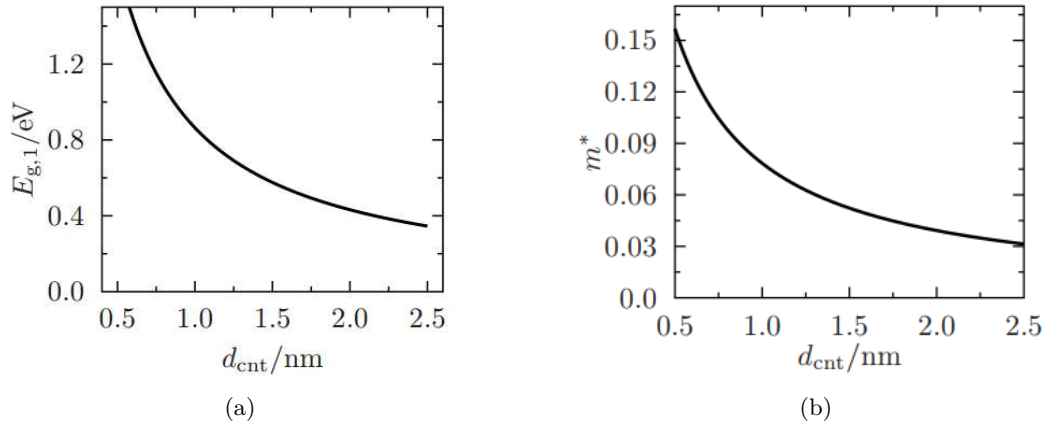


Figura 2.9: Dependência do diâmetro de (a) energia de banda proibida ( $E_g$ ) para tubos semicondutores e (b) massas efetivas ( $m^*$ ). Figuras extraídas de [25].

da massa efetiva, onde é possível averiguar que quanto menor o diâmetro do tubo, maior é a massa efetiva [25].

A condutância de CNTs é frequentemente comparada com a resistência fundamental associada a um transporte balístico unidimensional. Um único nanotubo deve fornecer uma condutância diferencial de  $g_0 = 4q^2/h$  (sendo  $q$  a carga do elétron), porém, um valor muito menor é tipicamente observado na prática [25, 28]. Essa anomalia pode ser atribuída aos efeitos de dispersão e às imperfeições nos contatos. Medições em CNTs metálicos (mais adequados para o estudo dos efeitos de dispersão) com canais de  $3 \mu\text{m}$  de comprimento e contatos quase perfeitos mostram uma condutância diferencial de  $0.2g_0$  a  $0.8g_0$ . Baseado nessas medições é previsto um caminho livre médio de  $l_d > 4 \mu\text{m}$  para dispersão por defeitos (impurezas) e de  $l_{ac} > 1.6 \mu\text{m}$  para espalhamento de fônons acústicos (vibrações da rede de cristal) a temperatura ambiente e baixos campos elétricos.

Na fabricação de CNTs em grande escala, tipicamente se produz um conjunto de tubos semicondutores e metálicos. Os SWNT semicondutores são utilizados para fazer canais de CNTFETs, como ilustrado na Figura 2.10. Atualmente, no entanto, não existe uma técnica estabelecida para eliminar os metais, e embora tubos metálicos sejam usados para realizar interconexões entre outros componentes eletrônicos (em razão de criarem um curto entre os contatos de fonte e dreno), eles ainda apresentam parasitas no canal, que podem degradar o desempenho de um transistor, e precisam ser melhorados para essa finalidade [24, 25].

Os CNTs usados em CNTFETs frequentemente apresentam condução do tipo  $p$  (onde lacunas são as portadoras de carga majoritárias) [28]. Porém, moléculas absorvidas na superfície do CNT podem introduzir estados de defeito (armadilhas) perto da borda da banda de condução que supostamente afetam o transporte de cargas e a curvatura de bandas para regiões de operação com uma população de elétrons significativa [31].

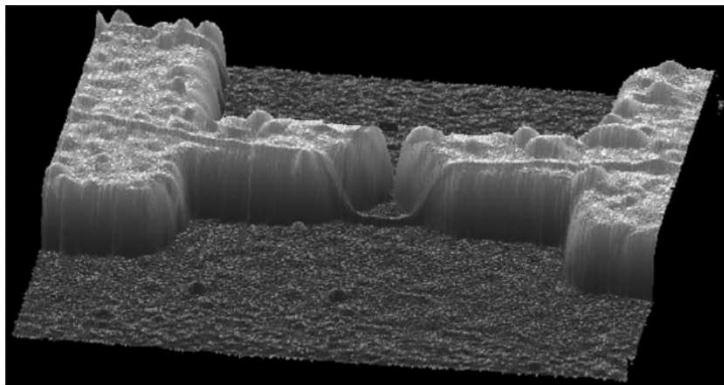


Figura 2.10: Transistor de efeito de campo FET feito de um único nanotubo de carbono que liga os conectores de fonte e dreno. Figura extraída de [24].

## 2.4 Equações para o transporte de cargas

As equações de transporte são um conjunto de cinco equações que governam o comportamento de materiais e dispositivos semicondutores [30]. Essas equações de transporte são implementadas no simulador numérico para a simulação de transistores de canal unidimensional.

### 2.4.1 Equação de Poisson

A solução da equação de Poisson determina o potencial eletrostático  $\psi$  dentro de um dispositivo semicondutor. Conseqüentemente, a estrutura geral do dispositivo, os potenciais de contato e a distribuição de cargas no interior do dispositivo são levados em conta.

Simulações eletrostáticas simples em 1D ou 2D, comuns à transistores bipolares ou MOS, não são suficientes para capturar o correto acoplamento eletrostático entre o nanotubo e os contatos, devido a característica unidimensional do CNT. Se, adicionalmente, a distância entre tubos vizinhos é baixa (conforme é esperado em futuros transistores multitubo), o acoplamento eletrostático intertubo pode alterar significativamente o comportamento do dispositivo. Apenas geometrias de contato em 3D permitem estudar os efeitos de acoplamento eletrostático entre o tubo e os contatos e, portanto, precisam da implementação de uma equação de Poisson em 3D (descrita na Equação (2.5)) com a permissividade  $\varepsilon$  espacialmente dependente (com componentes em  $x$ ,  $y$  e  $z$ ), e com a densidade de cargas  $\rho$  que depende tanto do domínio do tempo quanto do espaço [25].

$$\frac{\partial}{\partial x} \left( \varepsilon \frac{\partial \psi}{\partial x} \right) + \frac{\partial}{\partial y} \left( \varepsilon \frac{\partial \psi}{\partial y} \right) + \frac{\partial}{\partial z} \left( \varepsilon \frac{\partial \psi}{\partial z} \right) = -\rho. \quad (2.5)$$

A Equação (2.6) denota a densidade de portadores ao longo do tubo em um domínio de simulação tridimensional [25], ou seja,  $n(x, y, z) = n(x) \delta(y - y_0) \delta(z - z_0)$ . Ela compreende a carga do elétron  $q$ , os portadores de carga móveis ( $n$  para elétrons e  $p$  para lacunas) e os possíveis íons ( $N_D^+$  para doadores e  $N_A^-$  para receptores) que aderem à superfície, mas são atribuídos a essa densidade de carga unidimensional. Como já mencionado, a densidade de cargas em um CNT é



unidimensional, em contraste com materiais semicondutores convencionais como o silício.

$$\rho_{3D}(x, t) = q \left( N_D^+(x) - N_A^-(x) + p(x, t) - n(x, t) \right). \quad (2.6)$$

#### 2.4.1.1 Condições de fronteira

As condições de fronteira (também chamadas de condições de contorno) são especificadas para estabelecer a unicidade na solução da equação de Poisson. Para isso, o valor de  $\psi$  em dois pontos extremos da região semicondutora são estabelecidos [32]. As portas metálicas são superfícies eletrostaticamente equipotenciais, cujo valor  $\psi$  é determinado pela tensão aplicada na porta. Similarmente, os contatos também apresentam a condição de potencial eletrostático de valor constante, o que implica que o campo elétrico é perpendicular em todas essas superfícies [25].

A geometria do dispositivo determina as condições de fronteira na interface entre os contatos de metal e o CNT. Para  $\psi$  ao longo dos contatos metálicos, a condição de contorno é dada pela Equação (2.7), onde  $V_c$  é a tensão aplicada no contato e  $E_{g,1}$  é o *band gap* da primeira sub-banda do CNT.  $\Phi_{SB,n}$  é a altura da barreira de Schottky (*Schottky barrier*, SB) para os elétrons no contato [25], definida na Equação (2.8), que segue o modelo de Schottky [33] e Mott [34]. Neste modelo,  $\Phi_m$  é a função de trabalho do metal e  $\mathcal{X}_{cnt}$  é a eletroafinidade do CNT.

$$q\psi = \frac{1}{2}E_{g,1} - \Phi_{SB,n} + qV_c, \quad (2.7)$$

$$\Phi_{SB,n} = \Phi_m - \mathcal{X}_{cnt}. \quad (2.8)$$

No dispositivo, diferentes condições de fronteira são usadas, dependendo do material da região em questão [25]. Para as regiões metálicas, a condição de Dirichlet [35] é usada para determinar diretamente o valor do potencial eletrostático. Já para as regiões não-metais e para os limites exteriores do dispositivo, a condição de Neumann [35] é usada para demonstrar que o gradiente perpendicular da superfície tem valor constante.

#### 2.4.2 Equações de Deriva e Difusão

Existem duas maneiras de mover uma carga em um semicondutor: por deriva, cuja força motriz é um campo elétrico, e por difusão, impulsionada pela variação da densidade de cargas [2].

Ao aplicar uma tensão ao longo de uma amostra de comprimento  $l$ , um campo elétrico  $\mathcal{E} = V/l$  é induzido, de forma que os elétrons e lacunas se movem (derivam) em resposta a esse “campo de deriva”. Esse processo é observado na Figura 2.11. Uma portadora ganha energia cinética, isto é, sua velocidade aumenta a partir do campo aplicado, e então se dispersa, reduzindo sua velocidade (energia) [2]. Os eventos de dispersão ou espalhamento são aqueles que impedem o movimento das portadoras de carga. Os dois eventos mais importantes são o de dispersão da rede de cristal, que refletem a interação das portadoras com as vibrações termicamente induzidas

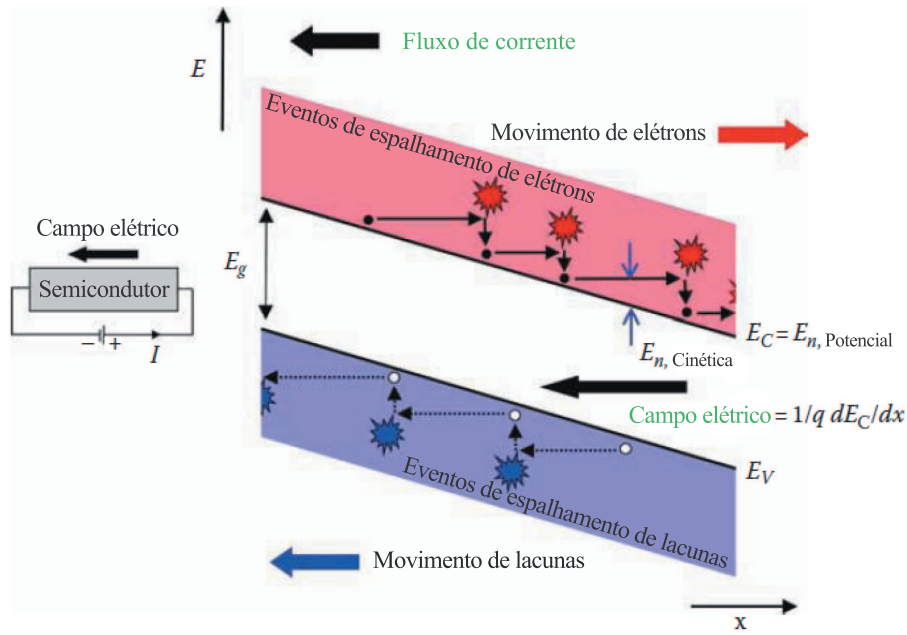


Figura 2.11: Aplicação de um campo elétrico a um semicondutor, resultando na curvatura de bandas. Um movimento de elétrons e lacunas é produzido, sujeito aos processos de espalhamento em operação e gerando um fluxo de corrente da direita para a esquerda. Figura extraída de [2].

da rede cristalina, também chamado de espalhamento de fônons acústicos; e o espalhamento por defeitos, ou impurezas, relacionado aos dopantes que carregam impurezas no cristal.

A velocidade de deriva ( $\bar{v}_{\text{drift}}$ ) é proporcional a  $\mathcal{E}$ . Uma velocidade de portadora mais rápida é desejável, pois ela permite que um dispositivo ou circuito semicondutor opere a uma velocidade maior [36]. Porém, as velocidades dos elétrons e das lacunas saturam em torno de  $10^7$  cm/s e não aumentam além disso, não importando quão grande seja o campo aplicado. A constante de proporcionalidade é chamada de mobilidade das portadoras de cargas e pode ser definida como  $\bar{v}_{\text{drift}} = \mu \mathcal{E}$  [2]. A velocidade média máxima é chamada de velocidade de saturação ( $v_{\text{sat}}$ ).

As densidades de corrente de deriva de elétrons e lacunas são respectivamente descritas pelas Equações (2.9) e (2.10), sendo  $n$  e  $\mu_n$  a concentração e mobilidade de elétrons, e  $p$  e  $\mu_p$  de lacunas [36].

$$\vec{J}_{n,\text{drift}} = q\mu_n n \vec{\mathcal{E}}, \quad (2.9)$$

$$\vec{J}_{p,\text{drift}} = q\mu_p p \vec{\mathcal{E}}. \quad (2.10)$$

Já a corrente de difusão é resultado de partículas sujeitas a um movimento térmico quando não há influência de um campo de deriva, como visto na Figura 2.12. Por analogia com as leis da difusão em gases ou líquidos, as partículas se movem de uma região de maior densidade em direção a uma de menor densidade [36]. Considerando um semicondutor onde a concentração de portadoras de carga não é uniforme, haverá uma corrente de difusão proporcional ao gradiente de concentração ( $\nabla n$  para elétrons ou  $\nabla p$  para lacunas) [30].

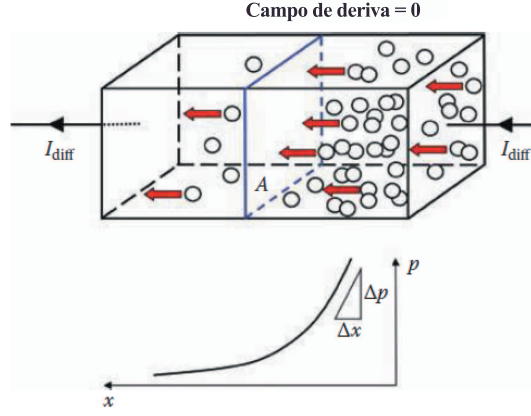


Figura 2.12: Modelo para determinar a corrente de difusão que flui em resposta ao gradiente de concentração dos portadores de carga. Figura extraída de [2].

As densidades de corrente de difusão de elétrons e lacunas são descritas pelas Equações (2.11) e (2.12), nelas os respectivos coeficientes de difusão ( $D_n$  e  $D_p$ ) representam a constante de proporcionalidade. A diferença no sinal da Equação (2.12) é devido à carga negativa do elétron.

$$\vec{J}_{n,\text{diffusion}} = qD_n \nabla n, \quad (2.11)$$

$$\vec{J}_{p,\text{diffusion}} = -qD_p \nabla p. \quad (2.12)$$

Em geral, tanto a deriva quanto a difusão podem contribuir para a corrente num semicondutor. A corrente total é composta pela soma das componentes de deriva (Equações (2.9) e (2.10)) e de difusão (Equações (2.11) e (2.12)) [30]. Ademais, em um sistema 1D, as concentrações de portadores de carga são representadas por  $dn/dx$  e  $dp/dx$  [2]. Por fim, a densidade total da corrente é simplesmente a soma das densidades de corrente de elétrons e lacunas. Dessa forma, as equações de Deriva-Difusão (DD) são definidas nas Equações (2.13), (2.14) e (2.15).

$$\vec{J}_{n,\text{total}} = q\mu_n n \vec{\mathcal{E}} + qD_n \frac{dn}{dx}, \quad (2.13)$$

$$\vec{J}_{p,\text{total}} = q\mu_p p \vec{\mathcal{E}} - qD_p \frac{dp}{dx}, \quad (2.14)$$

$$\vec{J}_{\text{total}} = \vec{J}_n + \vec{J}_p. \quad (2.15)$$

### 2.4.3 Equações de Continuidade

Quando os portadores de carga se movem em um semicondutor devido à deriva ou difusão, as concentrações de portadoras em diferentes pontos e dependentes do tempo são dadas pelas equações de continuidade.

A Equação (2.16) para elétrons mostra que: para fluxo de corrente unidimensional na direção  $x$  ( $\vec{J}_n$ ), a variação do número de elétrons livres como uma função do tempo ( $\partial n/\partial t$ ) é dada pelo

número de elétrons que entram no volume, menos o número de elétrons fluindo para fora do volume, mais o número de elétrons gerados ( $G_n$ ) menos o número de elétrons recombinados  $U_n$ , onde  $R = G_n - U_n$ . Para lacunas, a Equação (2.17) é derivada similarmente.

$$\frac{\partial n}{\partial t} = \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n - R, \quad (2.16)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_p - R. \quad (2.17)$$

No simulador, ao se considerar o sistema estacionário, os termos dependentes do tempo são zero e não há processos de geração e recombinação, nem armadilhas. Assim, as equações se tornam apenas a variação de corrente igual a zero,  $\vec{\nabla} \cdot \vec{J} = 0$ , ou seja, a corrente é constante em cada ponto do semiconductor.

#### 2.4.4 Potenciais de quasi-Fermi

No equilíbrio termodinâmico e na ausência de forças externas aplicadas, as concentrações de portadores de cargas são uma função do potencial interno no semiconductor, e o nível de Fermi  $E_F$  é único para elétrons e lacunas [30]. Porém, qualquer combinação de deriva e difusão implica em uma variação no nível de Fermi  $E_F$ , de forma que as condições de equilíbrio não mais se aplicam [32].

Porém, para simplificar as equações resolvidas no simulador, são empregados dois potenciais de energia de referência em vez de um único nível de Fermi comum a ambos os tipos de portadores. Chamados de potenciais de quasi-Fermi, são usados para elétrons ( $\varphi_n$ ) e para lacunas ( $\varphi_p$ ) separadamente.

Nas Equações (2.18) e (2.19) são descritos os cálculos da concentração dos portadores de carga, onde  $n_i$  é a concentração intrínseca,  $k_B$  é a constante de Boltzmann e  $T$  é temperatura.

$$n = n_i \exp\left(\frac{\varphi_n - E_F}{k_B T}\right), \quad (2.18)$$

$$p = n_i \exp\left(\frac{E_F - \varphi_p}{k_B T}\right). \quad (2.19)$$

#### 2.4.5 Tunelamento

O tunelamento de cargas através de uma barreira potencial é um efeito previsto pela mecânica quântica que dá às cargas uma probabilidade finita de passar pela barreira, ao contrário de cargas que precisam de energia maior que a energia potencial da barreira para superá-la [30]. A aproximação de Wentzel-Kramer-Brillouin (WKB) é comumente usada para computar essa probabilidade de transmissão das cargas, que depende da forma, largura e altura da barreira.

Os três tipos de tunelamento observados em nanoFETs estão na Figura 2.13.

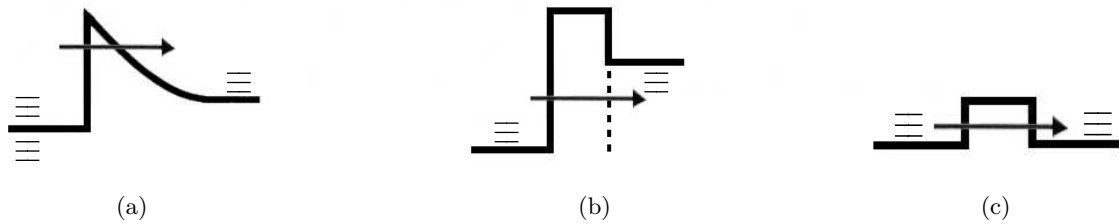


Figura 2.13: Tunelamento (a) através de barreira de Schottky, (b) banda para banda e (c) modulado pela porta.

**Barreira de Schottky** Em uma interface metal-semicondutor (tipo  $n$ ), os níveis de Fermi se alinham e o equilíbrio termodinâmico é estabelecido através da transferência de elétrons do metal para a banda de condução ( $E_c$ ) do semicondutor. A tensão aplicada modula a curvatura da banda e a largura da barreira [32], como visto na Figura 2.13(a). Para um semicondutor tipo  $p$ , os elétrons são extraídos da banda de valência ( $E_v$ ), ou seja, há transferência de lacunas.

**Banda para banda** Considerando uma junção  $pn$  onde ambas as regiões são altamente dopadas, o nível de Fermi no material do tipo  $n$  está acima do mínimo da  $E_c$ , e no material do tipo  $p$ , está abaixo do máximo da  $E_v$ . Ocorre tunelamento de banda para banda (*band-to-band*, BTB) entre as regiões [37], vide Figura 2.13(b).

**Barreira de potencial abaixo da porta** Uma barreira de potencial induzida pela porta ao longo do canal é mostrada na Figura 2.13(c). Essa barreira de potencial geral é usada para ligar ou desligar o transistor. Se a barreira for muito fina, ocorre tunelamento de cargas que contribui para a corrente de fuga. Assim, as portas precisam de um comprimento mínimo para o correto funcionamento do transistor.

## 2.5 Reconfigurabilidade a nível de transistor e dopagem eletrostática

A dopagem (*doping*) de semicondutores é uma das técnicas mais importantes da microeletrônica e praticamente possibilitou todos os dispositivos eletrônicos atuais, como diodos, transistores bipolares e de efeito de campo, bem como fotodetectores e células solares. Ela permite controlar a densidade de portadores de carga livres disponíveis no semicondutor, possibilitando mudanças muito grandes na condutividade do material e facilitando a condução do tipo  $n$  e  $p$  [38, 39].

Na dopagem química, os dopantes são inseridos no semicondutor por implantação iônica e sua ativação ocorre em temperaturas elevadas. No entanto, as estruturas dos transistores foram tão reduzidas nos últimos anos, que mesmo nos níveis mais altos de dopagem perto do limite de solubilidade, apenas um punhado de dopantes reside na nanoestrutura [38].

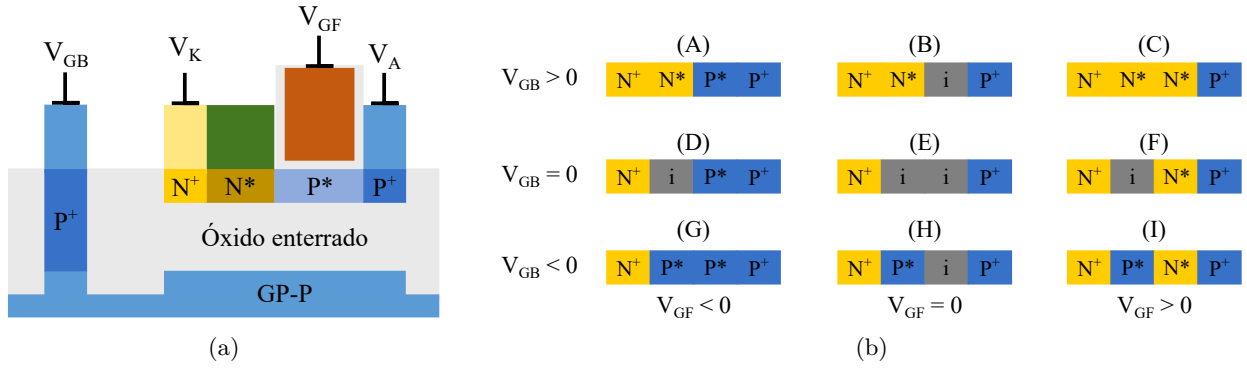


Figura 2.14: (a) Diodo reconfigurável baseado em FD-SOI e (b) configurações do diodo de acordo com o tipo de dopagem induzida pelas portas. Figuras adaptadas de [41].

CNTs e grafeno em sua forma original são insuficientes para satisfazer diversas demandas específicas para muitas aplicações diferentes. A dopagem química até otimiza as propriedades de material de carbonos grafiticos em alguns casos, contudo, a natureza bidimensional covalente da superfície do grafeno torna desafiador induzir qualquer modificação química sem alterar suas estruturas e propriedades químicas idealizadas [40].

Uma maneira viável de contornar os problemas relacionados à dopagem química é remover todos os dopantes e, em vez disso, usar eletrodos de porta adicionais nas regiões de fonte (*source*, S) e dreno (*drain*, D) para dopar o semiconductor eletrostaticamente [38]. A “dopagem eletrostática”, também definida como carga induzida pela porta, é uma característica única de estruturas de tamanho nanométrico. Alguns materiais utilizados para realizar canais ultrafinos adequados para dopagem eletrostática foram apresentados na Seção 2.2. Dispositivos reconfiguráveis baseados na tecnologia FD-SOI (*Fully Depleted Silicon-On-Insulator*, silício sobre isolante totalmente depletado) são um exemplo de filmes semicondutores depositados em substratos isolantes [41].

Em [41], um diodo *pn* é simulado em películas ultrafinas FD-SOI ao se polarizar apropriadamente as portas frontal e traseira. Uma capacidade distinta do diodo virtual é a possibilidade de ajustar as concentrações de dopagem eletrostática através das portas, de forma que ele pode ser reconfigurado em oito outros dispositivos. O diodo visto na Figura 2.14(a) é examinado para teste. A dopagem nas regiões com e sem porta é induzida pela tensão na porta frontal ( $V_{GF}$ ) e na porta traseira ( $V_{GB}$ ). Cada região pode ser do tipo *n*, tipo *p* ou totalmente depletada (denotada por *i*, por ser quase intrínseca), o que leva a nove possíveis configurações, mostradas na Figura 2.14(b).

Os nanoFETs frequentemente adotam uma arquitetura sem dopagem com contatos de fonte e dreno feitos de metais cuidadosamente escolhidos por terem uma função de trabalho apropriada. A título de exemplo, já foram reportados CNTFETs que usam paládio (Pd) para tipo *p* e escândio (Sc) para tipo *n* [42], FETs baseados em fosforeno que usam titânio (Ti) [43] e FETs baseados em WSe<sub>2</sub> (disseleneto de tungstênio), que usam paládio (Pd) para tipo *p* e níquel (Ni) para tipo *n* [44].

Em um contato ôhmico não há virtualmente nenhuma barreira potencial entre o metal e o semiconductor, de forma que elétrons e lacunas podem fluir livremente [30]. Do mesmo modo, as

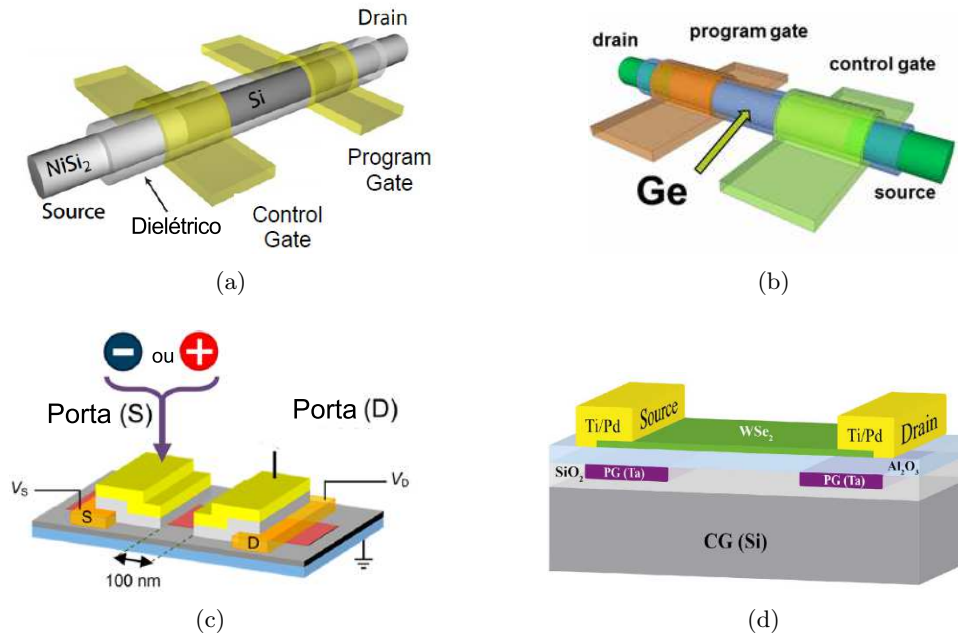


Figura 2.15: Estruturas de diferentes dispositivos reconfiguráveis. Transistores de (a) nanofio de silício, (b) nanofio de germânio, (c) filme de  $\alpha$ -MoTe<sub>2</sub> e (d) filme de WSe<sub>2</sub>. Figuras adaptadas respectivamente de [47], [48], [22] e [49].

concentrações dos portadores de cargas na interface são mantidas em equilíbrio [32].

A utilização de eletrodos de porta, em vez de dopagem química, permite alterar a concentração dos portadores e conseqüentemente, a polaridade do transistor dinamicamente [45]. Além disso, é possível modular a espessura da SB nos contatos, facilitando a passagem de corrente com uma barreira mais fina, semelhante ao contato ôhmico, ou bloqueando a corrente, com uma barreira mais grossa [46]. Assim, um transistor pode apresentar polaridade tipo  $p$  ou  $n$  em um mesmo dispositivo, possibilitando uma configuração altamente flexível para circuitos lógicos e tornando o transistor a menor UR que concede maior adaptatividade a sistemas multifuncionais [7, 22, 38].

Nesses dispositivos reconfiguráveis, um eletrodo de porta (denominado porta de controle – *Control Gate*, CG) controla a condução através do canal enquanto outro eletrodo (denominado porta de programação – *Program Gate*, PG) controla a polaridade de condução [46]. Alguns exemplos de dispositivos que controlam a polaridade dos portadores de carga são FETs reconfiguráveis (R-FETs) de canais feitos com nanofios (*nanowires*, NWs) de silício [47] e de germânio [48], vistos nas Figuras 2.15(a) e (b), e também com filmes de  $\alpha$ -MoTe<sub>2</sub> ( $\alpha$ -ditelureto de molibdênio) [22] e de WSe<sub>2</sub> [49], Figuras 2.15(c) e (d).

Um transistor ainda pode ser reconfigurado quanto ao consumo de energia, através do ajuste da tensão de limiar ( $V_{th}$ ) e da utilização de tunelamento BTB. A dopagem eletrostática possibilita que um transistor seja operado como um FET de tunelamento (TFET) [38]. Nos TFETs é criada uma junção  $pn$  entre duas regiões, por exemplo, um eletrodo de porta dopa a fonte como tipo  $p$  (sobe a banda de valência) enquanto outro dopa o canal como tipo  $n$  (abaixa a banda de condutância), de forma que ocorre tunelamento de BTB entre as regiões [37]. Ademais, os TFETs podem ser

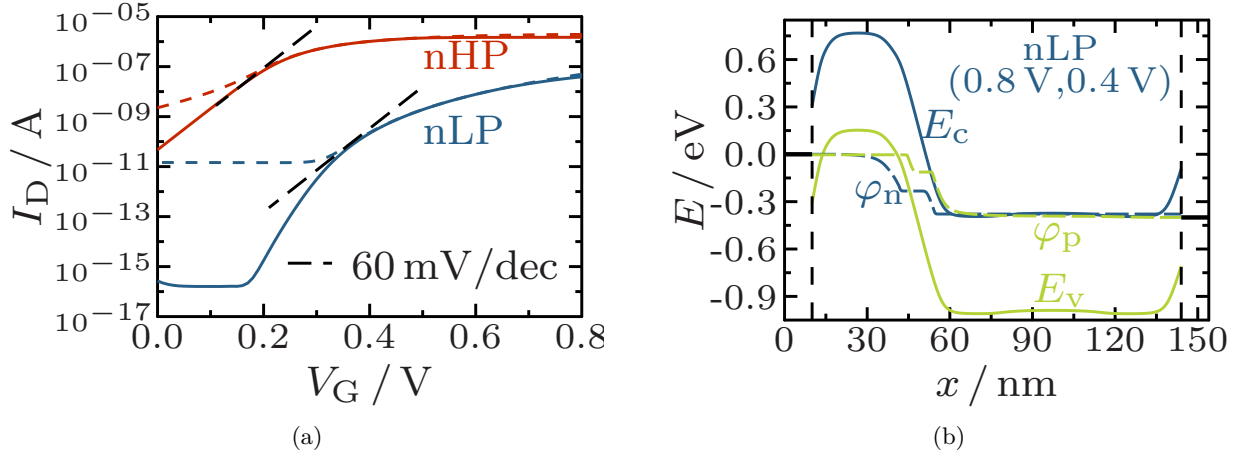


Figura 2.16: (a) Curvas de transferência de um TFET em dois modos de operação (nHP e nLP). (b) Bandas de condução (azul) e de valência (verde) do TFET nos pontos de polarização ( $V_{GS}$ ,  $V_{DS}$ ) para o modo nLP. Figuras extraídas de [37].

configurados em um modo de baixo consumo de potência (*low power*, LP) ou alta performance (*high performance*, HP) [37]. Na Figura 2.16(a) estão ilustrados os dois modos de operação do TFET tipo  $n$  apresentado em [37]. No diagrama de bandas da Figura 2.16(b) é possível observar o tunelamento BTB em 45–60 nm para o mesmo dispositivo.

## 2.6 Transistores reconfiguráveis com múltiplas portas

As arquiteturas de dispositivos nanoFETs reconfiguráveis (R-nanoFETs) podem ou não incluir portas de programação adicionais além da porta de controle do transistor. Na maioria das concepções de R-nanoFETs, uma geometria de duas portas (*two gates*, 2G) é utilizada para o controle de polaridade, como visto nos dispositivos da Figura 2.15, porém a reconfigurabilidade  $n/p$  também foi estudada para transistores com uma (*one gate*, 1G) e três portas (*three gates*, 3G). O uso de uma porta inferior adicional fornece uma opção extra de dopagem eletrostática explorada em projetos de lógica compacta [50]. A geometria do R-nanoFET influencia criticamente várias propriedades das suas características de transferência e saída, tais como a simetria dos ramos  $n$  e  $p$ , a inclinação de sublimiar  $S$ , a razão entre as corrente no estado *on* e *off* ( $I_{on}/I_{off}$ ) e o comportamento de saturação em grandes tensões.

Para um controle de polaridade eficiente, é necessário que a curva de transferência apresente simetria dos ramos  $n$  e  $p$  para uma mesma tensão entre o dreno e a fonte ( $|V_{DS}|$ ). As VTCs medidas para CNTFETs ambipolares [51] e Si NWFETs [47] comprovam que as propriedades de transporte de lacunas e elétrons são similares em nanomateriais e que o manejo adequado dos materiais dos contatos de fonte e dreno deve permitir que nanoFETs tenham características de transferência e saída simétricas para as configurações  $n$  e  $p$  [52].

Com apenas uma única porta, é possível obter a mesma funcionalidade de transistores 2G



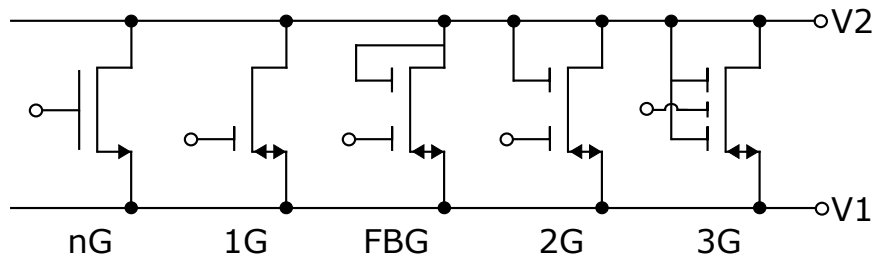


Figura 2.17: Esquema de roteamento local conectando as portas de programação ao contato de dreno de cinco arquiteturas: um FET com uma única porta centralizada (*normal gate*, nG) e diferentes R-nanoFETs (1G, FBG, 2G e 3G). Ao trocar  $V_1$  e  $V_2$ , os transistores são reconfigurados.

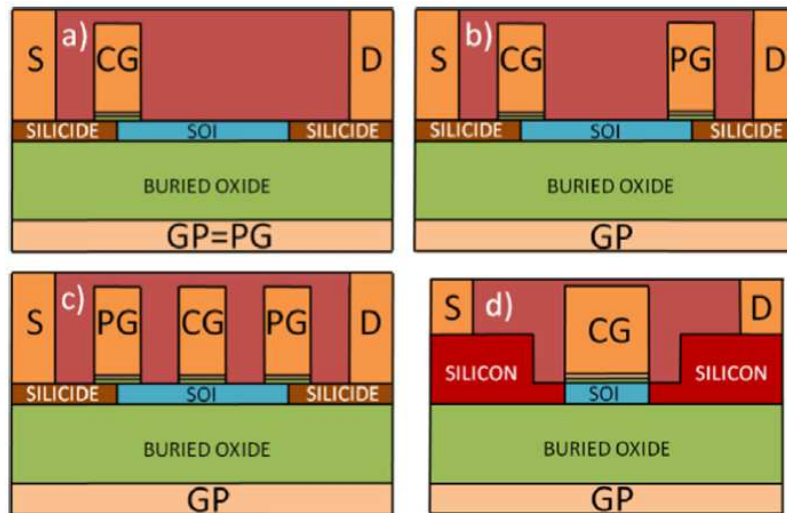


Figura 2.18: Estruturas de R-FETs com (a) 1G, (b) 2G e (c) 3G. (d) Transistor FDSOI. Figura extraída de [60].

(em termos de características elétricas e reconfigurabilidade) ao empregar um projeto adequado de dispositivo [53]. Dois exemplos são transistores 1G baseados em nanofio de silício [53] e em CNTs [54]. Além de apresentarem tamanho reduzido da conexão para a porta de programação, esses transistores são escalonáveis para um comprimento de canal menor e podem alcançar maior velocidade de operação.

A configuração de três portas permite o controle independente das diferentes seções do transistor, possibilitando diversas aplicações: diodos *pn* e Schottky [55], FETs reconfiguráveis [55, 56], TFETs [56, 57, 58], transistores de junção bipolar [59] e portas lógicas [55, 58]. Além disso, existem diversas implementações do dispositivo, por exemplo: com canal de nanofio de silício dopado [57] e não-dopado [55]; com uma porta central de alumínio (Al) cercada por portas laterais de Si em uma estrutura enterrada [56]; e com a tecnologia SOI [58, 59]. Um projeto 3G mais complexo permite não apenas o controle dinâmico da polaridade, mas também da tensão de limiar [58] e da inclinação de sublimiar [37, 58].

No entanto, a usabilidade prática de um transistor 3G é limitada em aplicações VLSI pois o roteamento local é complicado e a escalabilidade é reduzida. Uma alternativa para reduzir a

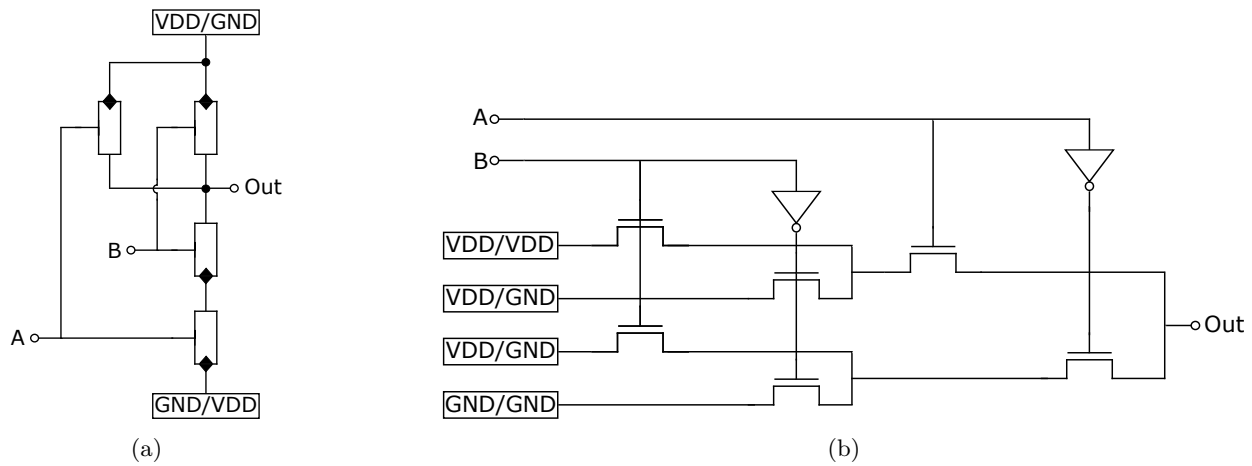


Figura 2.19: Implementação de uma porta NAND/NOR reconfigurável de duas entradas (A, B) feita (a) com quatro R-nanoFETs (simbolizados por retângulos com um losango para distinguir a fonte) e (b) como tabela de consulta.  $V_{DD}$  e GND indicam os valores armazenados nas células de memória para configurar a porta como NAND ou NOR.

complexidade do esquema de roteamento é empregar uma arquitetura 1G ou com porta retroalimentada (*feedback gate*, FBG), ou seja, com a porta de programação conectada diretamente ao contato de dreno [61, 62]. Neste caso, o FBG R-nanoFET é simplesmente reconfigurado pela troca entre a tensão de terra e a tensão de alimentação [63]. Na Figura 2.17 são apresentados esboços de roteamento local para várias arquiteturas.

Um estudo para R-FETs de uma, duas e três portas feitos em FD-SOI foi realizado em comparação com um transistor padrão (não reconfigurável) [60]. A Figura 2.18 mostra as estruturas dos transistores estudados. A tecnologia SOI é muito usada por apresentar baixas capacitâncias parasitas e por utilizar a tensão do corpo para otimizar o desempenho e o consumo de potência.

Um CLB básico que fornece sob demanda uma função lógica NAND (não E) ou NOR (não OU) pode ser implementado com quatro R-nanoFETs (Figura 2.19(a)) ou como uma LUT de duas entradas (Figura 2.19(b)) [64]. A representação esquemática explicita que a implementação com transistores reconfiguráveis possui um tamanho significativamente menor do que a tradicional como tabela de consulta.

## 2.7 Inversor CMOS

Em circuitos CMOS (*Complementary Metal Oxide Semiconductor*, semicondutor de metal-óxido complementar) digitais, um UM lógico é representado por uma tensão igual à de alimentação ( $V_{DD}$  ou  $V_{sup}$ ) e um ZERO lógico, por zero volt. Uma porta inversora, também chamada NOT, cuja operação lógica é expressa como  $X = \bar{A}$ , funciona da seguinte maneira: para uma tensão de entrada  $V_{in} = 0\text{ V}$  a saída permanece no valor lógico UM, ou seja,  $V_{out} = V_{DD}$ , enquanto que para  $V_{in} = V_{DD}$ , a saída permanece no valor lógico ZERO, no caso,  $V_{out} = 0\text{ V}$  [65].

O inversor CMOS representa a base de modernos sistemas VLSI digitais. Nele, um transistor

NMOS (MOS de tipo n) coopera com um PMOS (MOS de tipo p) para obter a curva característica de tensões de entrada/saída de uma porta inversora. Seu circuito característico é apresentado na Figura 2.20(a), onde os transistores  $M_1$  e  $M_2$  são NMOS e PMOS respectivamente. Sua curva característica de transferência de tensão (*Voltage Transfer Characteristic*, VTC) pode ser vista na Figura 2.20(b). Ela ilustra o funcionamento da porta em grande detalhe e revela desvios em relação ao caso ideal [65].

A característica estática do inversor é dada pelo gráfico da tensão de saída  $V_{out}$  correspondente a uma entrada  $V_{in}$  variada de zero a  $V_{DD}$ . A Figura 2.21 resume as regiões de operação dos transistores bem como as tensões no circuito do inversor CMOS. A saída permanece em  $V_{DD}$  enquanto a tensão de entrada é menor que a tensão de limiar do primeiro transistor ( $V_{th1}$ ), ela começa a diminuir quando  $V_{in}$  se torna maior que  $V_{th1}$  e sofre uma queda abrupta quando o transistor  $M_2$  entra em saturação (Figura 2.21(a)).

O “ponto de chaveamento” é quando a tensão de saída é igual à de entrada ( $V_{out} = V_{in}$ ) e os dois transistores estão em saturação. Neste ponto, o ganho intrínseco de cada transistor é dado pela Equação (2.20), sendo que  $g_m$  é a transcondutância ( $\partial I_D / \partial V_{GS}$ ) e  $r_0$  é a resistência de saída [65].

$$A_v = -g_m r_0. \quad (2.20)$$

À medida que a tensão de entrada ultrapassa o ponto de chaveamento, ( $V_{in} - V_{out}$ ) se torna maior que  $V_{th1}$ , levando o transistor  $M_1$  a região de triodo. Dessa forma, a transcondutância de  $M_1$  diminui, assim como o ganho de pequenos sinais do circuito (Figura 2.21(c)). Por fim, quando  $V_{in}$  alcança ( $V_{DD} - |V_{th2}|$ ), sendo  $V_{th2}$  a tensão de limiar do segundo transistor,  $M_2$  desliga, permitindo  $V_{out} = 0$  e  $M_1$  funciona como um resistor que conduz uma corrente nula (Figura 2.21(d)).

Já o comportamento dinâmico de portas está relacionado à taxa em que suas saídas passam de um nível lógico a outro [65]. A Figura 2.22 mostra o gráfico do comportamento da saída quando um inversor responde a um degrau de entrada e carrega uma capacitância de carga finita ( $C_L$ ). Como  $V_{out}$  está inicialmente no nível baixo, o carregamento é linear porque  $M_2$  está em saturação. No entanto, quando  $M_2$  entra na região de triodo, a taxa do carregamento se torna sublinear. Um retardo de propagação  $\tau_p$  está associado ao tempo de carregamento. Ele é calculado pela Equação (2.21), onde  $R_{on}$  é a resistência de condução do transistor.

$$\tau_p = R_{on} C_L \left[ \frac{2V_{th}}{V_{DD} - V_{th}} + \ln \left( 3 - 4 \frac{|V_{th}|}{V_{DD}} \right) \right]. \quad (2.21)$$

O atraso  $\tau_p$  é uma função da tensão de limiar  $V_{th}$ , uma vez que a soma dos termos dentro do colchete na Equação (2.21) tem um menor valor quando  $V_{th}$  é mínima. Assim, uma baixa  $V_{th}$  melhora a velocidade de carregamento [65].

O inversor consome energia mesmo que não esteja comutando [65]. Esse consumo estático  $P_S$  pode ser calculado pela Equação (2.22), onde  $I_{off}$  é a corrente de dreno do transistor quando ele está desligado.

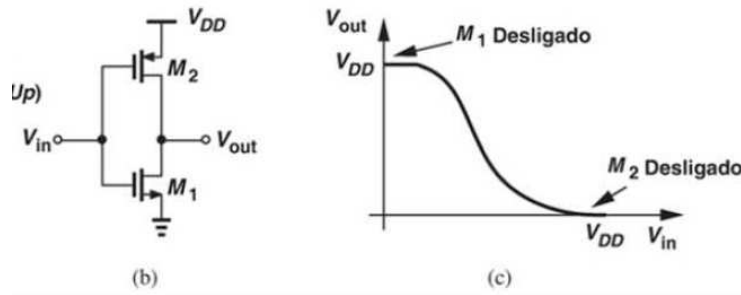


Figura 2.20: (a) Inversor CMOS, (b) esboço da característica entrada/saída. Figura extraída de [65].

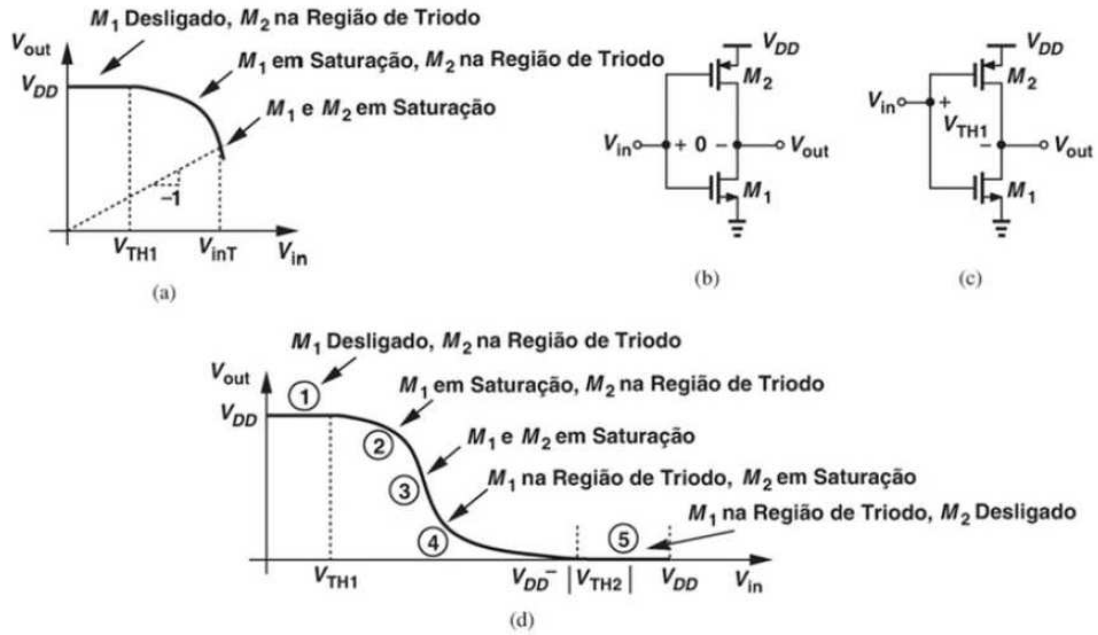


Figura 2.21: (a) Comportamento do inversor CMOS para  $V_{in} < V_{th}$ , (b) inversor no ponto de chaveamento, (c)  $M_1$  na fronteira da região de saturação, (d) característica global. Figura extraída de [65].

$$P_S = I_{off} V_{DD}. \quad (2.22)$$

Já a dissipação de potência dinâmica leva em conta o tempo de carregamento de uma capacitância  $C_L$ , e a energia total consumida ( $E_L$ ) é dada na Equação (2.23).

$$E_L = C_L V_{DD}^2. \quad (2.23)$$

Na Figura 2.23 está ilustrado um inversor complementar implementado com dois R-nanoFETs, chamado C-nanoFET. As características elétricas discutidas para um inversor CMOS se aplicam da mesma forma para o C-nanoFET.

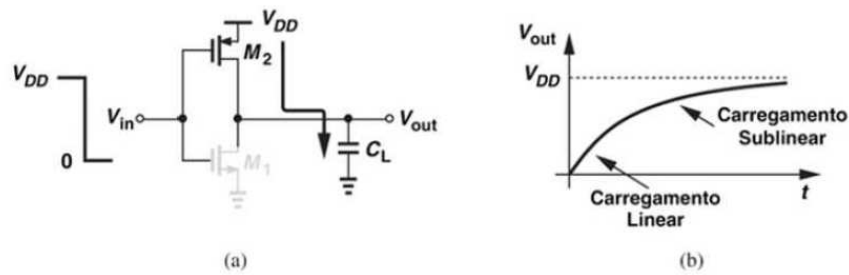


Figura 2.22: (a) Inversor carregando uma capacitância de carga, (b) forma de onda de saída. Figura extraída de [65].

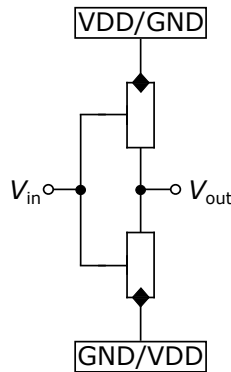


Figura 2.23: Inversor complementar (C-nanoFET) implementado com dois R-nanoFETs.

### 2.7.1 Atraso de inversor FO4

Quando um inversor alimenta um estágio idêntico, é dito que a primeira porta vê um “leque” (*fanout*) de saída unitário [65]. O atraso de um inversor acionando uma carga igual a 4 vezes sua própria capacitância de entrada ( $C_{in}$ ) é chamado de *fanout-of-4* (FO4) [67]. Esse atraso é geralmente usado no projeto de *buffers* (amplificadores de ganho unitário) ligados em cadeia, visto na Figura 2.24, para o acionamento de grandes cargas [66].

Um inversor de atraso FO4 tem que ser capaz de carregar uma capacitância de carga  $C_L$  até  $8C_{in}$  [7]. O uso desse atraso normaliza as variações de condições de processo e operação de circuitos digitais e quantifica o desempenho dessa normalização.

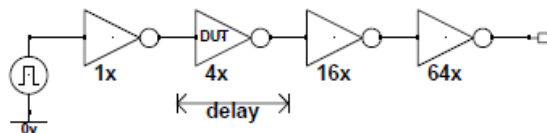


Figura 2.24: Configuração de simulação para determinar o atraso de FO4 para um determinado processo e ambiente. Figura extraída de [66].

## Capítulo 3

# Procedimentos

Com o intuito de gerar projeções de performance para diferentes transistores reconfiguráveis com múltiplas portas, este estudo foi conduzido da seguinte forma:

1. Calibração do simulador numérico de dispositivos de acordo com dados experimentais;
2. Arquiteturas R-nanoFETs com canal de  $0.5\ \mu\text{m}$ ;
3. Escalamento geométrico das arquiteturas;
4. Ajuste da tensão de alimentação;
5. Cálculo das figuras de mérito;
6. Análise comparativa baseada na dependência do material.

Os dados experimentais do FBG CNTFET reportados em [62] foram usados para calibrar e validar o solucionador de Deriva-Difusão do simulador COOS, que será detalhado na Seção 3.1.

Com o simulador calibrado, foram realizadas diversas simulações para quatro arquiteturas de transistores reconfiguráveis com múltiplas portas (1G, FBG, 2G e 3G). O canal de CNT unidimensional dos transistores foi assumido como intrínseco e a distribuição de cargas é influenciada pelos campos elétricos dos contatos de fonte/dreno e das portas de programação e de controle.

A distância escolhida entre fonte e dreno para as simulações com canal não escalado foi de  $0.5\ \mu\text{m}$ . Ainda foi realizado um ajuste da tensão de alimentação e uma investigação do escalamento do canal das arquiteturas. Algumas figuras de mérito (*figures-of-merit*, FOMs) dos transistores foram computadas e as características elétricas examinadas sob o contexto de um inversor C-nanoFET com atraso FO4. Por fim, o impacto da variação da massa efetiva nos nanoFETs foi comparado com resultados de FDSOI MOSFETs.

## 3.1 COOS

COOS <sup>1</sup> é um simulador numérico de dispositivos com propriedades avançadas, com ele é possível realizar simulações de várias arquiteturas de dispositivos em 1D/2D usando diferentes materiais e modelos de transporte. O servidor Linux, onde o simulador é acessado remotamente, se encontra no Laboratório de Dispositivos e Circuitos Integrados (LDCI), do Departamento de Engenharia Elétrica da UnB.

As seguintes equações de transporte são implementadas no simulador: equação de Schrödinger para massa efetiva (EFM), equação de Deriva-Difusão (DD), equação de transporte de Boltzmann (BTE) com o método Monte Carlo (MC-BTE) e equação de transporte de Boltzmann balística com método determinístico (BALL-BTE). Para simular as diferentes arquiteturas na dimensão pretendida, o simulador resolve as equações de continuidade dos portadores de carga em 1D/2D acopladas à equação de Poisson em 3D.

Além disso, capacitâncias parasitárias podem ser calculadas e alguns modelos físicos podem ser usados para semicondutores e contatos, como: modelos de estrutura de banda analíticos (*Mintmire*, parabólico, não parabólico, multi sub-bandas, gaussiano), modelos de dispersão (fônon acústico, fônon ótico e fônon de superfície), modelos de mobilidade (constante, Poole Frenkel para semicondutores orgânicos e padrão), tunelamento de banda para banda (BTB) e contatos de Schottky (tunelamento WKB para DD/BTE). A equação de fluxo de calor pode ser resolvida em conjunto com as equações de transportes, permitindo considerar diferentes temperaturas no domínio da simulação.

Para um transistor com comprimento de canal  $L_{ch} = 0.5 \mu\text{m}$ , o transporte de cargas é razoavelmente bem descrito por um modelo de transporte de Deriva-Difusão (Seção 2.4.2). Sendo assim, todas as simulações neste estudo empregam o solucionador de DD disponível no COOS com o modelo de mobilidade padrão. A probabilidade de tunelamento através da barreira de Schottky no contato de injeção de cargas é estimada pela aproximação WKB usando barreiras potenciais totalmente autoconsistentes. Uma abordagem semelhante foi implementada para descrever o tunelamento BTB, importante para dar previsões de corrente no estado *off* ( $I_{off}$ ) e a inclinação de sublimiar  $S$  do dispositivo.

Os parâmetros efetivos do simulador são extraídos pela comparação entre os resultados de simulação de um mesmo dispositivo em diferentes modelos de transporte. As previsões de probabilidade de tunelamento pelo solucionador de DD foram verificadas em [37] e por comparações com as soluções da EFM e da BTE, que foram adicionadas à ferramenta COOS em [68] e [69], respectivamente. As capacitâncias parasitárias são determinadas pela solução da equação de Poisson negligenciando a carga do canal do semicondutor. O valor é dado pela carga na superfície do terminal de porta dividida pela tensão de polarização aplicada, onde a tensão dos outros terminais é ajustada para zero.

---

<sup>1</sup>A licença de uso do COOS foi concedida pelo grupo de modelagem para eletrônicos emergentes do centro de excelência “Center for Advancing Electronics Dresden (CfAED)”, na Technische Universität Dresden em Dresden, Alemanha.

O modelo de mobilidade padrão do solucionador DD é dado pela Equação (3.1), onde a dependência do campo elétrico é dada por  $v_{\text{drift}}$ . Os parâmetros  $\mu_0$ ,  $v_{\text{sat}}$  e  $\beta$  têm seus valores predefinidos pela solução da BTE e estão resumidos na Tabela 4.1.

$$\mu = \frac{\mu_0}{\left(1 + \left(\frac{v_{\text{drift}}}{v_{\text{sat}}}\right)^\beta\right)^{1/\beta}} \quad (3.1)$$

No código de entrada são determinados os vários parâmetros para a simulação, entre eles: as dimensões da estrutura, os materiais usados, a discretização, o perfil de dopagem, as propriedades físicas do semicondutor e do CNT, o modelo de estrutura de bandas e de mobilidade, os modelos físicos para o óxido e os contatos, as tensões a serem aplicadas e como serão salvas as saídas de cada simulação. Um esboço do código de entrada usado no COOS está detalhado no Anexo I.1. O arquivo de entrada é enviado ao servidor com o auxílio de um cliente SFTP (*SSH File Transfer Protocol*, protocolo de transferência de arquivos com segurança SSH), e os arquivos de saída (resultados) são resgatados da mesma forma. O comando de uso do COOS usado para dar início à simulação está explicado no Anexo I.2. Neste estudo, os resultados numéricos obtidos foram analisados usando a ferramenta MATLAB (versão 2015a) e os gráficos foram feitos com a *Graphic Layout Engine* (GLE).

## 3.2 Calibração e validação

A geometria do FBG CNTFET utilizada em [62], vista na Figura 3.1(a), foi adaptada, conforme a Figura 3.1(b), e usada para validar o simulador empregado. Adicionalmente, foi simulado um FET com uma única porta centralizada (*normal gate*, nG), visto na Figura 3.1(c). O comprimento horizontal das portas e dos contatos estão delineados nas figuras de geometria adaptada. A altura dos contatos de fonte (S) e dreno (D) é de 30 nm, e das portas é de 42 nm. No caso do nG-nanoFET, a porta de controle reveste o canal completo tanto no dispositivo experimental quanto no simulado. Uma camada de 8 nm de HfO<sub>2</sub> (com permissividade relativa igual a 12) serve como isolante da porta. O canal consiste em um CNT com diâmetro  $d = 2.4$  nm e  $L_{\text{ch}} = 0.5$   $\mu\text{m}$ . A estrutura eletrônica do CNT é descrita por uma estrutura de banda *Mintmire* resultando em uma pequena banda proibida de  $E_{\text{gap}} = 0.36$  eV.

Não são necessários valores absolutos de  $\mathcal{X}_{\text{CNT}}$  e  $\Phi_{\text{m}}$  para a simulação do dispositivo, no entanto, as funções de trabalho dos metais empregados podem ser inferidas de afinidades de CNT já medidas ao subtrair tais valores de  $\Phi_{\text{SB}}$ . Assim, todas as funções de trabalho de metal ( $\Phi_{\text{m}}$ ) usadas são iguais e combinadas com a eletroafinidade do canal semicondutor.

A calibração do simulador, feita a partir de várias iterações dos parâmetros predefinidos para o modelo de mobilidade padrão do solucionador DD, tinha o intuito de alcançar uma curva de transferência mais parecida com a experimental. Além disso, para reproduzir a grande corrente  $I_{\text{on}}$  de 20  $\mu\text{A}$  medida em [62], assumiu-se uma SB de altura zero para injeção de lacunas nos contatos de fonte e dreno, o que implica em  $\Phi_{\text{SB,n}} = E_{\text{gap}}$  para a injeção de elétrons. Por fim,



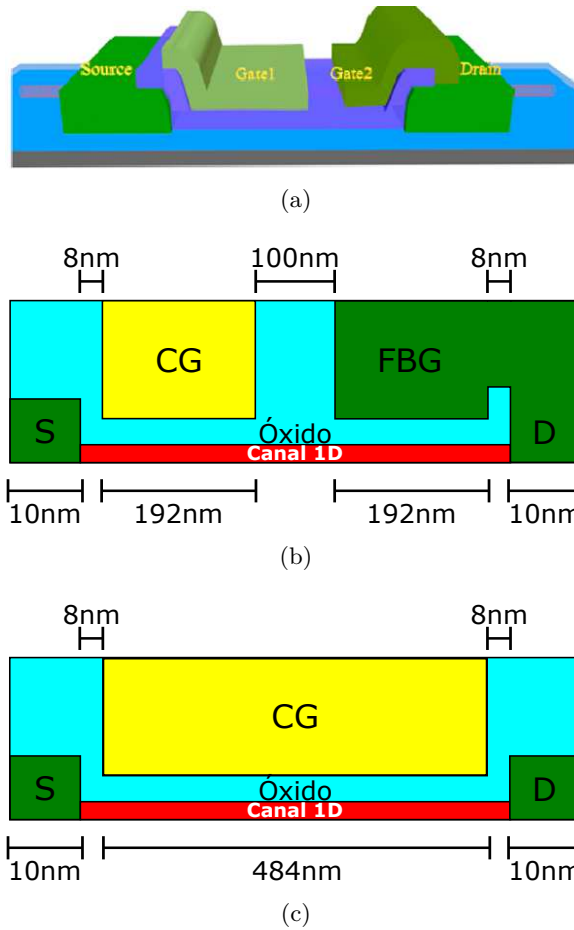


Figura 3.1: (a) Esquemático de um FBG CNTFET extraído de [62]. (b) Esquemático de um FBG CNTFET adaptado. (c) Esquemático de um transistor com uma única porta centralizada (nG).

foi investigado o efeito da dopagem uniforme do canal com barreiras negativas ( $\Phi_{SB,n} = -0.2\text{ eV}$ ) para verificar se há melhoria na corrente.

### 3.3 Arquiteturas R-nanoFETs

A partir da adaptação do FBG CNTFET, foram projetadas quatro arquiteturas de transistores reconfiguráveis: 1G, FBG, 2G e 3G R-nanoFET, cujas geometrias correspondentes estão representadas na Figura 3.2. O 1G tem o contato de dreno alongado, de forma que sua altura passa a ser 50 nm em vez de 30 nm. O 2G conta com uma porta de programação PG, enquanto o 3G tem duas: uma do lado da fonte, PGS, e outra do lado do dreno, PGD.

Neste trabalho, são seguidas algumas premissas para garantir a melhor simetria  $n/p$  das VTCs dos transistores, como igualar a mobilidade de elétrons e de lacunas, além da altura das SBs para a injeção de cargas. Desse modo, o nível de Fermi se encontra no meio da banda proibida para ambas portadoras de carga e  $\Phi_{SB,n} = \Phi_{SB,p} = E_{\text{gap}}/2$ . O uso de um comprimento de canal  $L_{\text{ch}} = 0.5\ \mu\text{m}$  permite a validação do modelo a partir de características elétricas de nanoFETs já publicadas.

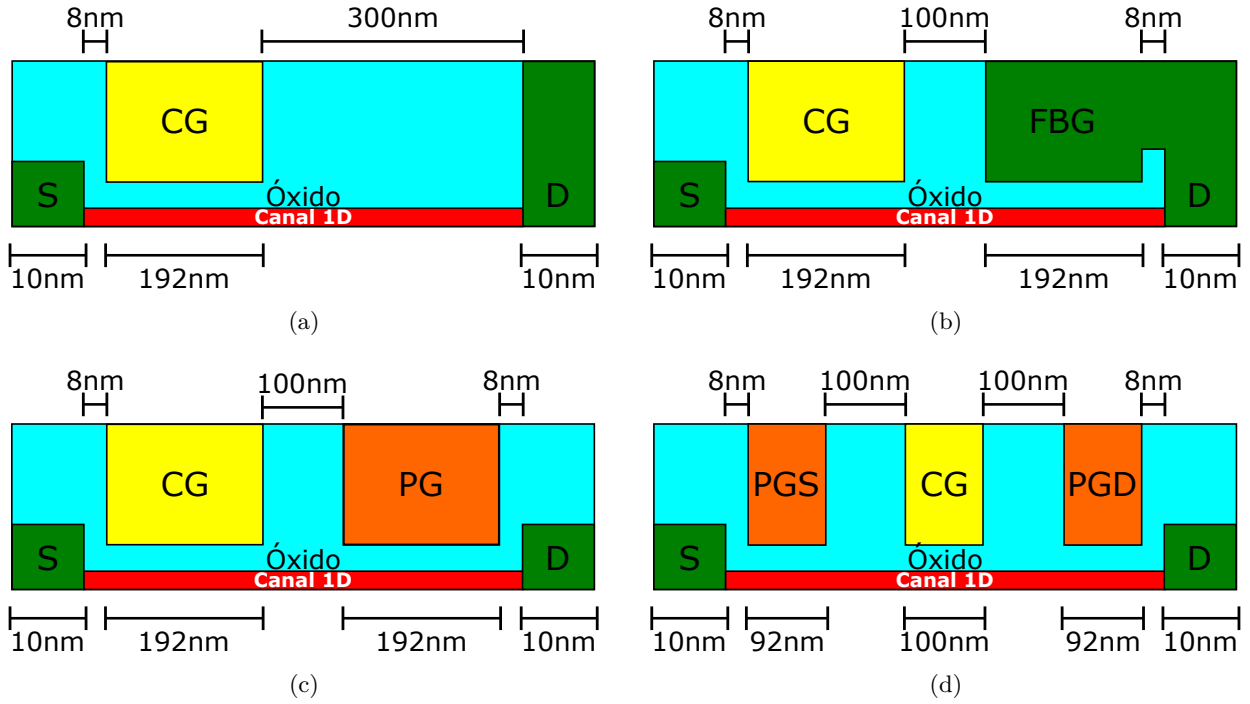


Figura 3.2: Esquemáticos de nanoFETs reconfiguráveis com (a) 1G, (b) FBG, (c) 2G e (d) 3G. O canal unidimensional tem comprimento de  $0.5 \mu\text{m}$ .

Tabela 3.1: Tensões usadas nas portas de programação em relação a uma fonte comum.

R-nanoFET	Modo	$V_{\text{PGD}}$	$V_{\text{PGS}}$	$V_{\text{sup}}$
2G	p	$-2 \text{ V}$	-	$2 \text{ V}$
2G	n	$2 \text{ V}$	-	$2 \text{ V}$
3G	p	$-1.2 \text{ V}$	$-1.2 \text{ V}$	$1.2 \text{ V}$
3G	n	$1.2 \text{ V}$	$1.2 \text{ V}$	$1.2 \text{ V}$

A partir da simulação das curvas de transferência e de saída, foram investigadas algumas opções para o projeto dos transistores:

- Variação do diâmetros ( $E_{\text{gap}}$ ) do canal;
- Variação da distância  $d_P$  entre a porta de controle e de programação;
- Otimização das tensões de programação ( $V_{\text{PGS/D}}$ );
- Variação da tensão de polarização do dreno ( $V_D$ ).

Depois, foram calculadas as transcondutâncias, inclinações de sublimiar e as capacitâncias parasitárias das quatro geometrias.

As tensões de programação escolhidas estão na Tabela 3.1, onde tensão de alimentação  $V_{\text{sup}}$  é a máxima tensão aplicada a terminais de fonte (S), dreno (S) ou porta de controle (G).

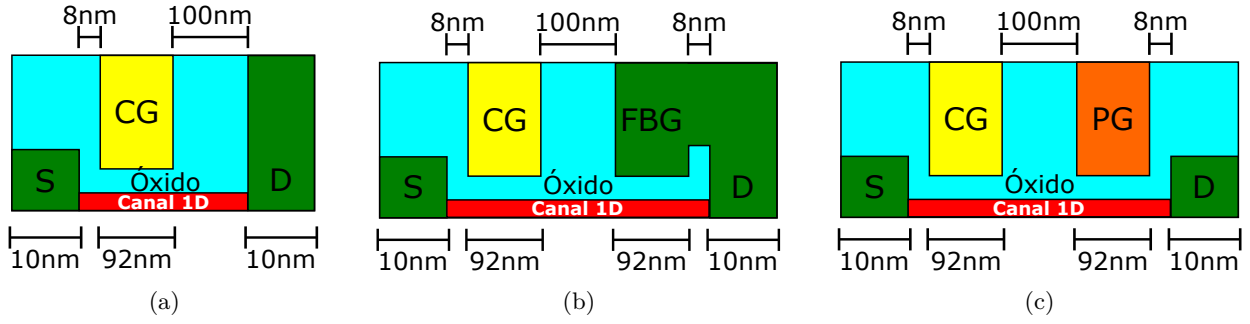


Figura 3.3: Esquemático de nanoFETs reconfiguráveis s1G (a), sFBG (b) e s2G (c) com canal unidimensional escalado.

### 3.4 Escalamento geométrico das arquiteturas

Para a investigação do escalamento, o comprimento de cada porta das geometrias 1G, FBG e 2G foi mantido em 100 nm e o canal foi escalado de acordo. Dessa forma, o canal do 1G tem  $L_{ch} = 0.2 \mu\text{m}$ , e do FBG e 2G,  $L_{ch} = 0.3 \mu\text{m}$ .

As geometrias correspondentes estão representadas na Figura 3.3. Foram repetidas as simulações de transferência e saída, além dos cálculos de transcondutâncias, inclinações de sublimiar e capacitâncias parasitárias para as geometrias escaladas.

### 3.5 Ajuste da tensão de alimentação

Foi investigado o impacto da mudança da tensão  $V_{sup}$  de 2 V para 1.6 V nas arquiteturas 1G, FBG e 2G com o canal de comprimento 0.5  $\mu\text{m}$ . Foram repetidas as simulações de transferência e saída, além dos cálculos de transcondutâncias para as geometrias.

### 3.6 Figuras de mérito

O uso de R-nanoFETs não deve ser limitado a sistemas VLSI digitais, no entanto, é difícil definir figuras de mérito universais para avaliar o desempenho do transistor independente da aplicação pretendida. Assim, algumas características elétricas foram discutidas no contexto de um inversor C-nanoFET focado em FOMs que impactam a curva VTC, o comportamento dinâmico e a dissipação de potência. Os R-nanoFETs foram comparados empregando materiais de canal unidimensional com  $E_{gap} = 0.54 \text{ eV}$  e várias massas efetivas  $m_{eff}$ .

Uma baixa massa efetiva dos portadores de carga é favorável para o desempenho do transistor. Portanto, as quatro arquiteturas foram investigadas primeiramente com um canal CNT de 1.6 nm em diâmetro, o que dá  $m_{eff} = 0.049 m_0$ . Para exemplificar as consequências das diferenças de desempenho das quatro arquiteturas, foram consideradas algumas FOMs relevantes para o comportamento de um inversor C-nanoFET:

- Ganho de tensão intrínseco  $g_m r_0$  no ponto de chaveamento e na saturação;
- Tensão de limiar  $V_{th}/V_{sup}$ ;
- Resistência de condução  $R_{on}$ ;
- Atraso FO4 de propagação  $\tau_P$ ;
- Consumo de energia  $P_S$ ;
- Energia dissipada  $E_L$ .

O ganho de tensão intrínseco e a tensão de limiar determinam forma da VTC do inversor. O ponto de chaveamento do inversor é quando  $V_{GS} = V_{DS} = V_{sup}/2$ , mas como nenhuma otimização da tensão de alimentação foi tentada, os transistores não operam necessariamente em saturação no ponto de chaveamento do inversor. Em vista disso, o ganho de tensão intrínseco também foi calculado em outro ponto de operação, onde uma resistência de saída  $r_0$ , calculada em uma tensão  $V_{DS}$  ligeiramente maior que  $V_{sup}/2$ , foi empregada.

Para o cálculo do atraso de propagação  $\tau_P$  (visto na Equação (2.21)) é necessária uma estimativa para a resistência de condução, que deve ser extraída da porção linear das características de saída na máxima tensão de porta. Assim,  $R_{on}$  é calculada como o valor médio de três segmentos em baixas tensões de dreno ( $V_{DS} \in [0 \text{ V}, 0.2 \text{ V}]$ ,  $[0.2 \text{ V}, 0.4 \text{ V}]$  e  $[0.4 \text{ V}, 0.6 \text{ V}]$ ). A tensão de limiar também é importante para estimar  $\tau_P$ .

O consumo de energia estática é dado pela Equação (2.22), no caso,  $P_S = I_{off} V_{sup}$ . Por fim, a energia dissipada ao se carregar e descarregar a carga capacitiva externa, vide Equação (2.23), é  $E_L = C_L V_{sup}^2$ .

Todas as FOMs são derivadas para um canal por micrón, de forma que  $\bar{R}_{on}$  e  $\tau_P$  ainda precisam ser escalonados inversamente e  $P_S$  linearmente com o número de canais para obter um valor absoluto significativo. A mesma comparação foi feita para as geometrias de canal escalado e com ajuste da tensão de alimentação.

### 3.7 Dependência do material

Para a investigação da dependência de características elétricas na massa efetiva dos portadores de carga, foram usadas  $m_{eff}$  iguais a  $\{0.049, 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7, 0.8, 0.9, 1.0\} m_0$  tanto nas arquiteturas de canal  $0.5 \mu\text{m}$  quanto nas de canal escalado. As características escolhidas derivam das FOMs, e foram:

- Inclinação de sublimiar  $S$ ;
- Ganho máximo  $g_{m,peak}$ ;
- Resistência  $R_{on}$ ;

- Ganho intrínseco  $g_m r_0$  no ponto de chaveamento.

Por fim, ainda foi realizada uma estimativa de qual geometria R-nanoFET seria ideal para determinados materiais e aplicações e uma comparação com um estudo sobre FDSOI MOSFETs [60].

# Capítulo 4

## Resultados e Discussões

### 4.1 Validação e calibração

A Tabela 4.1 contém um resumo dos parâmetros empregados convencionalmente pelo simulador e dos extraídos após as simulações de calibração. Para campos elétricos elevados, a velocidade das cargas satura em  $v_{\text{sat}}$  e a transição entre um comportamento linear e um independente do campo é suavizada por uma lei de potência com expoente  $\beta$ , vista na Equação (3.1). Os valores extraídos diferem ligeiramente dos predefinidos, exceto que a transição para a saturação de velocidade é mais abrupta ( $\beta_{\text{ext}} > \beta_{\text{BTE}}$ ).

A comparação entre as curvas de transferência medidas e simuladas para um FBG CNTFET de tipo  $p$  é dada na Figura 4.1. A curva de transferência simulada descreve razoavelmente bem a corrente medida para valores até  $I_D = 1$  nA, sendo que o potencial eletrostático efetivo da porta necessário para deslocar corretamente a característica de transferência simulada em relação às medidas foi de 0.02 eV.

Porém, existem diferenças significativas entre as curvas. Em primeiro lugar, as correntes no estado  $on$  simuladas são menores do que no dispositivo experimental, mesmo para uma velocidade de saturação próxima à velocidade de Fermi do grafeno,  $v_F = 10^8$  cm s<sup>-1</sup>. Isso pode ser uma indicação de que a camada de passivação não utilizada no dispositivo experimental (já que não houve encapsulamento) gera uma dopagem não intencional.

No entanto, ao dopar o FBG CNTFET com diferentes concentrações de dopagens, a corrente de fuga é pior (Figura 4.2). Uma concordância melhor é obtida entre resultados experimentais e teóricos quando se usa uma SB negativa sem dopagem, como é visto na Figura 4.3. Nela, a  $\Phi_{\text{SB}}$

Tabela 4.1: Parâmetros de mobilidade extraídos e estimados.

Parâmetro	Extraído	Estimaco de BTE
$\mu_0$	$1.84 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$	$1.84 \times 10^4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$
$v_{\text{sat}}$	$8 \times 10^7 \text{ cm s}^{-1}$	$6.25 \times 10^7 \text{ cm s}^{-1}$
$\beta$	0.54	0.36

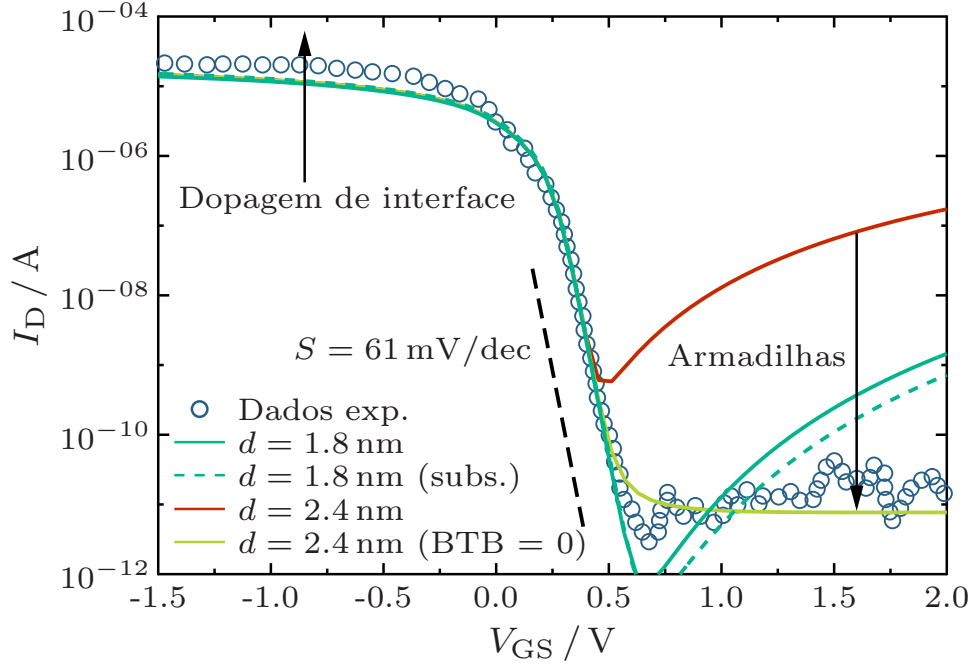


Figura 4.1: Comparação das curvas características de transferência simuladas para o FBG CNT-FET de tipo  $p$  em  $V_{ds} = -1$  V com dados experimentais retirados de [62]. No caso de um CNT com diâmetro  $d = 1.8$  nm, também é mostrado o impacto de um substrato de 50 nm de  $\text{SiO}_2$  (linhas tracejadas).

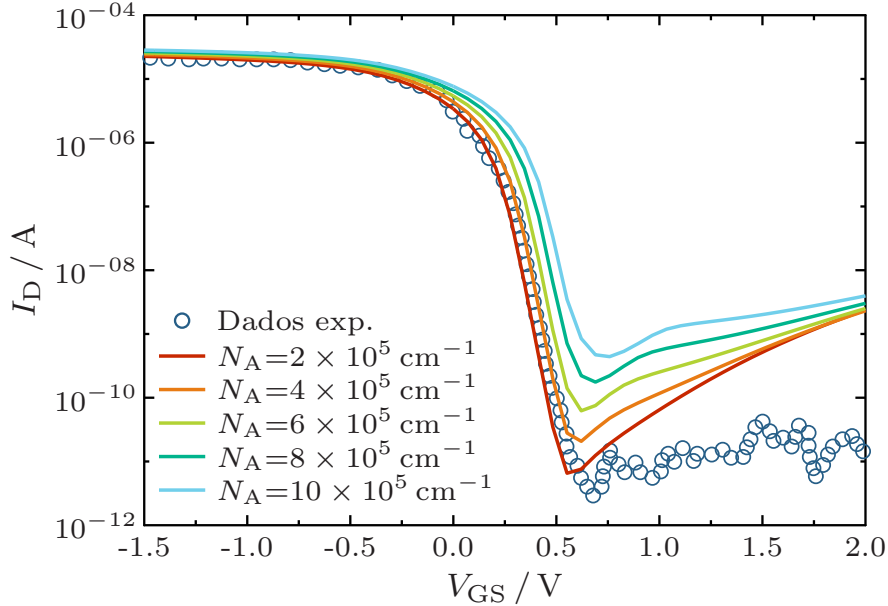


Figura 4.2: Curvas de transferência simuladas para o FBG CNTFET para uma barreira  $\Phi_{SB} = -0.2$  eV e várias concentrações de dopagem uniforme.

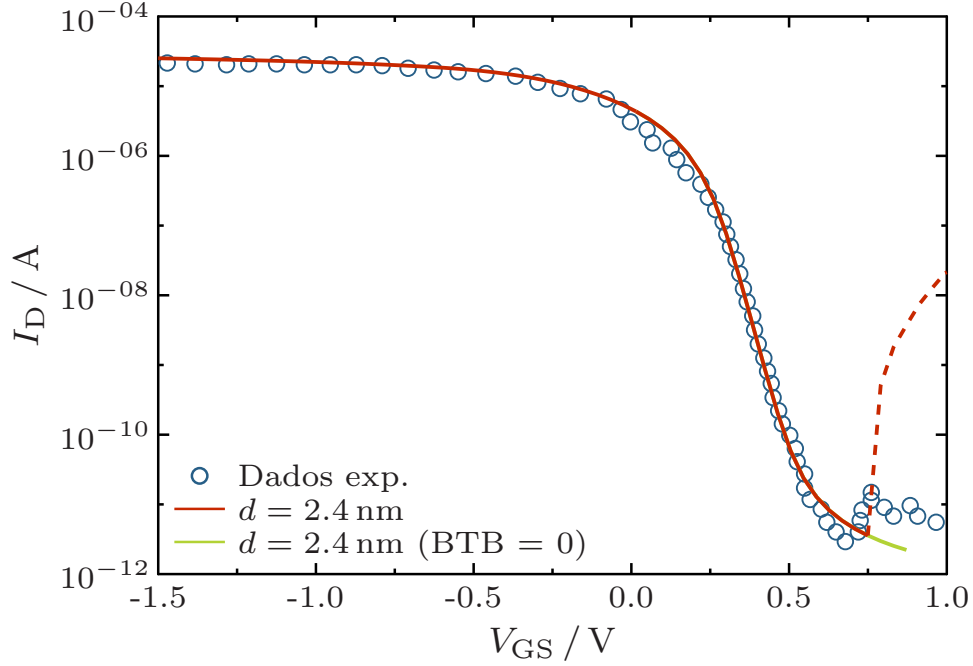


Figura 4.3: Comparação das curvas de transferência simuladas para o FBG CNTFET de tipo  $p$  em  $V_{ds} = -1$  V para uma barreira  $\Phi_{SB} = -0.2$  eV com dados experimentais retirados de [62].

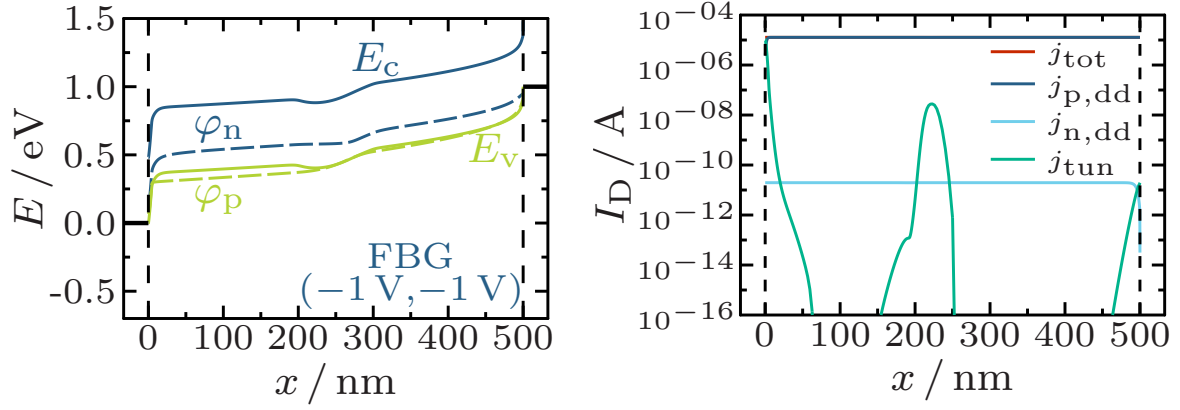
usada é de  $-0.2$  eV e a corrente  $I_{on}$  simulada descreve bem a medida até  $V_{gs} = 0.5$  V. A leve discrepância observada no joelho pode ser ajustada com uma melhor otimização do  $\beta$ . Isso pode indicar a existência uma camada interfacial dopada entre o contato de fonte e o CNT.

Ainda sobre a Figura 4.1, outra diferença é que a corrente  $I_{off}$  foi predita muito alta. Para grandes tensões  $V_{GD}$ , uma barreira de tunelamento (*tunnel barrier*, TB) BTB se forma na extremidade do FBG. Os elétrons fornecidos pelo contato de dreno podem atravessar a barreira e fluir até a fonte, como na Figura 4.4(b). Curiosamente, o tunelamento BTB parece ser amplamente suprimido no dispositivo experimental. A predição teórica da corrente  $I_{off}$  aumenta significativamente quando a corrente de tunelamento BTB é completamente negligenciada, como na curva “BTB = 0” na Figura 4.1.

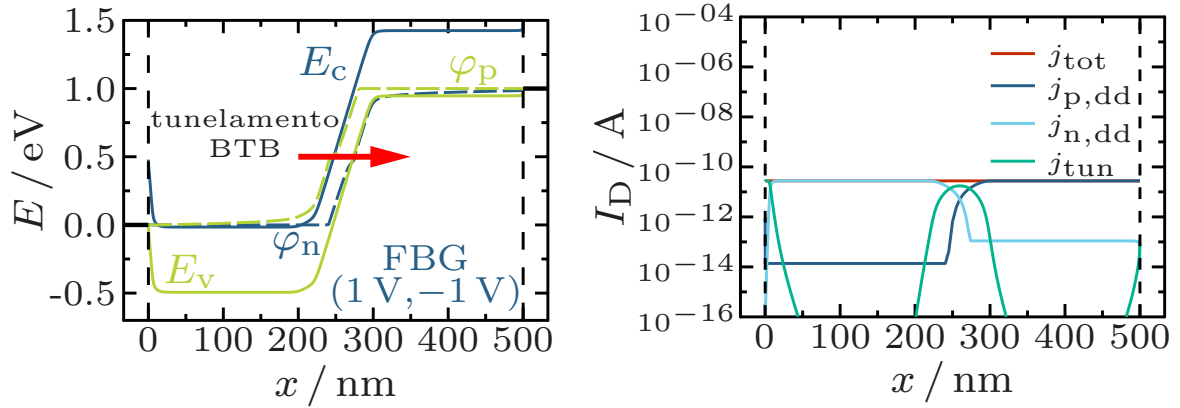
Um CNT com menor diâmetro e, portanto, maior  $E_{gap}$  poderia explicar parcialmente essa observação. Além disso, o substrato irá modificar o potencial do canal e reduzir ligeiramente a curvatura de banda e a  $I_{off}$ . No entanto, o tunelamento BTB sempre contribuirá com  $I_{off}$  para uma tensão de porta suficientemente grande. É possível que armadilhas sejam responsáveis pela supressão do tunelamento BTB e a redução da ambipolaridade relacionada. As previsões teóricas mais pessimistas, especialmente a ausência de tunelamento BTB no dispositivo experimental, são consideradas características de uma tecnologia ainda em desenvolvimento e é esperado que o tunelamento BTB contribua para a corrente  $I_{off}$  em tecnologias de CNT mais maduras. Por isso,  $I_{BTB}$  está incluída na comparação de desempenho.

A porta centralizada do nG CNTFET, que controla o potencial ao longo de uma grande





(a)



(b)

Figura 4.4: As bandas de condução  $E_c$  e de valência  $E_v$  (linhas contínuas), bem como os potenciais de quasi Fermi (linhas tracejadas) dos elétrons  $\varphi_n$  e das lacunas  $\varphi_p$ , e as contribuições das portadoras de deriva-difusão (dd) e tunelamento (tun) à densidade de corrente  $j_{tot}$  em diferentes pontos de operação ( $V_{GS}, V_{DS}$ ) são mostradas. Pode-se ver que o uso de uma barreira zero para a injeção de lacunas favorece a transferência do ramo  $p$  em (a), mas o tunelamento BTB em (b) também gera um ramo  $n$  não negligenciável que não é visto nos dados experimentais.

parte do canal do transistor, em conjunto com engenharia de contatos aplicada à fonte e ao dreno não são suficientes para suprimir o comportamento ambipolar de nanoFETs que possuem canais semicondutores com pequenas  $E_{gap}$ . A Figura 4.5(a) mostra que, para um nG CNTFET, a corrente de estado *off* pode aumentar significativamente. Com o diagrama de bandas no estado *off* (Figura 4.5(b)) pode se ver que até mesmo para uma SB de altura diferente de zero, elétrons podem ser injetados diretamente na banda de condução via tunelamento a partir do dreno.

O controle eletrostático esperado sobre a largura da SB deve ser excelente, permitindo uma probabilidade de tunelamento através da SB próxima a um. Contudo, as tecnologias emergentes podem não revelar totalmente a ambipolaridade do dispositivo. Mesmo assim, a eletrostática do dispositivo tem um impacto enorme, como se vê nas curvas características do FBG e do nG nanoFET (Figuras 4.1 e 4.5(a) respectivamente), e pode ser explorada em projetos sofisticados de contatos, de portas e de substratos.

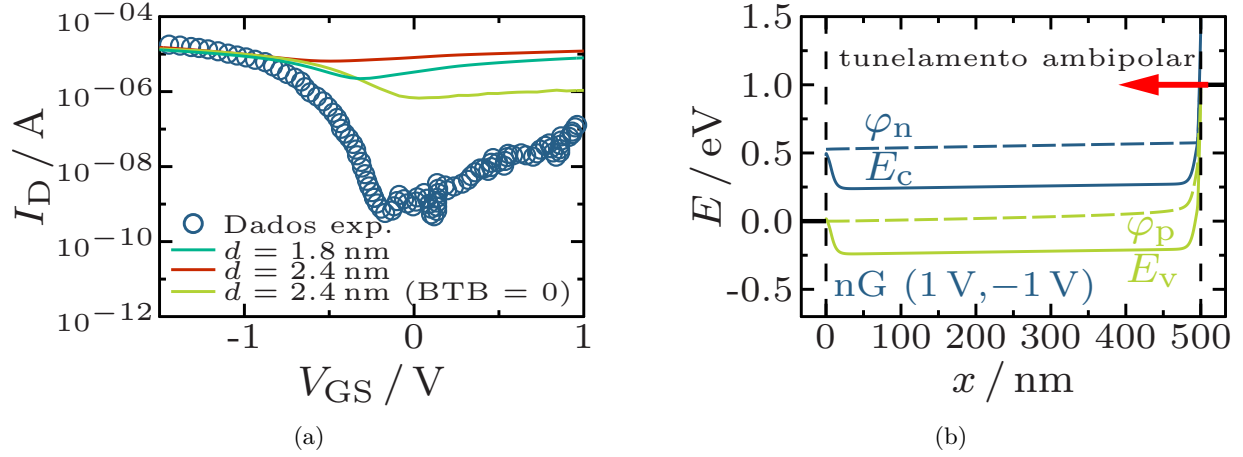


Figura 4.5: Comparação das curvas características de transferência simuladas para o nG CNTFET do tipo  $p$  em  $V_{ds} = -1$  V (a) com dados experimentais retirados de [62] e diagrama de bandas no estado *off* em  $(V_{GS}, V_{DS})$  para uma grande tensão positiva (b).

## 4.2 Arquiteturas R-nanoFETs

As curvas características de transferência dos quatro R-nanoFETs estão mostradas na Figura 4.6. Para uma baixa tensão  $V_{GS}$ , o 3G R-nanoFET exibe o melhor controle de porta, produzindo uma pequena tensão limiar, mas o comportamento das outras arquiteturas menos complexas (1G, FBG e 2G) é menos ideal e semelhante entre si. Como a tensão da porta de programação do 3G é limitada para 1.2 V, para que a porta exerça um bom controle do potencial do canal (vide Tabela 3.1), sua corrente de dreno acaba sendo nivelada em  $V_G \approx V_{PGS/D}$  gerando uma  $I_{on}$  reduzida.

A forma da curva de saída é significativamente afetada pela arquitetura do dispositivo. Como visto na Figura 4.7, as portas de programação dedicadas garantem comportamentos diferentes em relação à tensão  $V_{DS}$ : para uma baixa  $V_{DS}$ , é observada uma corrente de saída linear; já para uma grande tensão  $V_{DS}$ , observa-se uma corrente de saturação causada pela dopagem eletrostática das respectivas porções do canal independente da tensão de dreno. Por outro lado, a corrente no estado *off* para ambos 2G e o 3G R-nanoFETs é maior e fortemente dependente da tensão de porta  $V_{GS}$  devido ao tunelamento de BTB habilitado pela grande curvatura de banda na porção do canal entre a porta de controle e a porta de programação do lado do dreno nessas estruturas.

Essas características, no entanto, são perdidas para as arquiteturas 1G e FBG e também para o 3G R-nanoFET com um esquema local de roteamento simplificado onde  $V_{PGS} = V_{PGD} = V_D$ , apresentado na Figura 4.8, já que uma barreira potencial que controla a corrente se forma perto do dreno que depende de  $V_{DS}$ .

Na Figura 4.9 as curvas de saída do 2G R-nanoFET (Figura 4.7(c)) são comparadas com a corrente normalizada para todas as arquiteturas. A corrente  $I_{norm}$  retirada no ponto  $V_{DS} = V_{sup}$  para um  $V_{GS} = V_{sup}/2$ , foi usada para normalização. Os valores de  $I_{norm}$  diferem apenas ligeiramente para todos os R-nanoFETs, e estão relatados na Tabela 4.2, junto com os pontos de

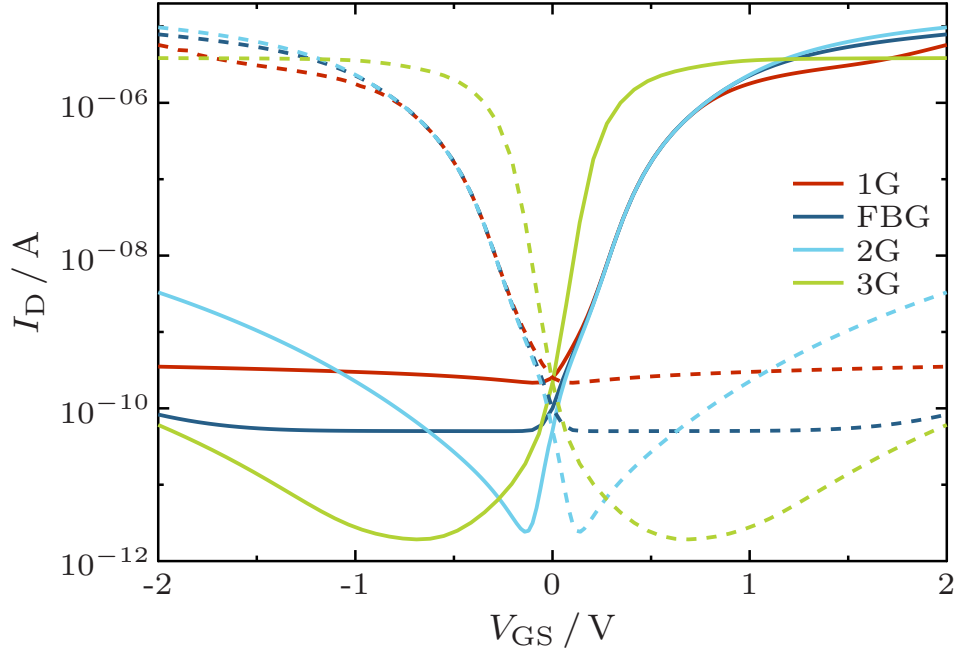


Figura 4.6: Curvas de transferência em  $|V_{DS}| = 1$  V para todas as quatro arquiteturas R-nanoFET.

Tabela 4.2: Correntes usadas para normalização retiradas nos pontos de operação ( $V_{GS}, V_{DS}$ ).

Arquitetura	$I_{on}/\text{canal}$	$V_{GS} = V_{sup}/2$ e $V_{DS} = V_{sup}$
1G	$2.32 \mu\text{A}$	(1 V, 2 V)
FBG	$2.33 \mu\text{A}$	(1 V, 2 V)
2G	$2.33 \mu\text{A}$	(1 V, 2 V)
3G	$2.49 \mu\text{A}$	(0.6 V, 1.2 V)

operação exatos. Por outro lado, a corrente no estado *on* por nanotubo em  $V_{GS} = V_{sup}$  depende significativamente da arquitetura, como visto na Tabela 4.3.

#### 4.2.1 Outras opções de projeto

As diferentes opções de configuração dos R-nanoFETs estão resumidas na Figura 4.10. O impacto do projeto em termos de dimensão, tensão de programação, largura de banda proibida e tensão de polarização é mostrado em relação à curva de transferência da arquitetura 3G R-nanoFET. A corrente de fuga é significativamente influenciada pela barreira de tunelamento BTB, que se desenvolve dentro da porção do canal entre a porta de controle (CG) e a porta de programação do lado do dreno (PGD) no estado *off*.

Ao diminuir o espaçamento entre as duas portas (Figura 4.10(a)), a barreira de tunelamento BTB fica mais fina. O aumento correspondente da corrente  $I_{off}$  para uma  $I_{on}$  constante leva a uma diminuição da razão  $I_{on}/I_{off}$  de  $10^7$  para menos de 100 ao diminuir o espaçamento de 100 nm para 25 nm. Portanto, todas as arquiteturas investigadas (com exceção do 1G R-nanoFET, que não

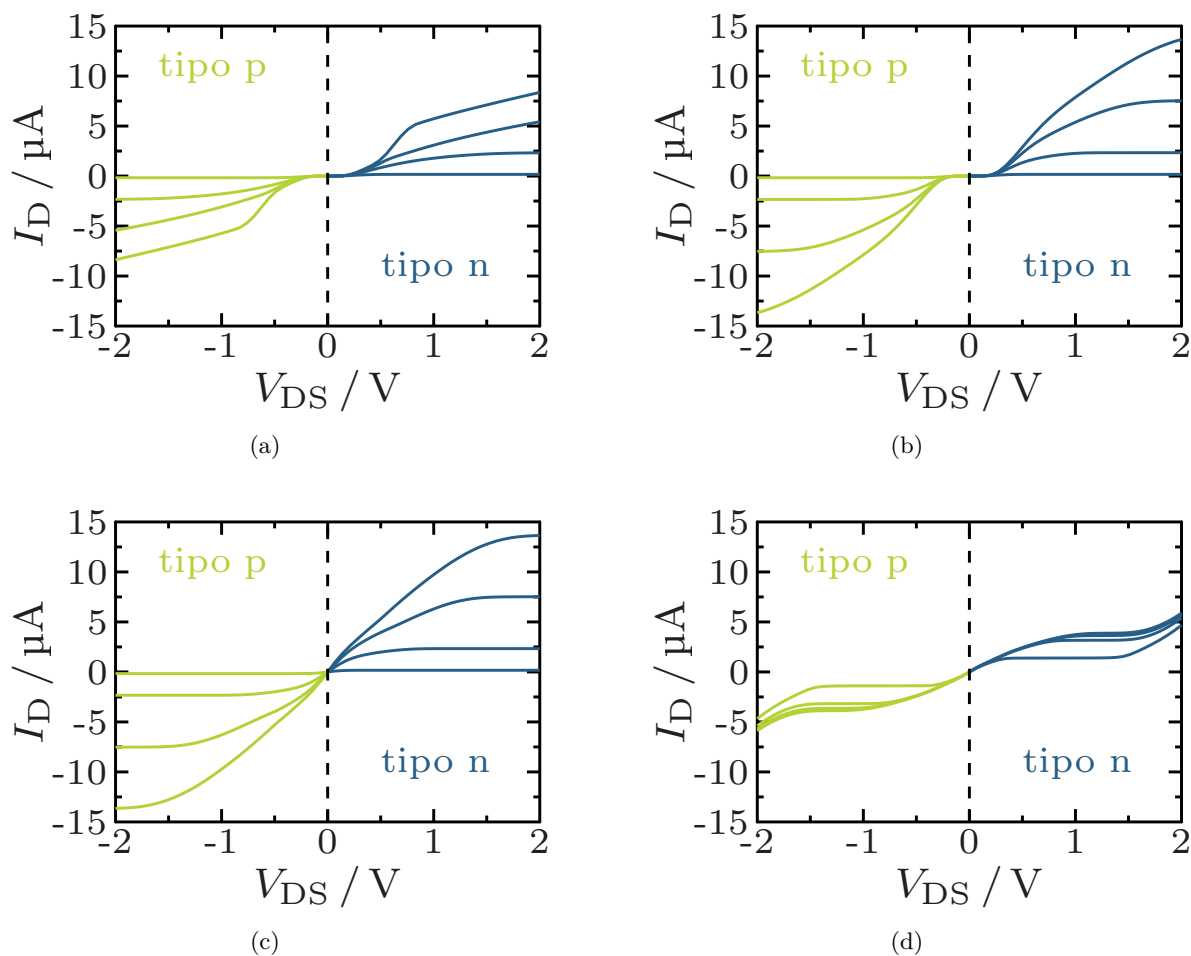


Figura 4.7: Curvas de saída para todas as quatro arquiteturas R-nanoFET. A tensão de porta equivale a  $|V_{GS}| = 0.5, 1.0, 1.5$  e  $2\text{ V}$  para o 1G (a), FBG (b) e 2G R-nanoFET (c). Para o 3G R-nanoFET (d) as curva de saída mostradas são para diferentes valores de tensão de porta:  $|V_{GS}| = 0.4, 0.8, 1.0$  e  $1.2\text{ V}$ .

Tabela 4.3: Correntes de saída nos pontos de operação ( $V_{GS}, V_{DS}$ ).

Arquitetura	$I_{on}/\text{canal}$	$V_{GS} = V_{DS} = V_{sup}$
1G	$8.37\ \mu\text{A}$	(2V, 2V)
FBG	$13.66\ \mu\text{A}$	(2V, 2V)
2G	$13.65\ \mu\text{A}$	(2V, 2V)
3G	$3.91\ \mu\text{A}$	(1.2V, 1.2V)

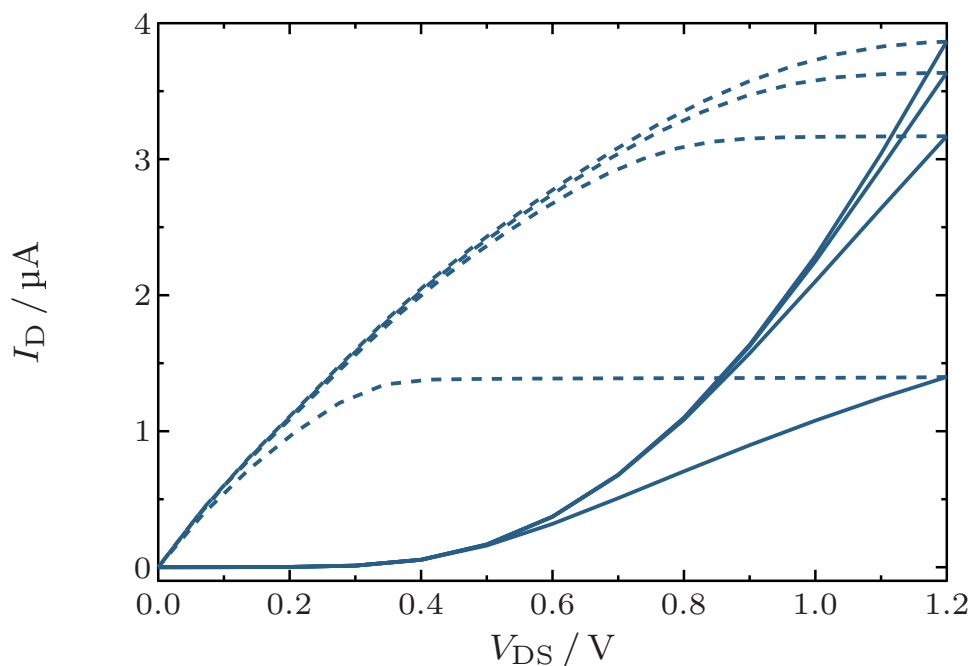


Figura 4.8: Curva de saída do 3G R-nanoFET em  $V_{GS} = 0.4, 0.8, 1.0$  e  $1.2$  V com um roteamento simplificado onde  $V_{PGS/D} = V_D$ . As linhas tracejadas indicam  $I_D$  para as mesmas tensões de porta, mas com uma tensão de programação fixa de  $V_{PGS/D} = 1.2$  V.

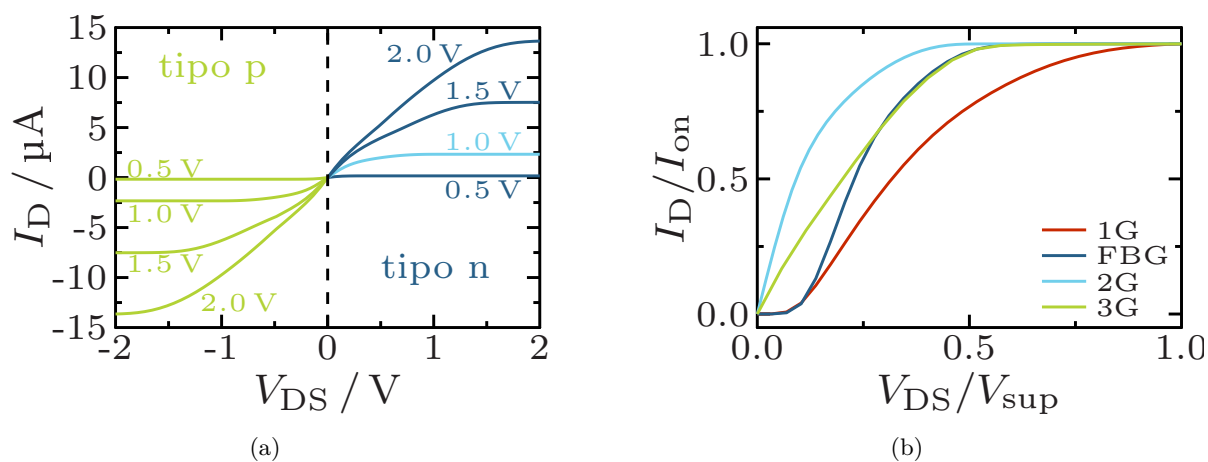


Figura 4.9: Curvas de saída para um 2G-CNTFET do tipo  $p$  e  $n$  (a) e comparação do ramo  $n$  em  $V_{GS} = V_{sup}/2$  para todas as arquiteturas (b).

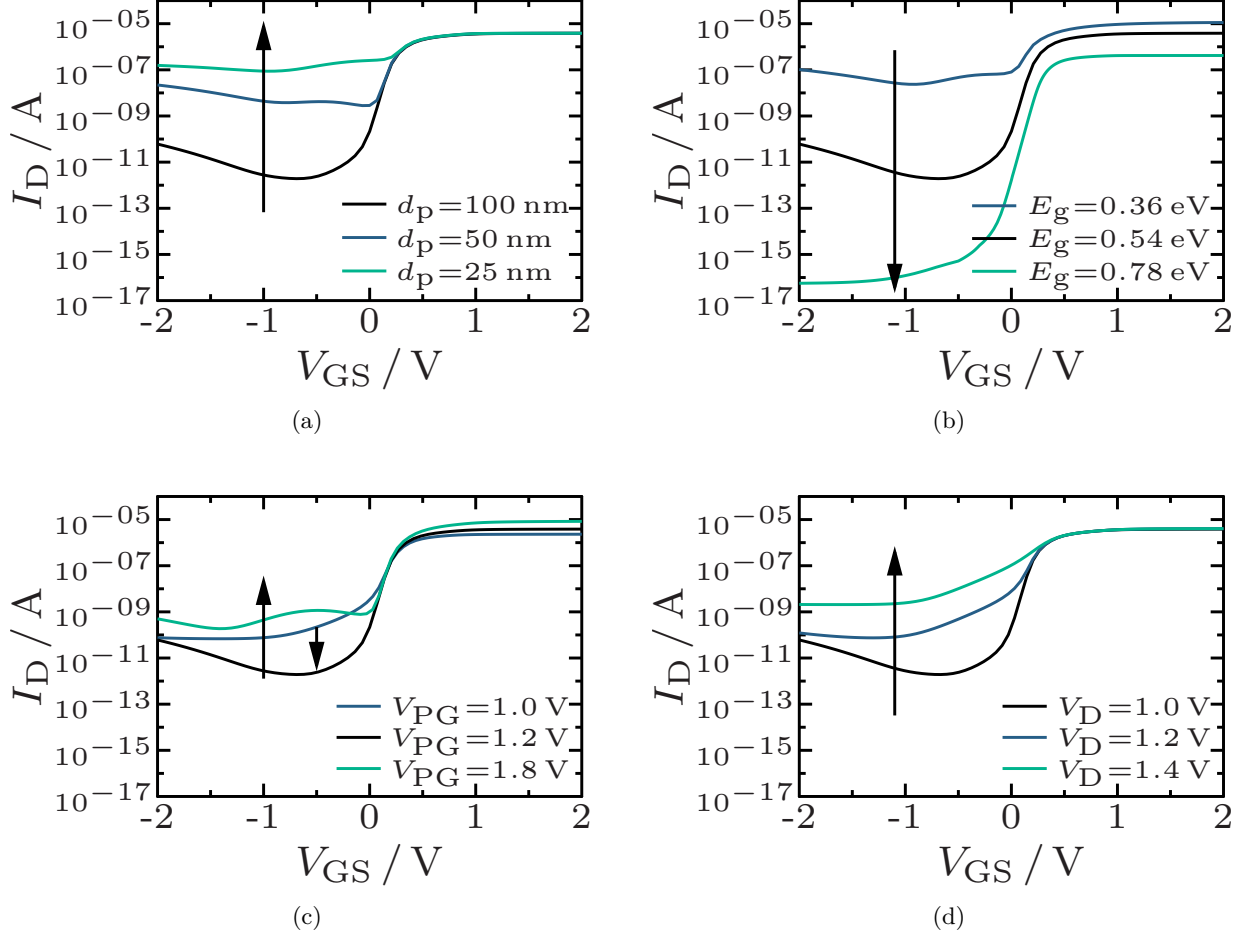


Figura 4.10: Características de transferências em  $V_{DS} = 1$  V de um 3G R-nanoFET com  $0.5 \mu\text{m}$  de comprimento de canal configurado no modo  $p$  para diferentes (a) distâncias entre a porta de controle e as duas portas de programação, (b) bandas proibidas do material do canal (correspondente aos diâmetros CNT de 2.4, 1.6 e 1.1 nm), (c) tensões da porta de programação e (d) tensões de polarização do dreno. A curva nominal (preta) indica as condições escolhidas para a comparação de desempenho.

emprega nenhuma porta adicional) adotam o mesmo espaçamento  $d_P = 100$  nm quanto ao protótipo experimental do dispositivo. Já que todos os dispositivos empregam o mesmo comprimento de canal, o comprimento de porta  $L_G = d_P$  só é utilizado para o 3G R-nanoFET.

Da mesma forma, um aumento da  $E_{\text{gap}}$  diminui a  $I_{\text{BTB}}$  e aumenta a temperatura máxima de operação (Figura 4.10(b)). No entanto, a melhoria deve ser equilibrada em relação à diminuição da corrente máxima disponível, uma vez que uma  $E_{\text{gap}}$  grande implica em uma SB de maior altura para pelo menos um tipo de portador de carga e irá dificultar a injeção de cargas.

As tensões de programação diferem para as arquiteturas 2G e 3G e totalizam a  $|V_{\text{PGD}}| = 2$  V e  $|V_{\text{PGD/S}}| = 1.2$  V, respectivamente. Normalmente, são desejáveis grandes correntes de dreno, especialmente para a aplicação com circuitos analógicos. No entanto, a máxima  $I_{\text{on}}$  em dispositivos com várias portas é limitada pela porta com o menor potencial e, por conseguinte, com a maior

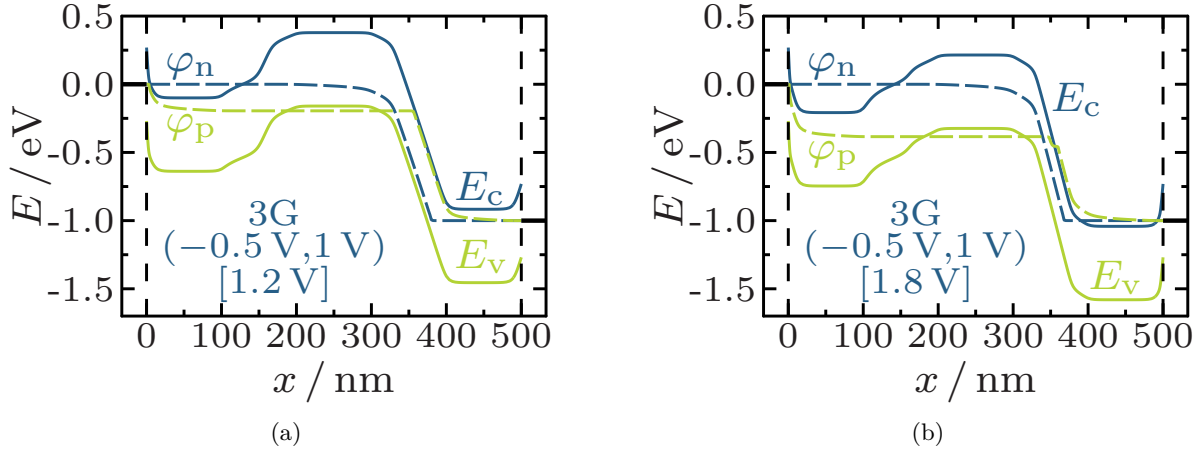


Figura 4.11: Diagrama de bandas do estado *off* para um 3G nanoFET do tipo *n* em  $(V_{GS}, V_{DS})$  e diferentes  $[V_{PGD/S}]$ .

barreira de potencial por baixo, o que limita a faixa de polarização útil da porta de controle para  $|V_G| < |V_{PGS/D}|$ . Portanto, as tensões de programação devem ser maximizadas, mas o dispositivo 3G só permite valores menores para manter um  $I_{off}$  aceitável, como visto na Figura 4.10(c). Considerando que na arquitetura 2G a corrente no estado *off* é determinada pelo tunelamento BTB, um mecanismo de fuga diferente está ativo no 3G R-nanoFET.

O impacto do aumento das tensões de programação  $|V_{PGS/D}|$  no 3G é melhor ilustrado com auxílio dos diagramas de banda da Figura 4.11. Uma grande tensão  $|V_{PGS/D}|$  causa um aumento do número de portadores de carga no canal, que leva à diminuição do controle de porta. Um menor controle de porta, por sua vez, gera uma barreira de potencial mais baixa sob a porta de controle do transistor, permitindo uma emissão termiônica de cargas mais pronunciada, o que aumenta  $I_{off}$ .

Devido ao mesmo motivo, a *band gap* do semiconductor não só afeta a corrente no estado *off* como também a inclinação de sublimiar. A inclinação de sublimiar  $S$  diminui com o aumento de  $E_{gap}$ , já que para maiores *band gaps*, a injeção de cargas através da SB (que também é maior) diminui. Isso reduz o número de portadores de carga no canal, melhorando assim o controle de porta e por conseguinte, gerando uma mudança mais acentuada da corrente de dreno  $I_D$  com a variação de  $V_{GS}$ .

Finalmente, na Figura 4.10(d), ao diminuir as tensões das portas de programação de 2 V para 1.2 V, o máximo de  $|V_D|$  também deve ser reduzido. O mecanismo de fuga operante no 3G nanoFET do tipo *n* é elucidado com os diagramas de banda da Figura 4.12. No estado *off*, o tunelamento de lacunas pela SB do lado do dreno torna-se possível para  $V_{DS} > V_{PGD}$ . Como consequência, a densidade de lacunas dentro do canal excede significativamente o valor intrínseco e  $I_{off}$  aumenta.

Os três mecanismos de fuga que afetam as arquiteturas de múltiplas portas se referem aos portadores de carga que atravessam (i) a barreira de potencial induzida pela porta de controle

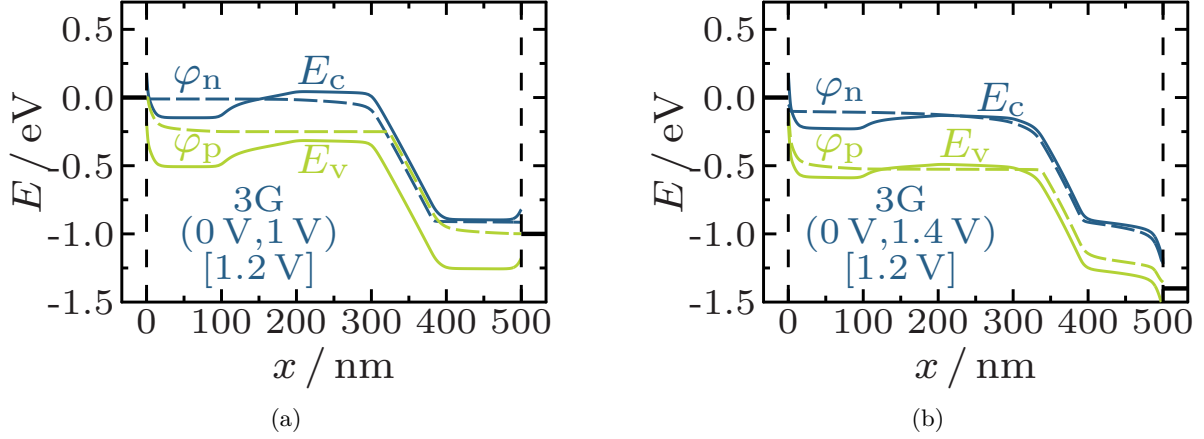


Figura 4.12: Diagrama de bandas do estado *off* para um 3G nanoFET do tipo *n* em  $(V_{GS}, V_{DS})$  e  $V_{PGD/S} = 1.2$  V.

Tabela 4.4: Valores de  $g_{m,peak}$  e de  $g_m$  no ponto de chaveamento  $(V_{GS}, V_{DS})$ .

Arquitetura	$g_{m,peak}$	$g_m$	$V_{GS} = V_{DS} = V_{sup}/2$
1G	3.86 $\mu$ S	3.30 $\mu$ S	(1 V, 1 V)
FBG	6.58 $\mu$ S	6.45 $\mu$ S	(1 V, 1 V)
2G	8.13 $\mu$ S	7.36 $\mu$ S	(1 V, 1 V)
3G	7.09 $\mu$ S	2.00 $\mu$ S	(0.6 V, 0.6 V)

por meio de emissão termiônica, bem como mediante o tunelamento através da (ii) barreira de tunelamento BTB formada na porção do canal entre G e PGD ou pela (iii) SB do lado do dreno. Assim, o projeto correto de um 3G R-nanoFET pode ser bastante desafiador e é possível que este conceito de dispositivo complexo seja mais útil para aplicações de baixa tensão.

#### 4.2.2 Transcondutância e inclinação de sublimiar

As curvas de transcondutância para todas as quatro arquiteturas R-nanoFET estão mostradas na Figura 4.13. Os valores de  $g_{m,peak}$  e  $g_m$  no ponto de chaveamento  $(V_{GS} = V_{DS} = V_{sup}/2)$  estão na Tabela 4.4. Curiosamente, a transcondutância do 1G R-nanoFET exibe uma dependência de polarização incomum com dois picos, como visto na Figura 4.13, que é o resultado de dois efeitos relacionados à geometria: com a tensão da porta, (i) a largura da SB diminui e (ii) um degrau potencial se forma no final da porta de controle [54]. O valor de pico da transcondutância é geralmente menor para as arquiteturas que não tem porta de programação dedicada (1G e FBG). Uma vez que o controle do potencial do canal do lado do dreno nessas arquiteturas é feito pelo próprio contato de dreno, ele não é afetado pela  $V_{sup}$  e leva a uma  $I_D$  menor.

As inclinações de sublimiar para os quatro R-nanoFETs estão na Tabela 4.5. O 3G R-nanoFET exibe a inclinação de sublimiar  $S$  mais próxima ao limite de 60 mV/dec.



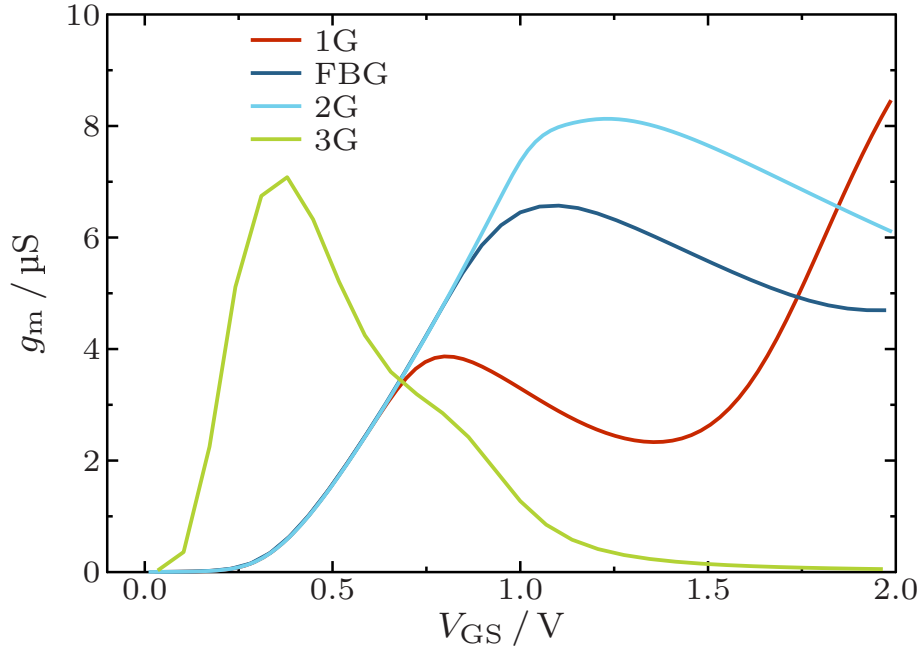


Figura 4.13: Curvas de dependência de tensão correspondente da transcondutância para todas as quatro arquiteturas R-nanoFET.

Tabela 4.5: Inclinações de sublimiar para os quatro R-nanoFETs.

<b>1G</b>	<b>FBG</b>	<b>2G</b>	<b>3G</b>
149 mV/dec	144 mV/dec	142 mV/dec	61 mV/dec

### 4.2.3 Capacitâncias parasitárias

Finalmente, a Tabela 4.6 mostra as capacitâncias das portas de controle e de programação das quatro arquiteturas R-nanoFETs. As capacitâncias parasitárias entre os terminais são importantes para estimar os tempos de atraso em aplicações relacionadas, especialmente para canais com diâmetros em nanoescala que acomodam uma pequena quantidade de cargas. As portas localizadas próximas aos contatos de fonte ou de dreno exibem valores semelhantes, independentemente do comprimento da porta correspondente. A arquitetura 3G possui o menor  $C_G$  devido à posição central da porta de controle entre as portas de programação.

Tabela 4.6: Capacitâncias parasitárias das portas dos quatro R-nanoFETs.

<b>Arquitetura</b>	$C_{PS}$	$C_G$	$C_{PD}$
1G	-	13.5 aF $\mu\text{m}^{-1}$	-
FBG	-	14.5 aF $\mu\text{m}^{-1}$	-
2G	-	14.5 aF $\mu\text{m}^{-1}$	14.5 aF $\mu\text{m}^{-1}$
3G	14.5 aF $\mu\text{m}^{-1}$	2.81 aF $\mu\text{m}^{-1}$	14.5 aF $\mu\text{m}^{-1}$

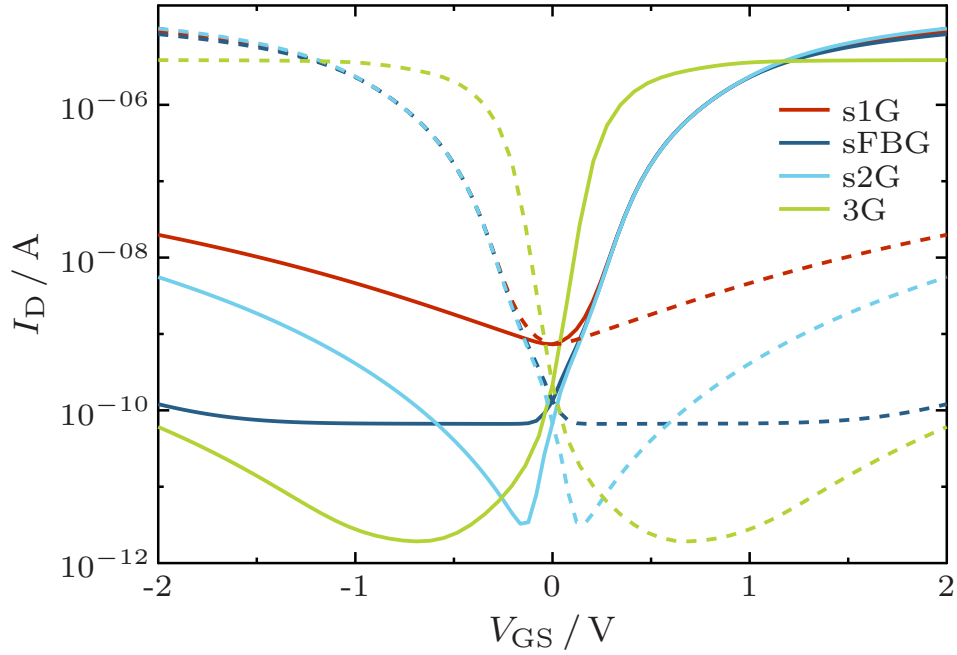


Figura 4.14: Curvas de transferência em  $|V_{DS}| = 1$  V para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET.

Tabela 4.7: Correntes de saída nos pontos de operação ( $V_{GS}, V_{DS}$ ).

Arquitetura	$I_{on}/\text{canal}$	$V_{GS} = V_{DS} = V_{sup}$
s1G	14.16 $\mu\text{A}$	(2 V, 2 V)
sFBG	14.03 $\mu\text{A}$	(2 V, 2 V)
s2G	14.00 $\mu\text{A}$	(2 V, 2 V)

### 4.3 Escalamento geométrico das arquiteturas

As curvas características de transferência dos três R-nanoFETs escalados (s1G, sFBG e s2G) estão mostradas na Figura 4.14. A curva do 3G R-nanoFET é a mesma da Figura 4.6, já que esta geometria não foi alterada. O impacto do escalamento é muito nítido na arquitetura s1G, onde um aumento significativo de  $I_{off}$  é observado. Enquanto sFBG e s2G também apresentam um aumento em  $I_{off}$ , ele não é tão pronunciado. O 2G ainda tem uma melhora em  $I_{on}$ , tornando-se mais semelhante à FBG.

As curvas de saída dos três R-nanoFETs escalados estão mostradas na Figura 4.15. A diferença mais marcante está no s1G, que apresenta uma corrente  $I_{on}$  maior que o 1G de canal  $0.5 \mu\text{m}$  e mais semelhante ao FBG. Uma corrente  $I_{norm}$  foi retirada no ponto (1 V, 2 V), isto é,  $V_{GS} = V_{sup}/2$  e  $V_{DS} = V_{sup}$ . Similarmente, o valor de  $I_{norm}$  difere muito pouco e equivale a  $I_{on} \approx 2.35 \mu\text{A}/\text{canal}$ . As curvas normalizadas para esta  $I_{norm}$  estão na Figura 4.16. Dessa vez, as correntes no estado *on* por nanotubo em  $V_{GS} = V_{sup}$  (2 V, 2 V) são muito parecidas para as três arquiteturas, como visto na Tabela 4.7.

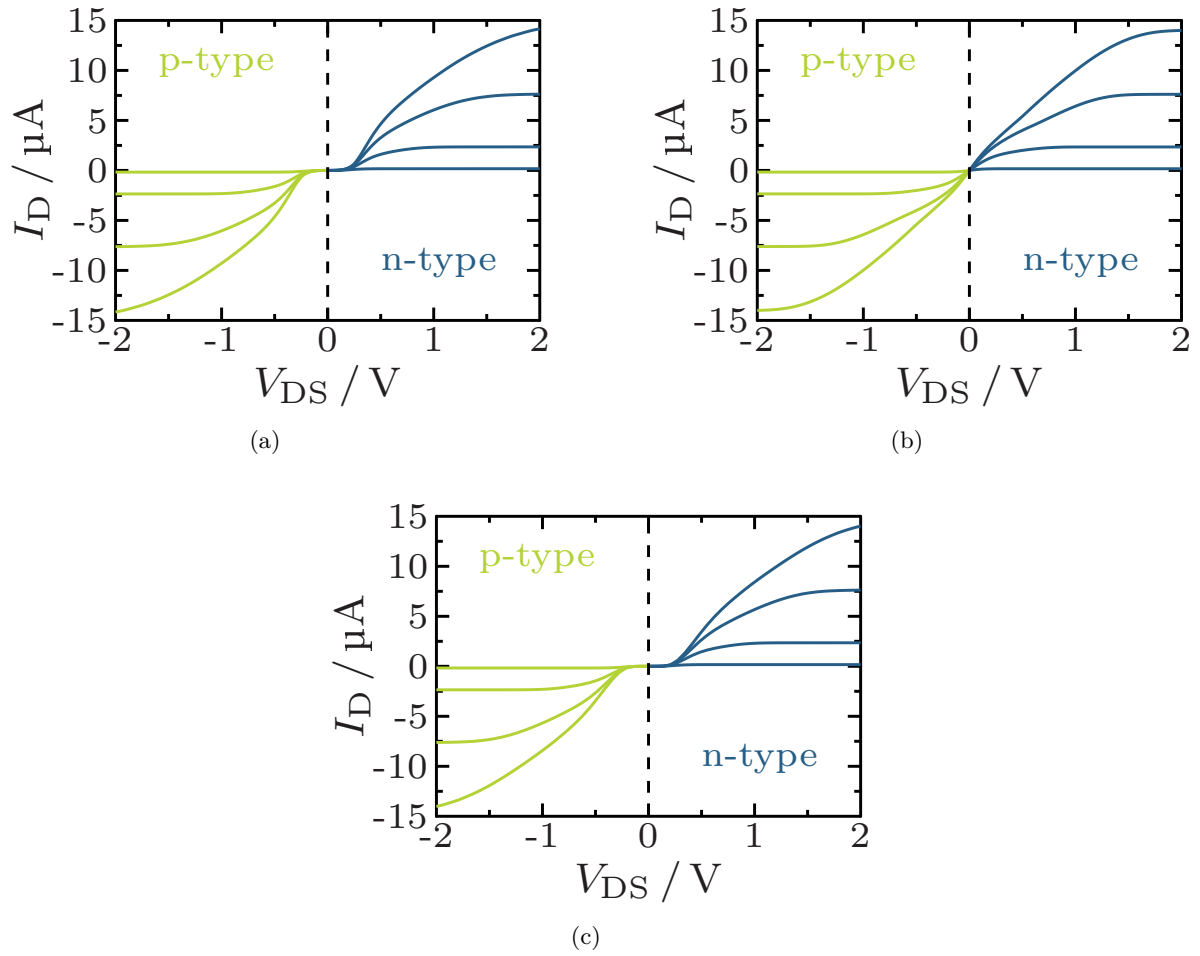


Figura 4.15: Curvas de saída para as três arquiteturas R-nanoFET escaladas. A tensão de porta equivale a  $|V_{GS}| = 0.5, 1.0, 1.5$  e  $2$  V para o s1G (a), sFBG (b) e s2G R-nanoFET (c).

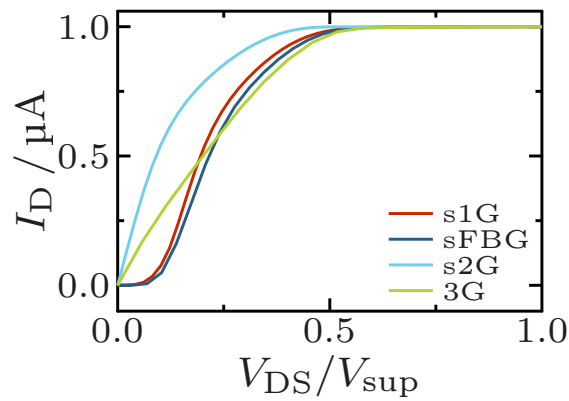


Figura 4.16: Comparação do ramo  $n$  em  $V_{GS} = V_{sup}/2$  para as diferentes arquiteturas com o canal escalado e o 3G R-nanoFET.

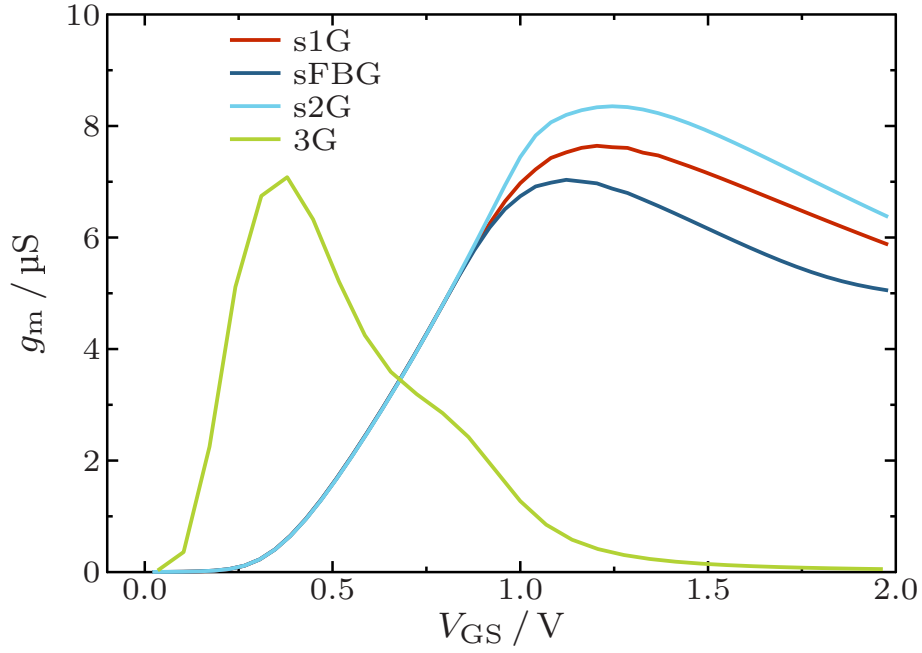


Figura 4.17: Curvas de dependência de tensão correspondente da transcondutância para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET.

Tabela 4.8: Valores de  $g_{m,\text{peak}}$  e de  $g_m$  no ponto de chaveamento ( $V_{GS}, V_{DS}$ ).

Arquitetura	$g_{m,\text{peak}}$	$g_m$	$V_{GS} = V_{DS} = V_{\text{sup}}/2$
s1G	7.64 $\mu\text{S}$	6.98 $\mu\text{S}$	(1 V, 1 V)
sFBG	7.03 $\mu\text{S}$	6.74 $\mu\text{S}$	(1 V, 1 V)
s2G	8.35 $\mu\text{S}$	7.70 $\mu\text{S}$	(1 V, 1 V)

As curvas de transcondutância estão mostradas na Figura 4.17. Os valores de  $g_{m,\text{peak}}$  e  $g_m$  no ponto de chaveamento observados para s1G, sFBG e s2G estão na Tabela 4.8. Devido à diferença mais pronunciada na curva de transferência do s1G, foi esperado que ele exibisse a maior mudança nos valores de  $g_m$ . Além de não apresentar mais os dois picos na curva, os valores são maiores que os de canal não escalado.

As inclinações de sublimiar para os três R-nanoFETs estão na Tabela 4.9. Por fim, a Tabela 4.10 mostra as capacitâncias das portas de controle e de programação das três arquiteturas R-nanoFETs. Agora, o 1G tem uma capacitância de porta igual à das outras geometrias.

Tabela 4.9: Inclinações de sublimiar para os três R-nanoFETs escalados.

s1G	sFBG	s2G
145 mV/dec	147 mV/dec	146 mV/dec

Tabela 4.10: Capacitâncias parasitárias das portas dos três R-nanoFETs escalados.

Arquitetura	$C_{PS}$	$C_G$	$C_{PD}$
s1G	-	$14.5 \text{ aF } \mu\text{m}^{-1}$	-
sFBG	-	$14.5 \text{ aF } \mu\text{m}^{-1}$	-
s2G	-	$14.5 \text{ aF } \mu\text{m}^{-1}$	$14.5 \text{ aF } \mu\text{m}^{-1}$

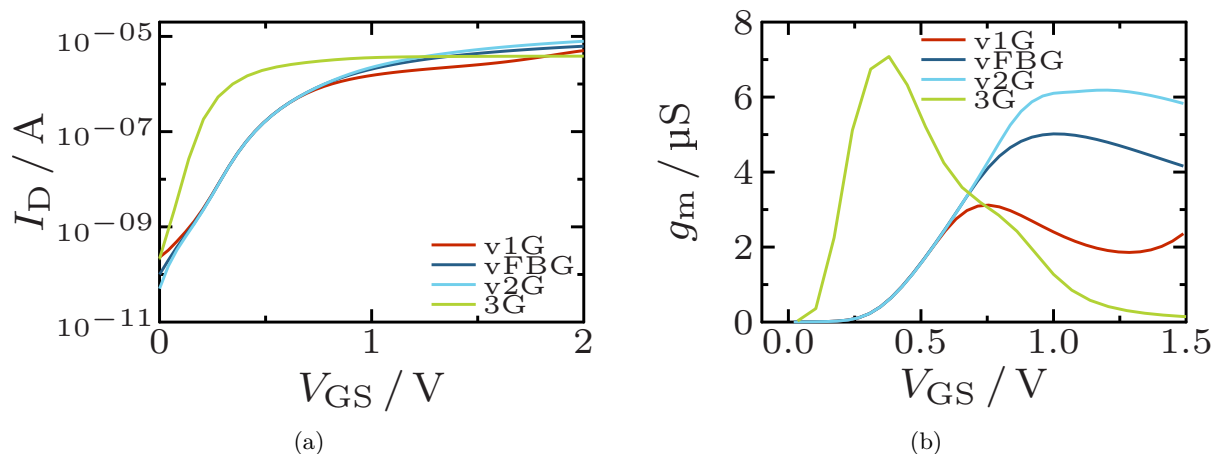


Figura 4.18: (a) Curvas de transferência em  $V_{DS} = 1 \text{ V}$  e  $V_{sup} = 1.6 \text{ V}$  para v1G, vFBG e v2G R-nanoFET (só ramo  $n$ ) e  $|V_{DS}| = 0.6 \text{ V}$  e  $V_{sup} = 1.2 \text{ V}$  para 3G R-nanoFET. (b) Curvas de transcondutância para as quatro geometrias.

#### 4.4 Ajuste da tensão de alimentação

A tensão de alimentação das geometrias 1G, FBG e 2G R-nanoFET com canal de comprimento  $0.5 \mu\text{m}$  foi ajustada para  $V_{sup} = 1.6 \text{ V}$ . As curvas características de transferência dos três R-nanoFETs ajustados (v1G, vFBG, v2G) estão mostradas na Figura 4.18(a), junto com a curva do 3G R-nanoFET. As curvas de dependência de tensão correspondente da transcondutância estão na Figura 4.18(b). Os valores de  $g_{m,peak}$  e  $g_m$  no ponto de chaveamento ( $V_{GS} = V_{DS} = V_{sup}/2$ ) estão na Tabela 4.11.

As curvas de saída dos três R-nanoFETs ajustados estão mostradas na Figura 4.19. Os mesmos mecanismos regentes nas arquiteturas com canal de  $0.5 \mu\text{m}$  estão presentes, porém há uma diminuição nas correntes no estado *on* e uma forma de S mais acentuada para v1G e vFBG.

Tabela 4.11: Valores de  $g_{m,peak}$  e de  $g_m$  no ponto de chaveamento ( $V_{GS}, V_{DS}$ ).

Arquitetura	$g_{m,peak}$	$g_m$	$V_{GS} = V_{DS} = V_{sup}/2$
v1G	$3.12 \mu\text{S}$	$2.97 \mu\text{S}$	(0.8 V, 0.8 V)
vFBG	$5.02 \mu\text{S}$	$4.65 \mu\text{S}$	(0.8 V, 0.8 V)
v2G	$6.19 \mu\text{S}$	$5.25 \mu\text{S}$	(0.8 V, 0.8 V)

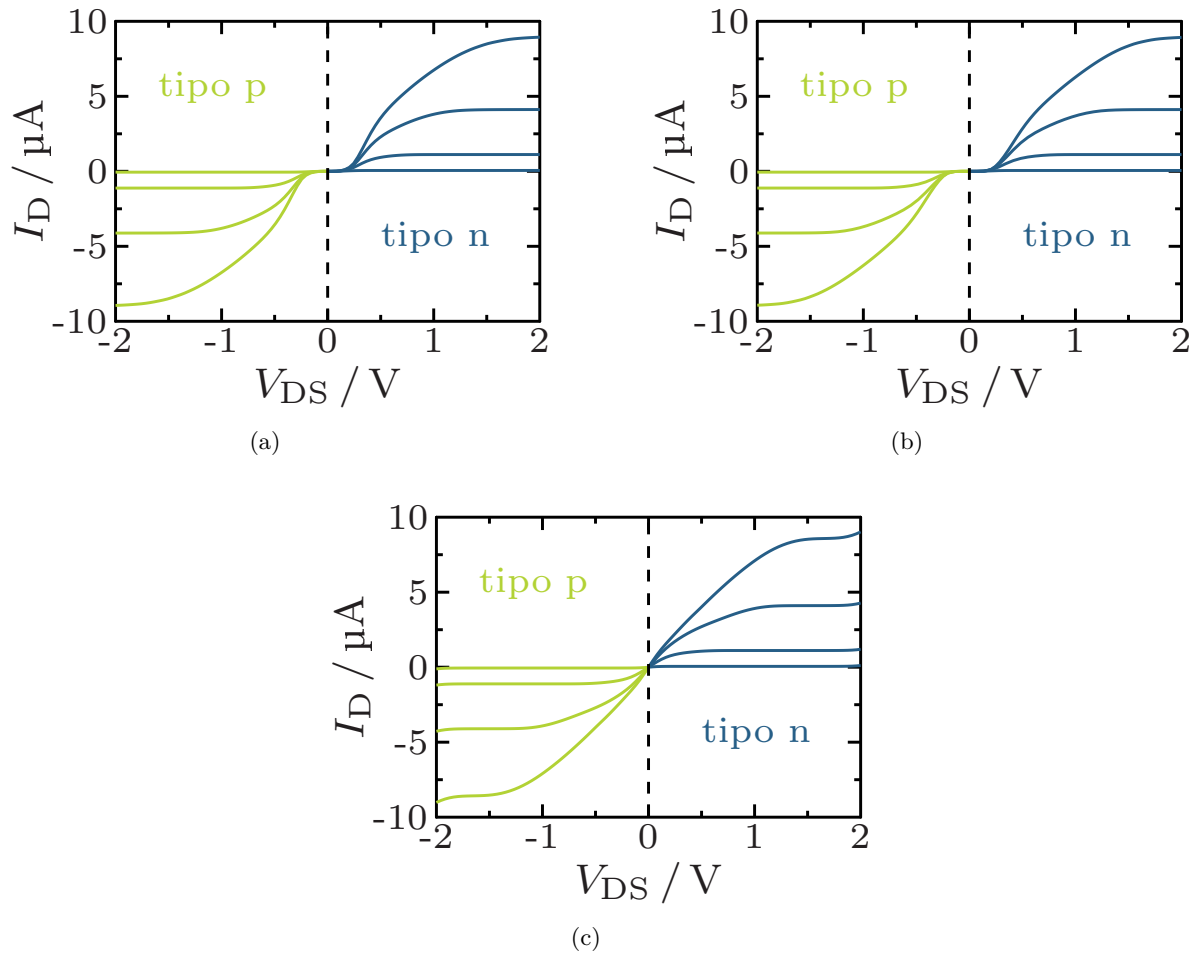


Figura 4.19: Curvas de saída para as três arquiteturas R-nanoFET com tensão de alimentação ajustada. A tensão de porta equivale a  $|V_{GS}| = 0.5, 1.0, 1.5$  e  $2\text{V}$  para o v1G (a), vFBG (b) e v2G R-nanoFET (c).

Tabela 4.12: FOMs relevantes selecionadas para um Inversor C-nanoFET com atraso FO4. Os ganhos de transistor intrínsecos são determinados com  $r_0$  extraídos no ponto de chaveamento e em saturação profunda.

Arquitetura	$g_m r_0$	$V_{th}/V_{sup}$	$\bar{R}_{on}/ch$	$\tau_P/ch$	$P_S/ch$	$E_L$
1G	9–24 dB	0.15	210 k $\Omega$	28 ps	0.82 nW	430 aJ
s1G	26–65 dB	0.19	100 k $\Omega$	15 ps	11.5 nW	460 aJ
v1G	14–60 dB	0.19	780 k $\Omega$	108 ps	0.54 nW	280 aJ
FBG	20–72 dB	0.17	140 k $\Omega$	21 ps	0.21 nW	460 aJ
sFBG	23–73 dB	0.17	130 k $\Omega$	20 ps	0.27 nW	460 aJ
vFBG	26–84 dB	0.21	620 k $\Omega$	94 ps	0.16 nW	300 aJ
2G	45–77 dB	0.25	80 k $\Omega$	13 ps	0.21 nW	460 aJ
s2G	47–77 dB	0.25	76 k $\Omega$	12 ps	0.27 nW	460 aJ
v2G	58–69 dB	0.29	540 k $\Omega$	90 ps	0.16 nW	300 aJ
3G	5–41 dB	0.15	190 k $\Omega$	5 ps	9.3 nW	32 aJ

## 4.5 Figuras de mérito

O resultado das FOMs investigadas estão na Tabela 4.12. As arquiteturas 1G, FBG, 2G e 3G são os R-nanoFETs de canal de comprimento 0.5  $\mu\text{m}$ . Enquanto s1G, sFBG e s2G são as geometrias escaladas e v1G, vFBG e v2G tem o ajuste de tensão de alimentação. A principal diferença entre as arquiteturas decorre da capacitância da porta, mesmo quando as tensões de fonte e dreno mudam durante a operação.

Dentre as geometrias com canal de 0.5  $\mu\text{m}$ , as que possuem portas de programação dedicadas (2G e 3G) fornecem inversores de baixa potência mais rápidos com VTCs que exibem uma transição nítida entre os dois níveis lógicos. No entanto, o roteamento local complexo requerido pode proibir o uso de um 2G ou 3G R-nanoFFET em um sistema VLSI como um FPTA. O principal efeito de reduzir a tensão de alimentação é um aumento significativo no atraso de propagação.

Com o escalamento do canal, o s1G tem uma redução de 60% da distância entre a fonte e o dreno do 1G, enquanto sFBG e s2G tem o canal reduzido em 40%. A diminuição do comprimento  $L_{ch}$  na geometria s1G, aumenta significativamente o controle do canal pelo dreno alongado, já que ele está mais perto da porta de controle. Assim, o desempenho se aproxima do desempenho de um FBG R-nanoFET, apresentando um aumento de 100 vezes em  $g_m r_0$  e um decréscimo de 2 vezes em  $\tau_P$ , no entanto, ao custo de um aumento de 14 vezes em  $P_S$ . Para os sFBG e s2G R-nanoFETs, não há mudança significativa no desempenho, uma indicação clara de que as características elétricas são dominadas pela injeção de carga através das SBs, independente do comprimento do canal  $L_{ch}$ .

## 4.6 Dependência do material

A Figura 4.20 relata a dependência das características elétricas na massa efetiva dos portadores de carga para as geometrias com canal de 0.5  $\mu\text{m}$ , enquanto as de canal escalado estão na

Figura 4.21. Em geral, o desempenho do transistor degrada e as FOMs se deterioram com o aumento da  $m_{\text{eff}}$  principalmente devido à diminuição da injeção de carga. No entanto, existem duas exceções notáveis.

Primeiro, na Figura 4.20(a), a inclinação de sublimiar  $S$  no 3G R-nanoFET é estabilizada devido à dopagem eletrostática fixa das porções do canal tanto do lado do contato de fonte quanto do dreno. Desse modo, o projeto do 3G consegue compensar parcialmente o impacto prejudicial na corrente de estado *on* decorrido do aumento da massa efetiva ao elevar a densidade de tubo/fio unidimensional ou a largura da porta. Segundo, na Figura 4.20(d), o ganho intrínseco pode ser otimizado ao se escolher um material diferente para o 1G e FBG R-nanoFET. A Figura 4.20(b) mostra que para arquiteturas simplificadas, a resistência de saída é baixa para uma carga de pequena massa efetiva e o aumento leva a um ganho máximo em  $m_{\text{eff}}/m_0 \approx 0.3$  e  $0.2$  respectivamente para o FBG e 1G R-nanoFET. Para o 3G R-nanoFET,  $g_m r_0$  permanece relativamente pequeno devido a uma incompatibilidade de  $V_{\text{sup}}/2$  e a tensão de programação necessária para atingir  $g_{m,\text{peak}}$ , como apresentado na Figura 4.13. Porém, o 3G apresenta a maior resistência de condução  $R_{\text{on}}$ , como visto na Figura 4.20(c).

Para as geometrias de canal escalado na Figura 4.21, as curvas do 3G apenas foram copiadas. A principal diferença está no ganho intrínseco para o 1G, que se tornou mais próximo do 2G.

As FOMs selecionadas na Seção 4.5 mostram que a escolha ideal da arquitetura depende do material do canal e da aplicação pretendida. Mesmo assim, uma classificação superficial é fornecida na Tabela 4.13. A arquitetura 3G é a escolha preferida para aplicações de baixa potência (*low power*, LP), que exigem uma baixa  $V_{\text{th}}$  e uma inclinação de sublimiar perto do limite 60 mV/dec. Além disso, um 3G R-nanoFET pode operar como um transistor de tunelamento, reduzindo significativamente a potência de *standby* [37]. Por outro lado, uma arquitetura FBG oferece ganhos altos (*high gains*, HG) quando operando a  $V_{\text{sup}}/2$  independente da escolha do material.

Aplicações analógicas de alta frequência (*high frequency*, HF) exigem um grande  $g_m/C_G$ , enquanto que sistemas digitais VLSI precisam (des)carregar capacitâncias o mais rápido possível usando transistores pequenos. Para ambos os cenários de aplicação, os projetos complexos com portas de programação dedicadas só se tornam sérios concorrentes quando empregam nanomateriais com portadores de carga cuja massa efetiva é suficientemente baixa. A esse respeito, os R-nanoFETs também apresentam um exemplo interessante de como novos materiais podem favorecer novos conceitos de dispositivos.

Um estudo sobre FD-SOI MOSFETs [60] concluiu que o desempenho de arquiteturas de transistores reconfiguráveis é inferior ao de uma geometria com uma porta normal e contatos unipolares. A principal razão dada é que a corrente no estado *on* é muito baixa para os R-FETs. Como já destacado pelos autores de [60], as principais estratégias para melhorar os R-FET envolvem (i) massas efetivas reduzidas, (ii) pequenas bandas proibidas semicondutoras e (iii) confinamento de cargas em geometrias reduzidas. Os nanomateriais podem oferecer essas propriedades tão vantajosas.

No presente estudo, o 2G R-nanoFET oferece a maior  $I_{\text{on}}/\text{canal}$ . Usando uma densidade de CNT realística, atualmente de  $60 \mu\text{m}^{-1}$ , a corrente no estado *on* equivale a um valor competitivo de  $820 \mu\text{A} \mu\text{m}^{-1}$ . Outras diferenças dos FD-SOI R-FETs decorrem da saturação de velocidade



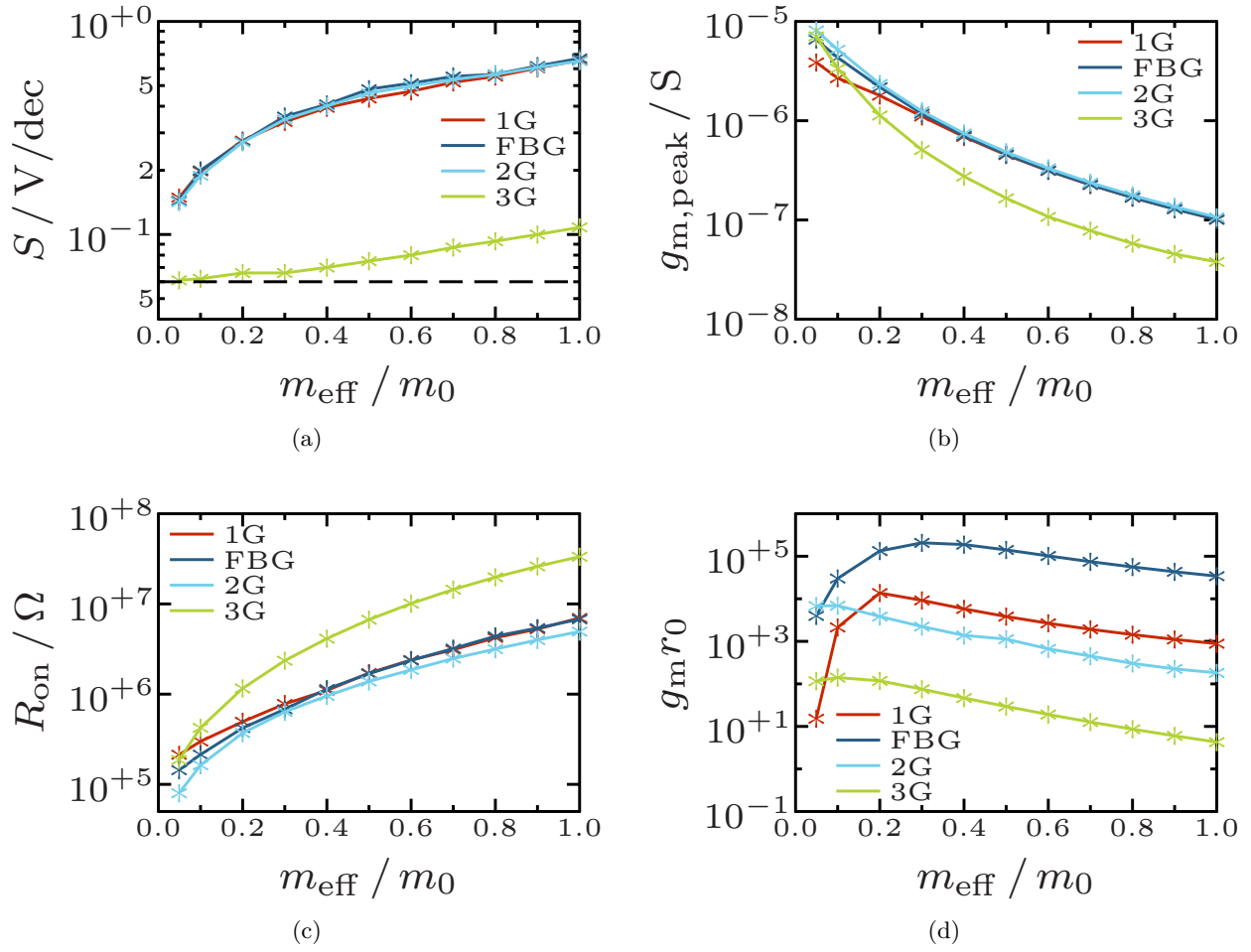


Figura 4.20: Dependência das FOMs selecionadas na massa efetiva das cargas do canal para as quatro arquiteturas R-nanoFET com canal de  $0.5 \mu\text{m}$  configuradas no modo  $n$ . A relação  $m_{\text{eff}}/m_0$  varia de 0,049 (CNT) para um.

existente em R-FETs baseados em nanomateriais, como maiores resistências de saída e correntes no estado  $on$  independentes do espaçamento G-para-PGD. Além disso, a possibilidade de tunelamento BTB tem que ser considerada em semicondutores de baixa *band gap* com portadores de carga de pequena massa efetiva.

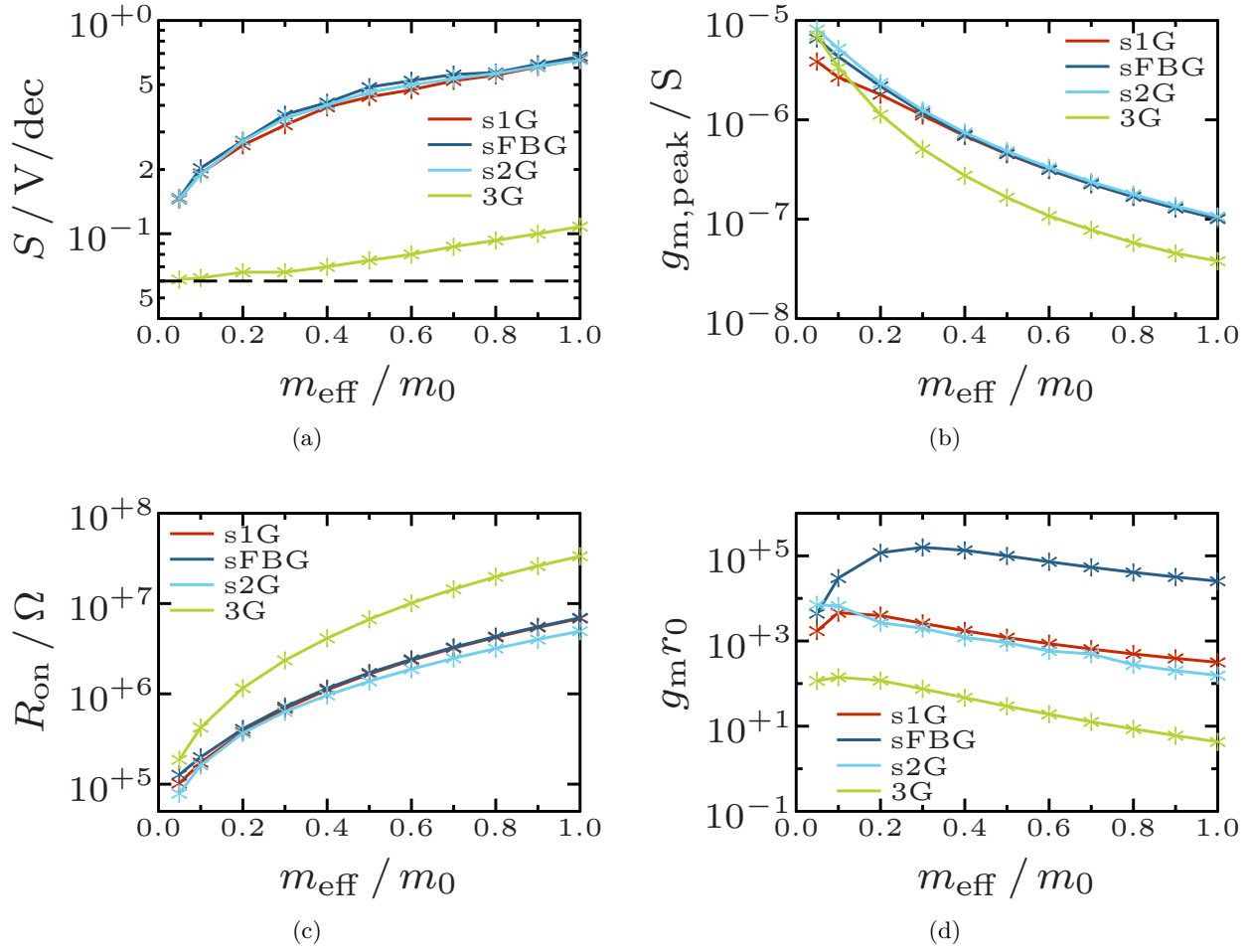


Figura 4.21: Dependência das FOMs selecionadas na massa efetiva das cargas do canal para as três arquiteturas R-nanoFET de canal escalado e o 3G R-nanoFET configurados no modo  $n$ . A relação  $m_{\text{eff}}/m_0$  varia de 0,049 (CNT) para um.

Tabela 4.13: Geometria ideal de R-nanoFET dependente do material e da aplicação.

	LP	HF	Digital	HG
$m_{\text{eff}}/m_0 \ll 0.2$	3G	2G/3G	2G	FBG
$m_{\text{eff}}/m_0 \gg 0.2$	3G	1G	1G/FBG	FBG

# Capítulo 5

## Conclusões

Neste estudo foi apresentado um comparativo de nanoFETs reconfiguráveis. Quatro arquiteturas com múltiplas portas e canal nanométrico baseado em nanotubos de carbono foram investigadas. É possível atingir a reconfigurabilidade com a aplicação do modelo de transporte de Deriva-Difusão para as correntes no canal e de dopagem eletrostática nos contatos de porta para modular a barreira de injeção de cargas.

O simulador de dispositivos COOS foi usado para a solução deste modelo de transporte (nomeadamente o cálculo da equação de Poisson e da densidade de cargas para determinação da corrente em cada ponto de operação). Os resultados numéricos obtidos com o simulador foram analisados usando a ferramenta MATLAB e transformados em gráficos usando a GLE.

O nanodimensionamento e a baixa dimensionalidade de nanomateriais dificultam a dopagem química, mas melhoram a modulação do potencial do canal pelos campos elétricos das portas. Dessa forma, a dopagem eletrostática torna-se uma interessante estratégia no projeto de dispositivo além de proporcionar o controle dinâmico de polaridade. Uma, duas ou três portas podem ser empregadas para controlar o potencial do canal e dos contatos. As arquiteturas com portas de programação dedicadas são mais beneficiadas pelo uso de novos materiais que possuem portadores de carga com baixas massas efetivas.

Os R-nanoFETs fornecem uma ampla variedade de características elétricas diferentes, que podem ser exploradas em circuitos reconfiguráveis inovadores. Mesmo circuitos eletrônicos não reconfiguráveis podem se beneficiar da modelagem flexível das curvas de saída e de transferência.

As configurações 2G e 3G são as indicadas para implementar um inversor C-nanoFET. Além disso, o 3G R-nanoFET pode ser configurado como um transistor de tunelamento e operar no modo de baixa potência. No entanto, um roteamento simplificado das portas de programação para o contato do dreno deteriora o desempenho do transistor de forma significativa. As arquiteturas menos complexas (1G, FBG), que têm propriedades de escalamento superiores, são mais favoráveis nesse sentido. Assim, os projetos simplificados representam uma alternativa séria para sistemas VLSI digitais.

Esses transistores são veículos interessantes para otimizar tecnologias emergentes. Primeiro por

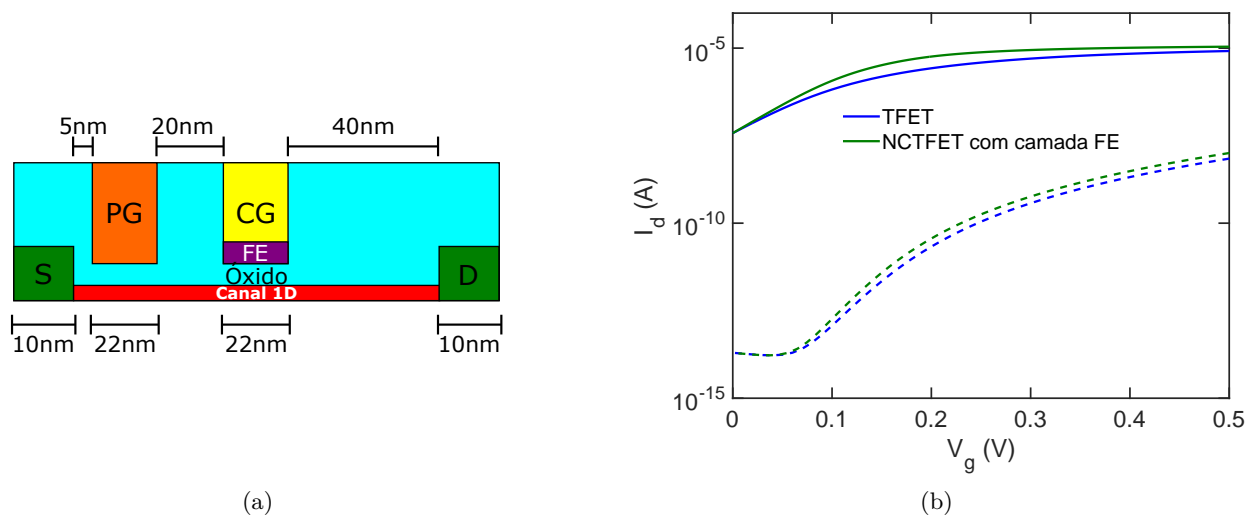


Figura 5.1: (a) Estrutura de TFET com camada ferroéletrica, (b) curva característica do transistor tipo  $n$  nos modos alta performance (*high performance*, HP) e baixa potência (*low power*, LP).

serem sensíveis a dopagem não intencional e a armadilhas; segundo pela variedade de fenômenos físicos envolvidos na operação do dispositivo, como a injeção de cargas através de barreiras de Schottky sintonizáveis; e por fim, pelos vários mecanismos de fuga presentes, incluindo tunelamento BTB, fluxo de corrente ambipolar e perda do controle de porta dependente da densidade de cargas.

Os R-nanoFETs aqui investigados empregam um canal de  $0.5\ \mu\text{m}$  de comprimento e podem ser fabricados a baixos custos, permitindo testar as projeções de desempenho reivindicadas no presente trabalho.

## 5.1 Trabalhos Futuros

Os possíveis trabalhos futuros são:

- Desenvolver um modelo compacto para R-nanoFETs serem usados na simulação de circuitos;
- Explorar os R-nanoFETs em circuito eletrônicos que constroem blocos básicos em sistemas analógicos e digitais;
- Aplicar algoritmos evolutivos para otimizar os blocos básicos;
- Uso de uma porta adicional (*back gate*) para deslocar a curva horizontalmente;
- Uso de dopagem eletrostática para aumentar a compreensão do funcionamento de transistor;
- Uso de um TFET com uma camada ferroelétrica para melhorar a corrente. Um exemplo de estrutura e curvas de transferências estão na Figura 5.1.

# REFERÊNCIAS BIBLIOGRÁFICAS

- [1] MOORE, G. E. Cramming More Components onto Integrated Circuits. *Electronics*, v. 38, n. 8, p. 114–117, 1965. ISSN 0018-9219.
- [2] CRESSLER, J. D. *Silicon Earth: Introduction to Microelectronics and Nanotechnology Revolution*. [S.l.]: CAMBRIDGE UNIV PR, 2009. ISBN 0521705053.
- [3] IRDS. Executive Summary. In: *The International Roadmap for Devices and Systems*. [s.n.], 2017. Acesso em: 20 jun. 2018. Disponível em: <<https://irds.ieee.org/roadmap-2017>>.
- [4] IRDS. Beyond CMOS. In: *The International Roadmap for Devices and Systems*. [s.n.], 2017. Acesso em: 24 jun. 2018. Disponível em: <[https://irds.ieee.org/images/files/pdf/2017/2017IRDS\\_BC.pdf](https://irds.ieee.org/images/files/pdf/2017/2017IRDS_BC.pdf)>.
- [5] ARDEN, W. et al. "More-than-Moore" White Paper. 2010.
- [6] IRDS. Emerging Research Materials. In: *The International Roadmap for Devices and Systems*. [s.n.], 2017. Acesso em: 20 jun. 2018. Disponível em: <[https://irds.ieee.org/images/files/pdf/2017/2017IRDS\\_ERM.pdf](https://irds.ieee.org/images/files/pdf/2017/2017IRDS_ERM.pdf)>.
- [7] MOURA, R. et al. Reconfigurable NanoFETs: Performance projections for multiple-top-gate architectures. *IEEE Transactions on Nanotechnology*, Institute of Electrical and Electronics Engineers (IEEE), v. 17, n. 3, p. 467–474, may 2018.
- [8] MASSELOS, K.; VOROS, N. S. Introduction to Reconfigurable Hardware. In: *System Level Design of Reconfigurable Systems-on-Chip*. [S.l.]: Springer-Verlag, 2005. cap. 1, p. 15–26.
- [9] MCDONALD, E. Runtime FPGA partial reconfiguration. *IEEE Aerosp. Electron. Syst. Mag.*, v. 23, n. 7, p. 10–15, maio 2008.
- [10] BREYER, E. T. et al. Reconfigurable NAND/NOR Logic Gates in 28 nm HKMG and 22 nm FD-SOI FeFET Technology. In: *Proc. IEEE Int. Electron Devices Meeting*. [S.l.: s.n.], 2017. p. 1–4.
- [11] KAUL, A. Software defined radio: The transition from defense to commercial markets. In: *2007 Software Defined Radio Technical Conf. Product Exposition*. Denver, CO: [s.n.], 2007.
- [12] STOICA, A.; ZEBULUM, R.; KEYMEULEN, D. Polymorphic electronics. In: *Proc. 4th Int. Conf. Evolvable Systems: From Biology to Hardware*. [S.l.: s.n.], 2001. p. 291–302.

- [13] TODMAN, T. J. et al. Reconfigurable computing: architectures and design methods. *IEEE Proc., Comput. Digit. Tech.*, v. 152, n. 2, p. 193, 2005.
- [14] BECKER, J. et al. Dynamic and Partial FPGA Exploitation. *Proc. IEEE*, v. 95, n. 2, p. 438–452, fev. 2007.
- [15] ULVERSOY, T. Software Defined Radio: Challenges and Opportunities. *IEEE Commun. Surv. Tutorials*, v. 12, n. 4, p. 531–550, 2010.
- [16] III, J. M. *Cognitive radio: An integrated agent architecture for software defined radio*, Doctor of Technology. Tese (phdthesis) — Royal Institute of Technology (KTH), SE-164 40 Kista, Sweden, maio 2000.
- [17] TIAN, J. et al. A Field Programmable Transistor Array Featuring Single-Cycle Partial/Full Dynamic Reconfiguration. In: *Proc. Design, Automation & Test in Europe Conf. & Exhib.* [S.l.]: IEEE, 2017. p. 1336–1341.
- [18] STOICA, A. et al. Reconfigurable VLSI architectures for evolvable hardware: from experimental field programmable transistor arrays to evolution-oriented chips. *IEEE Trans. VLSI Syst.*, v. 9, n. 1, p. 227–232, 2001.
- [19] VOGELSTEIN, R. J. et al. Dynamically Reconfigurable Silicon Array of Spiking Neurons With Conductance-Based Synapses. *IEEE Trans. Neural Netw.*, v. 18, n. 1, p. 253–265, dez. 2006.
- [20] VARGHESE, B.; SOW, C. H.; LIM, C. T. One-Dimensional Metal Oxide Nanostructures. In: SATTLER, K. D. (Ed.). *Principles and Methods*. [S.l.]: CRC Press, 2017, (Handbook of Nanophysics). cap. 17, p. 1–24. ISBN 1138117854.
- [21] DIARRA, M. et al. Ionization energy of donor and acceptor impurities in semiconductor nanowires: Importance of dielectric confinement. *Phys. Rev. B*, v. 75, n. 4, p. 486–4, jan. 2007.
- [22] NAKAHARAI, S. et al. Electrostatically Reversible Polarity of Ambipolar  $\alpha$ -MoTe<sub>2</sub> Transistors. *ACS Nano*, v. 9, n. 6, p. 5976–5983, jun. 2015.
- [23] BHUSHAN, B. (Ed.). *Springer Handbook of Nanotechnology*. [S.l.]: Springer-Verlag, 2003.
- [24] LINDSAY, S. M. *Introduction to Nanoscience*. [S.l.]: Oxford University, 2010.
- [25] CLAUS, M. *Modeling of Ballistic Carbon Nanotube Transistors for Analog High-frequency Applications*. [S.l.]: TUDpress, 2011. ISBN 9783942710237.
- [26] IIJIMA, S.; ICHIHASHI, T. Single-shell carbon nanotubes of 1-nm diameter. *Nature*, Springer Nature, v. 363, n. 6430, p. 603–605, jun 1993.
- [27] BETHUNE, D. S. et al. Cobalt-catalysed growth of carbon nanotubes with single-atomic-layer walls. *Nature*, Springer Nature, v. 363, n. 6430, p. 605–607, jun 1993.

- [28] RAYCHOWDHURY, A.; ROY, K. Nanometer scale technologies: Device considerations. In: SHUKLA, S. K.; BAHAR, R. I. (Ed.). *Nano, Quantum and Molecular Computing*. [S.l.]: Kluwer Academic Publishers, 2004. cap. 1, p. 5–33. ISBN 9781402080678.
- [29] MOTHESS, S. *COOS*. v30g. [S.l.], jun. 2017.
- [30] COLINGE, J. P.; COLINGE, C. A. *Physics of Semiconductor Devices*. [S.l.]: Kluwer Academic Publishers, 2002. ISBN 0-306-47622-3.
- [31] QIAN, Q. et al. Trap-state-dominated suppression of electron conduction in carbon nanotube thin-film transistors. *ACS Nano*, v. 8, n. 9, p. 9597–9605, set. 2014.
- [32] PULFREY, D. L. *Understanding Modern Transistors and Diodes*. [S.l.]: Cambridge University Press, 2010. ISBN 0521514606.
- [33] SCHOTTKY, W. Zur halbleitertheorie der sperrschicht- und spitzengleichrichter. *Zeitschrift für Physik*, Springer Nature, v. 113, n. 5-6, p. 367–414, may 1939.
- [34] MOTT, N. F. The theory of crystal rectifiers. *Proceedings of the Royal Society of London A: Mathematical, Physical and Engineering Sciences*, v. 171, p. 27–38, 1939.
- [35] CHENG, A.; CHENG, D. T. Heritage and early history of the boundary element method. *Engineering Analysis with Boundary Element*, v. 29, p. 268–302, 2005.
- [36] HU, C. *Modern Semiconductor Devices for Integrated Circuits*. [S.l.]: Prentice Hall, 2009. ISBN 9780136085256.
- [37] BLAWID, S. et al. Performance Projections for a Reconfigurable Tunnel NanoFET. *IEEE J. Electron Devices Soc.*, v. 5, n. 6, p. 473–479, out. 2017.
- [38] RIEDERER, F. et al. Alternatives for doping in nanoscale field-effect transistors. *physica status solidi (a)*, Wiley, v. 215, n. 7, p. 1700969, jan 2018.
- [39] BJORK, M. T. et al. Donor deactivation in silicon nanostructures. *Nature Nanotech*, v. 4, n. 2, p. 103–107, jan. 2009.
- [40] MAITI, U. N. et al. 25th Anniversary Article: Chemically Modified/Doped Carbon Nanotubes & Graphene for Optimized Nanostructures & Nanodevices. *Adv. Mater.*, v. 26, n. 1, p. 40–67, out. 2013.
- [41] CRISTOLOVEANU, S.; LEE, K. H.; BAWEDIN, M. A reconfigurable silicon-on-insulator diode with tunable electrostatic doping. *J Appl Phys*, v. 122, n. 8, p. 084502, ago. 2017.
- [42] ZHANG, Z. et al. Doping-Free Fabrication of Carbon Nanotube Based Ballistic CMOS Devices and Circuits. *Nano Lett*, v. 7, n. 12, p. 3603–3607, dez. 2007.
- [43] DAS, S.; DEMARTEAU, M.; ROELOFS, A. Ambipolar phosphorene field effect transistor. *ACS Nano*, v. 8, n. 11, p. 11730–11738, nov. 2014.

- [44] DAS, S.; DUBEY, M.; ROELOFS, A. High gain, low noise, fully complementary logic inverter based on bi-layer WSe<sub>2</sub> field effect transistors. *Appl. Phys. Lett.*, v. 105, n. 8, p. 083511, ago. 2014.
- [45] KNOCH, J.; MULLER, M. R. Electrostatic Doping - Controlling the Properties of Carbon-Based FETs With Gates. *IEEE Trans. Nanotechnol.*, v. 13, n. 6, p. 1044–1052, out. 2014.
- [46] GUPTA, G.; RAJASEKHARAN, B.; HUETING, R. J. E. Electrostatic Doping in Semiconductor Devices. *IEEE Trans. Electron Devices*, v. 64, n. 8, p. 3044–3055, jul. 2017.
- [47] WEBER, W. M. et al. Reconfigurable nanowire electronics – A review. *Solid State Electron*, v. 102, n. C, p. 12–24, dez. 2014.
- [48] TROMMER, J. et al. Enabling Energy Efficiency and Polarity Control in Germanium Nanowire Transistors by Individually Gated Nanojunctions. *ACS Nano*, v. 11, n. 2, p. 1704–1711, fev. 2017.
- [49] RESTA, G. V. et al. Polarity control in WSe<sub>2</sub> double-gate transistors. *Sci. Rep.*, v. 6, n. 1, p. 1–6, jul. 2016.
- [50] JABEUR, K.; O’CONNOR, I.; BEUX, S. L. Ambipolar Independent Double Gate FET (Am-IDGFET) for the Design of Compact Logic Structures. *IEEE Trans. Nanotechnol.*, v. 13, n. 6, p. 1063–1073, out. 2014.
- [51] JAVEY, A. et al. Carbon nanotube field-effect transistors with integrated ohmic contacts and high-k gate dielectrics. *Nano Lett*, v. 4, n. 3, p. 447–450, 2004.
- [52] FEDIAI, A. et al. Towards an optimal contact metal for CNTFETs. *Nanoscale*, v. 8, n. 19, p. 10240–10251, 2016.
- [53] DARBANDY, G.; CLAUS, M.; SCHRÖTER, M. High-Performance Reconfigurable Si Nanowire Field-Effect Transistor Based on Simplified Device Design. *IEEE Trans. Nanotechnol.*, v. 15, n. 2, p. 289–294, mar. 2016.
- [54] MOURA, R.; BLAWID, S. Minimal Design of a Reconfigurable Carbon Nanotube FET. In: *Proc. XII Workshop on Semicondutores and Micro Nano Technology*. São Paulo: [s.n.], 2017.
- [55] MONGILLO, M. et al. Multifunctional Devices and Logic Gates With Undoped Silicon Nanowires. *Nano Lett*, v. 12, n. 6, p. 3074–3079, jun. 2012.
- [56] MULLER, M. R. et al. Buried triple-gate structures for advanced field-effect transistor devices. *Microelectron. Eng.*, v. 119, p. 95–99, maio 2014.
- [57] SINGH, S.; SINHA, R.; KONDEKAR, P. N. A novel ultra steep dynamically reconfigurable electrostatically doped silicon nanowire Schottky Barrier FET. *Superlattice Microst*, v. 93, p. 40–49, maio 2016.
- [58] GAILLARDON, P.-E. et al. Three-Independent-Gate Transistors: Opportunities in digital, analog and RF applications. In: *17th Latin-American Test Symp.* [S.l.]: IEEE, 2016. p. 195–200.



- [59] SAHU, A.; BRAMHANE, L. K.; SINGH, J. Symmetric Lateral Doping-Free BJT: A Novel Design for Mixed Signal Applications. *IEEE Trans. Electron Devices*, v. 63, n. 7, p. 2684–2690, jun. 2016.
- [60] NAVARRO, C. et al. Reconfigurable field effect transistor for advanced CMOS: Advantages and limitations. *Solid State Electron*, v. 128, p. 155–162, fev. 2017.
- [61] CLAUS, M.; SCHROTER, M. Design study of cnt transistor layouts for analog circuits. In: *Proc NSTI Workshop on Compact Modeling*. [S.l.: s.n.], 2009. p. 566–569.
- [62] QIU, C. et al. Carbon nanotube feedback-gate field-effect transistor: suppressing current leakage and increasing on/off ratio. *ACS Nano*, v. 9, n. 1, p. 969–977, jan. 2015.
- [63] YU, W. J. et al. Adaptive Logic Circuits with Doping-Free Ambipolar Carbon Nanotube Transistors. *Nano Lett*, v. 9, n. 4, p. 1401–1405, abr. 2009.
- [64] TROMMER, J. et al. Elementary Aspects for Circuit Implementation of Reconfigurable Nanowire Transistors. *IEEE Electron Device Lett.*, v. 35, n. 1, p. 141–143, 2014.
- [65] RAZAVI, B. *Fundamentals of Microelectronics*. [S.l.]: Wiley, 2008. ISBN 9780471478461.
- [66] HOROWITZ, M. et al. The fanout-of-4 inverter delay metric. 1997.
- [67] ITRS. System drivers. In: *International Technology Roadmap for Semiconductors*. [s.n.], 2003. Acesso em: 22 jun. 2018. Disponível em: <[https://www.semiconductors.org/clientuploads/Research\\_Technology/ITRS/2003/SysDrivers2003.pdf](https://www.semiconductors.org/clientuploads/Research_Technology/ITRS/2003/SysDrivers2003.pdf)>.
- [68] CLAUS, M. et al. COOS: a wave-function based Schrödinger–Poisson solver for ballistic nanotube transistors. *Journal of Computational Electronics*, v. 13, n. 3, p. 689–700, jun. 2014.
- [69] MOTHES, S.; CLAUS, M.; SCHRÖTER, M. Toward Linearity in Schottky Barrier CNT-FETs. *IEEE Trans. Nanotechnol.*, v. 14, n. 2, p. 372–378, 2015.

# ANEXOS

# I. APÊNDICE

## I.1 Código de entrada comentado

A estrutura de código a seguir foi elaborada e empregada nas simulações do 3G R-nanoFET, usando o simulador COOS. Vale notar que este é apenas um detalhamento do código de entrada, para as simulações diversos valores foram alterados de acordo.

No arquivo de entrada, o primeiro bloco é o de definição da estrutura, onde os materiais e suas dimensões são estabelecidos.

```
&REGION_INFO spat_dim=3 coor_sys='cart' pnts_max=400000 /

&REGION_DEF reg_mat='OXID' mod_name='HfO2' low_xyz=-1e-08 0 -1e-08 upp_xyz=5.1e-07 5e-08 1e-08 layer=1 /
&REGION_DEF reg_mat='SEMI' mod_name='cnt' low_xyz=0 0 0 upp_xyz=5e-07 0 0 layer=2 /
&REGION_DEF reg_mat='CONT' mod_name='cont' low_xyz=-1e-08 0 -1e-08 upp_xyz=0 3e-08 1e-08 layer=3
cont_name='S' /
&REGION_DEF reg_mat='CONT' mod_name='cont' low_xyz=5e-07 0 -1e-08 upp_xyz=5.1e-07 3e-08 1e-08 layer=3
cont_name='D' /
&REGION_DEF reg_mat='CONT' mod_name='porta' low_xyz= 8e-09 8.e-09 -1e-08 upp_xyz= 1e-07 5e-08 1e-08 layer=3
cont_name='GS' /
&REGION_DEF reg_mat='CONT' mod_name='porta' low_xyz= 2e-07 8e-09 -1e-08 upp_xyz= 3e-07 5e-08 1e-08 layer=3
cont_name='G' /
&REGION_DEF reg_mat='CONT' mod_name='porta' low_xyz= 4e-07 8e-09 -1e-08 upp_xyz= 4.92e-07 5e-08 1e-08
layer=3 cont_name='GD' /
```

Em `&REGION_INFO`, a dimensão espacial da equação de Poisson, o sistema de coordenadas e o número máximo de pontos de discretização permitido são especificados. Depois cada `&REGION_DEF` define uma caixa de material no domínio da simulação. Os parâmetros de cada linha são:

- `reg_mat` é o nome do material da região. Três materiais diferentes são permitidos: semicondutor (“semi”), óxido (“oxid”) e contato (“cont”);
- `mod_name` é o nome do modelo físico correspondente;
- `low_xyz` e `upp_xyz` delimitam as dimensões da caixa;
- `layer` é o índice da camada;
- `cont_name` é o nome do contato usado na definição da polarização.

A primeira região definida é um óxido, no caso um  $\text{HfO}_2$  de 520 nm por 50 nm. Em seguida, é definida a região de um semicondutor, um CNT de 500 nm. Por fim, são definidos os contatos:

- Contatos de Schottky: Fonte (S) e Dreno (D) com 10 nm por 30 nm cada.
- Contatos de Porta: portas de programação (GS e GD) com 92 nm por 42 nm cada; porta de controle (G) com 100 nm por 42 nm.

Em seguida vem o bloco de discretização, que contém informações sobre a discretização espacial para a equação de Poisson.

```
&RANGE_GRID disc_dir='x' disc_set='diff' intv_pnts=-1.000000e-08 0.000000e+00 8.000000e-09 1.600000e-08
1.000000e-07 2.000000e-07 3.000000e-07 4.000000e-07 4.840000e-07 4.920000e-07 5.000000e-07 5.100000e-07
intv_diff= 1.000000e-09 5.000000e-11 5.000000e-11 4.000000e-09 2.000000e-09 4.000000e-09 2.000000e-09
4.000000e-09 5.000000e-10 5.000000e-10 1.000000e-09 /
&AREA_GRID disc_dir='y' intv_pnts=0 8e-09 intv_diff=5e-10 5e-10 5e-10 /
&AREA_GRID disc_dir='y' intv_pnts=8e-09 5e-08 intv_diff=1e-09 5e-09 5e-09 /
&AREA_GRID disc_dir='z' intv_pnts=-1e-08 0 intv_diff=5e-09 5e-09 2.5e-10 /
&AREA_GRID disc_dir='z' intv_pnts=0 1e-08 intv_diff=2.5e-10 5e-09 5e-09 /
```

São usados os comandos `RANGE_GRID` para uma grade com pontos equidistantes e `AREA_GRID` para pontos não-equidistantes. Detalhando cada linha:

- `disc_dir` indica a direção da discretização;
- `disc_set` define o método usado para definir a grade (usado em `RANGE_GRID`);
- `intv_pnts` é o intervalo de pontos da grade;
- `intv_diff` é a distância entre os pontos da grade.

Depois vem uma série de comandos com parâmetros de modelo para diferentes estruturas. Primeiro para regiões semicondutoras, depois para as equações internas e por fim para os contatos.

```
&SEMI elec=1 hole=1 /
&CNT d_cnt=1.6e-09 /
&BAND_DEF type='mintmire' m_eff = 0.1/
&MOB_DEF mu_0=0.919 v_sat=1.15e+06 beta=0.85 /
```

O conjunto de parâmetros `&SEMI` é usado para definir as propriedades físicas do semicondutor. No caso, `elec` e `hole` quando estabelecidos em “1”, indicam que as bandas e cargas de elétrons e lacunas estão ativadas. `&CNT` é usado para definir propriedades físicas do CNT e `d_cnt` é o diâmetro do tubo. `&BAND_DEF` define a estrutura de banda dos semicondutores. `type` define o modelo escolhido, no caso “mintmire” e `m_eff`, quando usado, descreve a massa efetiva. `&MOB_DEF` define o modelo de mobilidade usado para o solucionador DD. Os parâmetros `mu_0`, `v_sat` e `beta` são respectivamente mobilidade do campo, velocidade de saturação e  $\beta$  é o parâmetro para dependência de campo.

Em seguida são especificados os parâmetros dos contatos.

```
&CONTACT mod_name='cont' sb_type='mid' schottky_bc='landauer' /
&CONTACT mod_name='porta' sb_type='fermi_diff' phi_sb=0.0 /

&BIAS_DEF dv_max=0.1 zero_bias_first=1 /
&BIAS_INFO cont_name='S' bias_fun='TAB' bias_val=0 /
&BIAS_INFO cont_name='D' bias_fun='LIN' bias_val=0.7 0 35 /
&BIAS_INFO cont_name='GS' bias_fun='TAB' bias_val=1.2 /
&BIAS_INFO cont_name='GD' bias_fun='TAB' bias_val=1.2 /
&BIAS_INFO cont_name='G' bias_fun='TAB' bias_val=1.2 /
```

O comando `&CONTACT` é usado para definir os modelos físicos de contatos estabelecidos em `&REGION_DEF`. Detalhando cada parâmetro:

- `mod_name` é o nome do modelo de contato e deve ser igual ao definido no bloco de estrutura;
- `sb_type` especifica a configuração da barreira de Schottky para elétrons e lacunas e `phi_sb` é um parâmetro adicional de altura da barreira. No caso “mid” define que a barreira se encontra no meio da banda proibida e “fermi\_diff” leva em consideração os níveis de Fermi do metal;
- `schottky_bc` indica a implementação para a condição de contorno de Schottky. O modelo escolhido é o de “landauer”.

O comando `&BIAS_DEF` define os parâmetros gerais da polarização dos contatos. `dv_max` é o tamanho máximo do degrau de voltagem e `zero_bias_first` indica que a simulação é iniciada com 0 V em todos os contatos.

O conjunto de parâmetros em `&BIAS_INFO` define as tensões aplicadas na simulação. Em detalhes:

- `cont_name` é o nome do contato e deve ser igual ao definido no bloco de estrutura;
- `bias_fun` pode ser “TAB”, que significa um valor tabulado, ou “LIN” que linearmente varre um intervalo de tensões;
- `bias_val` indica a tensão tabulada no caso de “TAB”, ou um intervalo no formato “<tensão inicial> <tensão final> <quantidade de amostras>” no caso de “LIN”.

Depois os parâmetros numéricos utilizados para a solução das equações internas são definidos.

```
&DD n_iter=100 p_tol=1e-6 c_tol=1e-11 /  
&TUNNEL model='wkb' max_width=60e-9 bbt=1 /
```

O comando `&DD` define parâmetros para o solucionador de Deriva-Difusão. No caso, `n_iter` é o número máximo de iterações, `p_tol` é limite de erro para a equação de Poisson e `c_tol` é a tolerância para o lado direito da equação de continuidade.

O comando `&TUNNEL` define parâmetros para o cálculo da probabilidade de transmissão de cargas pela barreira. `model` é o modelo usado para o cálculo, `max_width` é a largura máxima da barreira e `bbt` indica se o tunelamento banda para banda será usado.

Por último, o comando de saída `&OUTPUT`, que define como serão salvas as saídas da simulação.

```
&OUTPUT band_lev=1 elpa_lev=1 inqu_lev= 1 name='n_3g_meff_01' /
```

Os parâmetros `band_lev`, `elpa_lev`, `inqu_lev` indicam que serão salvos resultados de estrutura de bandas, elétricos e quantidades internas, respectivamente. Finalmente, `name` é o nome do arquivo de saída.

## I.2 Comandos do simulador COOs

O comando para rodar um código no simulador COOS é:

```
nohup /usr/coos/COOS_v030g arquivodeentrada.inp > arquivodesaida.asc &
```

- `/usr/coos/COOS_v030g` é a chamada ao programa do COOS.
- “`arquivodeentrada.inp`” é um código de entrada como descrito no Anexo I.1.
- “`arquivodesaida.asc`” é onde o simulador irá salvar os logs de simulação, o nome deste arquivo é definido pelo usuário no próprio comando.

Também foi usado um script linux “`build_all.sh`” da forma:

```
for i in *.inp; do
#echo "compiling $i"
nohup /usr/coos/COOS_v030g $i > $i.asc &
echo "did $i"
done
```

Ele procura todos os arquivos de entrada terminados em `.inp` dentro de um mesmo diretório e usa o comando de rodar do simulador em todos eles.