

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**MULTIPLICADOR BINÁRIO BASEADO
EM TECNOLOGIA SET**

MARILIA DE OLIVEIRA TELLES

ORIENTADORA: JANAINA GONÇALVES GUIMARÃES

**DISSERTAÇÃO DE MESTRADO EM ENGENHARIA DE SISTEMAS
ELETRÔNICOS E DE AUTOMAÇÃO**

**PUBLICAÇÃO: PPGEA.DM – 467/2012
BRASÍLIA/DF: MARÇO – 2012**

FICHA CATALOGRÁFICA

TELLES, MARILIA DE OLIVEIRA

Multiplicador Binário Baseado em Tecnologia SET [Distrito Federal] 2012.

xiii, 74p., 210 x 297 mm (ENE/FT/UnB, Mestre, Engenharia de Sistemas Eletrônicos e de Automação, 2012).

Dissertação de Mestrado – Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica.

1. Nanoeletrônica

2. Transistor mono-elétron

3. Portas lógicas

4. Multiplicador binário

I. ENE/FT/UnB

II. Título (série)

REFERÊNCIA BIBLIOGRÁFICA

TELLES, M. O. (2012). Multiplicador Binário Baseado em Tecnologia SET. Dissertação de Mestrado em Engenharia de Sistemas Eletrônicos e de Automação, Publicação PPGEA.DM – 467/2012, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 74p.

CESSÃO DE DIREITOS

AUTORA: Marília de Oliveira Telles.

TÍTULO: Multiplicador Binário Baseado em Tecnologia SET.

GRAU: Mestre

ANO: 2012

É concedida à Universidade de Brasília permissão para reproduzir cópias desta dissertação de mestrado e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte dessa dissertação de mestrado pode ser reproduzida sem autorização por escrito do autor.

Marília de Oliveira Telles
SQN 213 Bloco D Apartamento 203, Asa Norte.
70.872-040 Brasília – DF – Brasil.

DEDICATÓRIA

À Cristal.

AGRADECIMENTOS

Seria praticamente impossível fazer uma lista de todos aqueles que, de alguma forma colaboraram para que este trabalho pudesse ser concluído. Cada pessoa que esteve presente na minha vida nos últimos anos contribuiu, à sua maneira. Gostaria de agradecer a todas essas pessoas.

Alguns me incentivavam a continuar trabalhando, mesmo nos momentos em que nada parecia dar certo, e aparecia uma vontade de desistir de tudo. Aliás, nestes mesmos momentos, houve aqueles que me permitiam descansar um pouco, seja conversando sobre outras coisas, seja saindo para passear e esquecer os problemas. Também não posso me esquecer daqueles que, nas piores horas, tiveram paciência e tempo para simplesmente ouvir as minhas reclamações.

Gostaria, no entanto, de fazer um agradecimento especial à minha orientadora, a Janaina. Sem ela, eu posso dizer que, com certeza, não teria conseguido chegar ao fim deste trabalho. Sempre que eu precisei, ela esteve pronta para me incentivar, me dar novas idéias e me ajudar a encontrar novas soluções para os problemas que surgiam em cada etapa do projeto.

Por fim, gostaria de agradecer a Deus. Sem Ele nada disso seria possível.

RESUMO

MULTIPLICADOR BINÁRIO BASEADO EM TECNOLOGIA SET

Autora: Marília de Oliveira Telles

Orientadora: Janaina Gonçalves Guimarães

**Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos e de Automação
Brasília, março de 2012.**

Este trabalho tem o objetivo de verificar a capacidade dos dispositivos mono-elétron para construir um processador nanoeletrônico. Tendo isso em vista, foi desenvolvido um multiplicador binário construído inteiramente com esses dispositivos. Esse sistema foi projetado através da conexão de blocos com funções específicas. Utilizou-se no projeto uma porta NÃO-E nanoeletrônica como célula básica de todos esses blocos. O funcionamento de cada bloco componente do circuito foi validado por simulação no SIMON. Todas as simulações foram feitas considerando os circuitos operando em temperatura ambiente.

ABSTRACT

BINARY MULTIPLIER BASED ON SET TECHNOLOGY

Author: Marilia de Oliveira Telles

Supervisor: Janaina Gonçalves Guimarães

**Programa de Pós-Graduação em Engenharia de Sistemas Eletrônicos e de Automação
Brasília, March of 2012.**

This work aims to verify the potential of single-electron devices for building a nanoelectronic processor. For this purpose, a binary multiplier was built using solely these devices. This system was designed by connecting blocks with specific functions. As the basic cell of these blocks, a nanoelectronic NAND gate was used. The circuit's component blocks operation was validated through simulation in *SIMON software*. All the simulations were made considering the circuits operating at room temperature.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	OBJETIVOS	2
1.2	ESTRUTURA DO TRABALHO	3
2	NANOELETRÔNICA	4
2.1	INTRODUÇÃO	4
2.2	DISPOSITIVOS NANOELETRÔNICOS.....	4
2.3	DISPOSITIVOS DE TUNELAMENTO MONO-ELÉTRON	5
2.3.1	Tunelamento e Junção-Túnel.....	5
2.3.2	Efeito de Carregamento	7
2.3.3	Bloqueio de Coulomb	8
2.3.4	Transistor Mono-Elétron	9
2.3.5	Influência da Temperatura	11
2.3.6	Estabilidade.....	12
2.4	PROCESSADOR NANOELETRÔNICO	13
2.5	SIMULAÇÃO DOS CIRCUITOS NANOELETRÔNICOS.....	14
2.5.1	SIMON	14
2.5.2	MATLAB	15
3	MULTIPLICAÇÃO BINÁRIA	16
3.1	INTRODUÇÃO	16
3.2	ALGORITMOS	17
3.2.1	Algoritmo Tradicional	17
3.2.2	Algoritmo Modificado	17
3.3	DIAGRAMA DE BLOCOS	19
3.4	DIAGRAMA ASM (<i>Algorithmic State Machine</i>)	21
3.5	PROJETO DA UNIDADE DE CONTROLE.....	22
3.6	MULTIPLICADOR BINÁRIO NANOELETRÔNICO	24
4	METODOLOGIA	26
4.1	INTRODUÇÃO	26
4.2	ESTRATÉGIAS	26

4.3	SIMULAÇÃO.....	27
5	DESENVOLVIMENTO E RESULTADOS	28
5.1	INTRODUÇÃO.....	28
5.2	PORTA NÃO-E NANOELETRÔNICA.....	28
5.3	FLIP-FLOP D.....	33
5.3.1	Estrutura Básica.....	33
5.3.2	Estrutura com <i>preset</i> e <i>clear</i>	35
5.4	SOMADOR.....	38
5.4.1	Somador Completo.....	38
5.4.2	Somador de <i>n</i> Bits.....	41
5.5	REGISTRADOR-DESLOCADOR.....	44
5.6	CONTADOR DECRESCENTE.....	49
5.7	DETECTOR DE ZERO.....	51
5.8	UNIDADE DE CONTROLE.....	52
5.9	MULTIPLICADOR BINÁRIO.....	54
6	CONCLUSÕES	57
7	REFERÊNCIAS BIBLIOGRÁFICAS	58

LISTA DE TABELAS

5.1	Parâmetros utilizados para a simulação da porta NÃO-E em 300 K	29
5.2	Tabela verdade da porta lógica NÃO-E	30
5.3	Valores de entradas e saídas do flip-flop D.....	33
5.4	Valores de entradas e saídas do flip-flop D com <i>preset</i> e <i>clear</i>	36
5.5	Tabela verdade do somador completo.....	38
5.6	Valores das entradas do somador de 4 bits.....	42
5.7	Valores esperados das saídas do contador.....	50

LISTA DE FIGURAS

2.1	Eletrodos separados por uma ilha.....	5
2.2	Junção-túnel.....	6
2.3	Caixa mono-eletrônica	8
2.4	Diagramas de energia: (a) Bloqueio de Coulomb e (b) Tunelamento Mono-Elétron	9
2.5	Transistor Mono-Elétron	10
2.6	Característica $I \times V_g$ do SET	11
2.7	Exemplo de um diagrama de estabilidade	12
2.8	Arquitetura global de um sistema nanoeletrônico	13
2.9	Layout do SIMON.....	14
2.10	Janela dos parâmetros de simulação.....	15
3.1	Exemplo de multiplicação	16
3.2	Exemplo de utilização do algoritmo modificado	18
3.3	Blocos necessários para efetuar a multiplicação binária (Fluxo de Dados)	19
3.4	Blocos necessários para obter os sinais de controle do circuito (Unidade de Controle)	20
3.5	Diagrama ASM do projeto do multiplicador binário	22
3.6	Circuito da Unidade de Controle.....	24
4.1	Metodologia para o projeto dos circuitos	27
5.1	Porta NÃO-E nanoeletrônica.....	29
5.2	Simulação da porta NÃO-E em temperatura ambiente (300 K)	30
5.3	Diagrama de estabilidade da porta NÃO-E.....	31
5.4	Característica $V_{in} \times V_{out}$ da porta NÃO-E conectada como um inversor	32
5.5	Arquitetura de um flip-flop D implementado com portas NÃO-E	33
5.6	Simulação do flip-flop D em temperatura ambiente (300 K)	34
5.7	Diagrama de estabilidade do flip-flop D	35
5.8	Arquitetura de um flip-flop D com <i>preset</i> e <i>clear</i> implementado com portas NÃO-E	36
5.9	Simulação do flip-flop D com <i>preset</i> e <i>clear</i> em temperatura ambiente (300 K)	37
5.10	Arquitetura de um somador completo	38
5.11	Simulação do somador completo em temperatura ambiente (300 K)	39

5.12	Simulação do somador completo em 250 K.....	40
5.13	Diagramas de estabilidade do somador completo	41
5.14	Arquitetura de um somador de n bits em cascata.....	42
5.15	Simulação do somador de 4 bits em temperatura ambiente (300 K)	43
5.16	Arquitetura de um registrador-deslocador.....	44
5.17	Entradas da simulação do registrador em temperatura ambiente (300 K)	45
5.18	Saídas da simulação do registrador em temperatura ambiente (300 K)	46
5.19	Simulação do deslocador em temperatura ambiente (300 K)	47
5.20	Diagramas de estabilidade do registrador-deslocador.....	48
5.21	Arquitetura de um contador decrescente.....	49
5.22	Simulação do contador decrescente em temperatura ambiente (300 K)	50
5.23	Arquitetura de um detector de zero	51
5.24	Simulação do detector de zero em temperatura ambiente (300 K)	51
5.25	Diagrama de estabilidade do detector de zero.....	52
5.26	Simulação da unidade de controle em temperatura ambiente (300 K)	53
5.27	Diagramas de estabilidade da unidade de controle	54
5.28	Tempo de simulação previsto para o sistema do multiplicador	54

LISTA DE SÍMBOLOS, NOMENCLATURA E ABREVIACÕES

ASM	<i>Algorithmic State Machine</i>
GSI	<i>Giga-Scale Integration</i>
MOS	<i>Metal Oxide Semiconductor</i>
QD	<i>Quantum-Dots</i>
RTD	<i>Resonant Tunneling Devices</i>
SET	<i>Single-Electron Tunneling ou Single-Electron Transistor</i>
TSI	<i>Tera-Scale Integration</i>

1 INTRODUÇÃO

Desde o seu surgimento, a eletrônica tem sido parte importante do desenvolvimento científico e tecnológico da humanidade. Nos dias de hoje, componentes eletrônicos são utilizados nos mais variados equipamentos no cotidiano do homem moderno.

Nesse sentido, no campo da microeletrônica, a invenção do transistor marcou profundamente esse desenvolvimento. Mais especificamente, a microeletrônica passou a se desenvolver em torno do transistor MOS. Nos últimos anos, a diminuição das dimensões do transistor MOS e a grande capacidade de integração desses circuitos têm permitido o desenvolvimento de equipamentos eletrônicos cada vez mais complexos, capazes de realizar diversas atividades.

No entanto, na medida em que os dispositivos tornam-se cada vez menores, começam a aparecer alguns problemas com a utilização da tecnologia MOS. Quando os dispositivos têm suas dimensões características reduzidas abaixo de um determinado tamanho, seu comportamento começa a se afastar do esperado.

É nesse contexto que se desenvolveu a nanoeletrônica. Os dispositivos chamados nanoeletrônicos são desenvolvidos levando-se em consideração os efeitos quânticos em seu funcionamento. Esses efeitos quânticos passam a ser relevantes quando o tamanho das dimensões características desses dispositivos é muito pequeno.

Dentro da nanoeletrônica, existe uma área que desenvolve seus estudos a partir do transistor mono-elétron. Esses dispositivos têm sido desenvolvidos com a utilização dos mesmos semicondutores que os utilizados na fabricação dos transistores MOS [1]. Seu funcionamento é baseado no deslocamento de um ou de um número muito pequeno de elétrons através do dispositivo. Já foram desenvolvidos alguns circuitos que utilizam dispositivos mono-elétron, a maioria deles com o objetivo de reproduzir funcionalidades de circuitos que utilizam a tecnologia MOS.

Espera-se que os dispositivos nanoeletrônicos sejam capazes de substituir os dispositivos MOS no desenvolvimento de circuitos integrados em escala GIGA (10^9) e até mesmo TERA

(10^{12}). Espera-se, ainda, que os referidos circuitos apresentem dimensões e desempenho acima das projeções do *roadmap* da Associação de Indústrias de Semicondutores [2].

Como os dispositivos mono-elétron, em geral, apresentam um baixo consumo de energia, controle de corrente e baixo ruído [3], eles devem permitir a fabricação de chips contendo uma quantidade maior de dispositivos do que a indicada pelo *roadmap*, sem desrespeitar as restrições de área e consumo de energia impostas. Como resultado, espera-se que seja possível, no futuro, o desenvolvimento de processadores TSI (*Tera Scale Integration*) nanoeletrônicos.

A grande dificuldade da utilização dos circuitos mono-elétron em simples substituição à tecnologia MOS é exatamente o funcionamento diferenciado de seus dispositivos. Sua operação não é determinística, mas probabilística e, como se baseiam no transporte de uma quantidade muito pequena de cargas, as cargas de desvio são muito propensas a afetar a sua correta operação. Além disso, esses dispositivos são muito sensíveis a variações do meio.

1.1 OBJETIVOS

Considerando o cenário apresentado, este trabalho tem o intuito de desenvolver a utilização de dispositivos mono-elétron em circuitos digitais combinacionais e sequenciais.

Mais especificamente, visando o futuro desenvolvimento de um processador nanoeletrônico TSI, deseja-se verificar a capacidade de utilização da tecnologia nanoeletrônica na elaboração de arquiteturas com certo grau de complexidade, ou seja, que possuam um grande número de dispositivos conectados, desempenhando diferentes funções.

Por fim, deseja-se também verificar a capacidade de operação dos referidos dispositivos em temperatura ambiente.

Dessa forma, o objetivo deste trabalho é desenvolver um multiplicador binário constituído inteiramente com dispositivos mono-elétron. O projeto final do multiplicador binário deve operar de forma satisfatória em temperatura ambiente.

1.2 ESTRUTURA DO TRABALHO

No capítulo 2, é realizada uma pequena revisão bibliográfica dos principais conceitos relacionados à nanoeletrônica, os quais servem de base para o desenvolvimento dos circuitos utilizados para a construção do multiplicador binário nanoeletrônico.

O capítulo 3 apresenta os conceitos relacionados à multiplicação binária em si. Também neste capítulo é apresentada uma proposta de projeto para o multiplicador binário já existente na literatura, e que será implementada com dispositivos nanoeletrônicos mono-elétron.

No capítulo 4, é descrita a metodologia seguida para o desenvolvimento do multiplicador binário nanoeletrônico.

O capítulo 5 apresenta o desenvolvimento do projeto do multiplicador binário nanoeletrônico. É apresentado o desenvolvimento de cada um dos blocos necessários para implementar o circuito completo do multiplicador. São apresentados os resultados obtidos através de simulação e é feita uma análise do desempenho geral de cada um dos blocos. São feitas, ainda, considerações a respeito do consumo e área do sistema completo.

No capítulo 6 estão expostas as conclusões do presente trabalho.

2 NANOELETRÔNICA

2.1 INTRODUÇÃO

A crescente necessidade de diminuir o tamanho dos dispositivos eletrônicos com o objetivo de aumentar a capacidade de processamento dos circuitos levou ao surgimento de uma nova área de estudos, a nanoeletrônica. Os dispositivos nanoeletrônicos, em função de seu tamanho reduzido, não apresentam as mesmas características de funcionamento que os dispositivos pertencentes às tecnologias utilizadas atualmente em grande escala, como a MOS.

Assim, o desenvolvimento desses novos dispositivos deve levar em consideração propriedades, fenômenos e processos, físicos e químicos, que aparecem com maior evidência quando as dimensões dos dispositivos são reduzidas a escalas nanométricas. De forma bastante especial, devem ser explorados os fenômenos quânticos que esses dispositivos apresentam.

2.2 DISPOSITIVOS NANOELETRÔNICOS

A característica básica de funcionamento dos dispositivos nanoeletrônicos é o confinamento de elétrons no que se convencionou chamar de ilha do dispositivo [1]. A ilha é constituída de material condutor e, quando apresenta dimensões suficientemente pequenas, permite o controle da presença ou da ausência de um número muito pequeno ou mesmo de um único elétron em seu interior.

Diferentes categorias de dispositivos nanoeletrônicos de estado sólido podem ser definidas de acordo com o modo com que as ilhas são utilizadas. Dessa forma, distinguimos [1]:

- os pontos quânticos (QD, do inglês *Quantum Dots*), que são formados quando a ilha não está conectada a nenhum terminal e os elétrons confinados não possuem nenhum grau de liberdade;

- os dispositivos de tunelamento ressonante (RTD, do inglês *Resonant Tunneling Devices*), que se caracterizam pela existência de um ou dois terminais conectados à ilha, fazendo com que os elétrons tenham um ou dois graus de liberdade nesta; e
- os dispositivos de tunelamento mono-elétron (SET, do inglês *Single-Electron Tunneling*), que são formados pela ilha conectada a três terminais, resultando em três graus de liberdade dos elétrons nela confinados.

As estruturas utilizadas neste trabalho são constituídas de dispositivos desta última categoria.

2.3 DISPOSITIVOS DE TUNELAMENTO MONO-ELÉTRON

Um circuito ou sistema deve ser analisado sob o ponto de vista nanoeletrônico quando seu funcionamento é baseado no controle de um único ou, no máximo, de um pequeno número de elétrons ao longo de seus dispositivos.

Como o próprio nome já diz, os dispositivos de tunelamento mono-elétron têm seu funcionamento baseado no fenômeno quântico denominado tunelamento.

2.3.1 Tunelamento e Junção-Túnel

O tunelamento é um fenômeno quântico que se caracteriza pela passagem de elétrons através de uma barreira de potencial.

Considere, por exemplo, dois eletrodos A e B separados por uma camada de material isolante e por uma ilha, conforme mostra a figura 2.1. Para que haja transferência de cargas entre os eletrodos, os elétrons devem passar através da ilha e, conseqüentemente, através do material isolante. A passagem dos elétrons pelo material isolante, que aqui assume o papel de barreira de potencial, é denominada tunelamento mono-elétron [4].

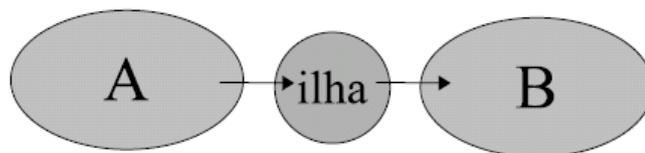


Figura 2.1: Eletrodos separados por uma ilha [5].

Esse fenômeno não pode ser explicado pela física clássica, uma vez que é necessário considerar o comportamento dual entre onda e partícula do elétron. Isso porque, durante o tunelamento, deve-se supor que o elétron está se comportando como uma onda, para que uma parte de sua energia seja transmitida através da barreira de potencial. Caso considerássemos apenas a física clássica, e o elétron com seu comportamento de partícula, este seria completamente bloqueado pela barreira.

O modelo teórico mais utilizado para explicar esse fenômeno é a teoria ortodoxa do tunelamento mono-elétron, proposta em 1985 por Averin e Likharev [3, 6]. Essa teoria apresenta algumas restrições que devem ser respeitadas para que possa ser utilizada:

- o modelo deve possuir dimensão zero, ou seja, as dimensões das ilhas devem ser desprezíveis;
- o fenômeno do tunelamento deve ser considerado instantâneo;
- a redistribuição das cargas no dispositivo após o tunelamento também deve ser considerada instantânea;
- o espectro de energia nos condutores e na ilha deve ser considerado contínuo, ou seja, a quantização da energia do elétron deve ser ignorada dentro dos condutores.

O dispositivo mais básico em que é possível verificar a ocorrência deste fenômeno é a junção-túnel. A junção túnel é formada pela conexão de dois materiais condutores separados por uma fina camada de material isolante. É caracterizada por sua resistência de tunelamento R_T , e pela sua capacitância C . A figura 2.2 ilustra uma junção-túnel.

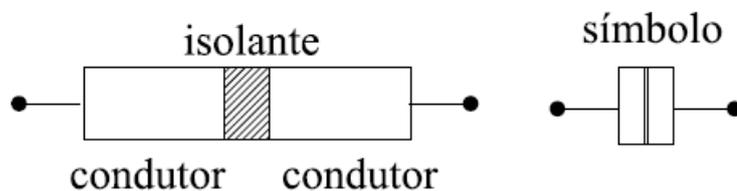


Figura 2.2: Junção-túnel [5].

Ao conectar duas junções túnel em série, é formada uma ilha entre os dois dispositivos. É através das junções que ocorre o tunelamento mono-elétron, também conhecido como efeito-túnel.

A partir do tunelamento, verifica-se o acontecimento de outros fenômenos importantes para o funcionamento dos dispositivos nanoeletrônicos. Entre esses fenômenos, temos o efeito de carregamento e o bloqueio de Coulomb.

2.3.2 Efeito de Carregamento [7]

No momento em que ocorre o tunelamento, um elétron entra na região da ilha. A consequência disso é um aumento significativo no potencial eletrostático (V_C) dessa região. Isso ocorre porque, como a ilha tem dimensões muito reduzidas (geralmente menor que 10 nanômetros), a sua capacitância equivalente também será muito pequena. Como $V = e/C$, sendo e a carga elementar do elétron ($1,6 \times 10^{-19} C$) e a capacitância menor ou, no máximo da ordem de $10^{-18} F$, teremos um aumento de potencial da ordem de $10^{-1} V$, valor esse muito maior que o ruído térmico em temperatura ambiente ($25,9 mV$). Esse fenômeno é conhecido como efeito de carregamento.

Esse grande aumento do potencial da ilha impede que outros elétrons entrem na mesma, a não ser que exista uma fonte de potencial externa diminuindo esse potencial. O controle desse potencial permite a entrada e a saída de elétrons da ilha, de forma unitária.

Para que esse efeito ocorra, é necessário que o circuito respeite duas condições.

Em primeiro lugar, deve-se determinar um valor mínimo para a resistência de tunelamento, R_T . Para isso, deve-se considerar o Princípio da Incerteza de Heisenberg, descrito pela seguinte equação:

$$\Delta E \cdot \Delta t > h \quad (2.1)$$

onde ΔE é a incerteza quanto à energia, Δt é a incerteza quanto ao tempo e h é a constante de Planck.

Em uma junção-túnel, temos que o tempo característico para as flutuações de carga é:

$$\Delta t \cong R_T \cdot C \quad (2.2)$$

E a variação da energia associada ao elétron em excesso é:

$$\Delta E = e^2/C$$

Ao combinar as equações (2.1), (2.2) e (2.3), chegamos ao seguinte resultado, limitando o valor da resistência de tunelamento:

$$R_T > h/e^2 = 25,8k\Omega \quad (2.4)$$

O segundo requisito diz respeito ao valor da temperatura de operação da junção. A energia eletrostática da ilha deve ser muito maior do que a energia resultante das flutuações térmicas existentes na temperatura desejada. Essa condição é descrita pela seguinte equação:

$$E_C \gg k_B T \quad (2.5)$$

Onde k_B é a constante de Boltzman e T é a temperatura de operação do circuito.

Assegurando-se que os dispositivos estejam operando em respeito às condições impostas pelas equações (2.4) e (2.5), é possível garantir que o transporte dos elétrons através da ilha acontece predominantemente devido ao efeito de carregamento, com o tunelamento dos elétrons através das barreiras de potencial. O controle do fluxo de elétrons pode ser feito ao aplicar tensões externas aos terminais da ilha.

2.3.3 Bloqueio de Coulomb [7]

Os efeitos de carregamento são melhor visualizados ao examinar o seguinte circuito mono-elétron, que possui apenas uma ilha. Esse circuito é chamado de caixa mono-eletrônica, e é mostrado na figura 2.3.

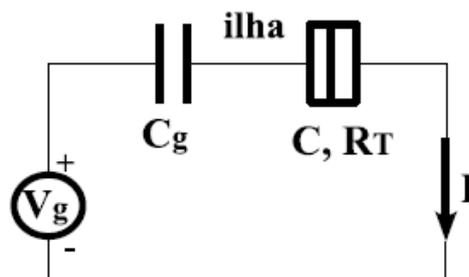


Figura 2.3: Caixa mono-eletrônica [5].

Nesse circuito, a ilha é a região condutora entre a capacitância C_g e a junção-túnel.

Quando um elétron tunela para dentro da ilha, sua energia eletrostática E_C aumenta em $e^2 / (2 \cdot C_{eq})$, onde C_{eq} é a soma das capacitâncias C_g e a capacitância da junção, C_j . Para que outro elétron entre na ilha, ele deve ter energia suficiente para ocupar o próximo nível de energia vazio. Como a energia da ilha foi elevada com a entrada do primeiro elétron, os elétrons que estão fora dela não terão energia suficiente para tunelar. A esse fenômeno, damos o nome de Bloqueio de Coulomb.

Se aplicarmos uma tensão V_g ao circuito da caixa mono-elétrica é possível elevar a energia dos elétrons fora da ilha a um nível que torne possível o tunelamento. A tensão mínima necessária para elevar a energia a um mínimo que possibilite o tunelamento é chamada de tensão de Bloqueio de Coulomb (V_C). Quando há passagem de corrente, ou seja, se há fluxo de elétrons através do circuito, este não está em Bloqueio de Coulomb.

Na figura 2.4, são ilustrados os dois momentos do circuito: em Bloqueio de Coulomb, quando não há fluxo de corrente, e fora do Bloqueio, quando ocorre o tunelamento de elétrons.

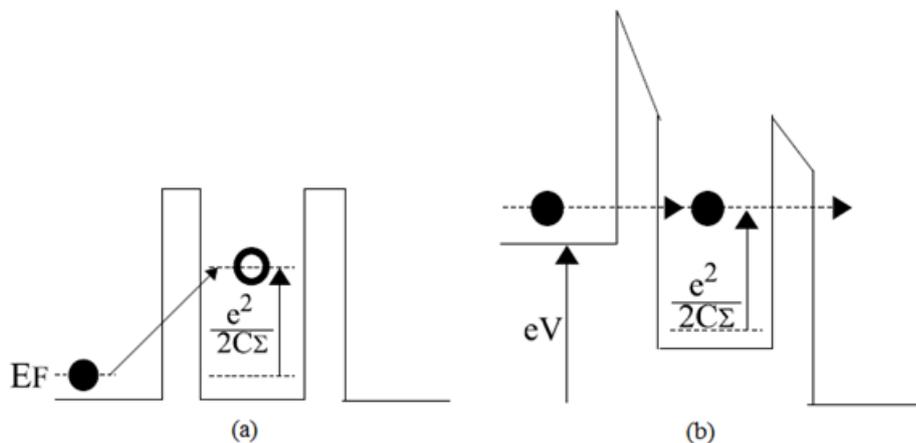


Figura 2.4: Diagramas de energia (a) Bloqueio de Coulomb (b) Tunelamento mono-elétron [5].

2.3.4 Transistor Mono-Elétron [5]

A estrutura básica dos circuitos utilizados no decorrer deste trabalho é o transistor mono-elétron, também chamado de SET (do inglês, *Single-Electron Transistor*). A partir desse

momento, quando falarmos em SET, estaremos nos referindo a esse dispositivo. A figura 2.5 apresenta um transistor mono-elétron.

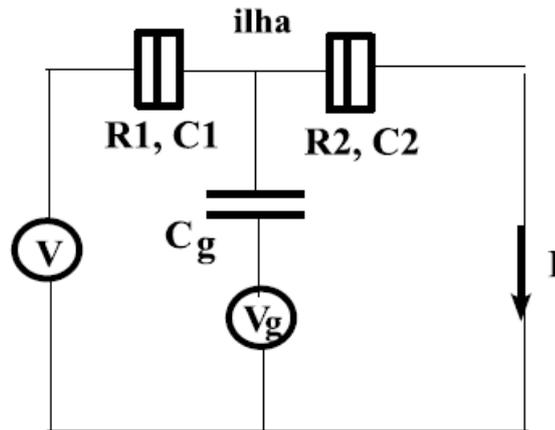


Figura 2.5: Transistor Mono-Elétron [5].

O transistor mono-elétron é um dispositivo que controla o fluxo de cargas entre os terminais da ilha, elétron a elétron a partir do controle do tunelamento desses elétrons. Como podemos perceber da figura 2.5, a ilha é formada a partir da conexão de duas junções-túnel em série, sendo cada uma dessas junções um terminal. A ilha ainda possui um terceiro terminal, ligado a uma fonte de tensão V_g , através de uma capacitância C_g . É através desse terminal que se controla o potencial da ilha, aumentando ou diminuindo o fluxo de elétrons através dela. Dessa forma, este último terminal é equivalente ao terminal de porta dos transistores fabricados com tecnologia MOS.

O tunelamento é um processo discreto, ou seja, os elétrons atravessam a barreira de potencial um a um. Assim, a carga elétrica que flui através da barreira tem que ser sempre um múltiplo da carga elementar do elétron, e . Controlando a energia eletrostática da ilha através do terminal de porta, permite-se que ocorra o tunelamento através das junções-túnel, sendo este tunelamento facilitado ou dificultado de acordo com a tensão aplicada ao terminal de porta.

Vamos analisar agora o comportamento do SET com a variação da tensão de porta V_g . Inicialmente, ajustamos V_g em zero. Com esse valor, dificilmente os elétrons terão energia suficiente para tunelar para o interior da ilha. Neste momento, o circuito está em Bloqueio de Coulomb, e não há fluxo de corrente através do mesmo.

Aumentando gradualmente o valor de V_g , quando este alcançar o valor de $e/2 \cdot C_g$, a energia da ilha terá sido elevada o suficiente, permitindo um tunelamento. Agora, há passagem de corrente através do circuito. Desse modo, o elétron tunela para dentro e para fora da ilha, atravessando-a.

Após o tunelamento, cessa novamente o fluxo de elétrons, pois a ilha não possui energia necessária para permitir um novo tunelamento. Este só irá ocorrer se aumentarmos novamente o valor da tensão de porta até o valor de $3 \cdot (e/2 \cdot C_g)$.

Na figura 2.6 é apresentada a curva característica $I \times V_g$ do transistor mono-elétron. Como podemos verificar, só haverá passagem de corrente através do circuito quando a tensão de porta for um múltiplo de $e/2 \cdot C_g$. Como o fluxo de energia só acontece em instantes de tempo discretos no circuito, o valor da corrente também é discretizado.

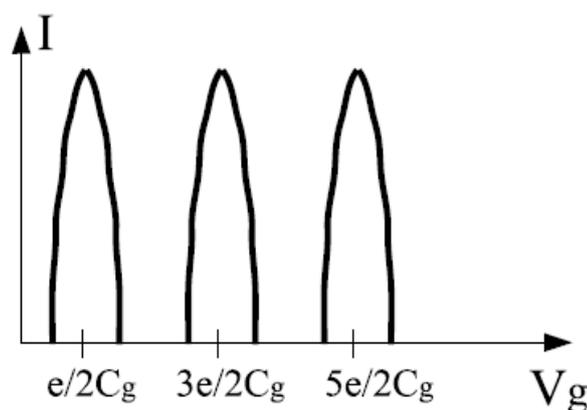


Figura 2.6: Característica $I \times V_g$ do SET [5].

2.3.5 Influência da Temperatura

Como os dispositivos nanoeletrônicos têm seu funcionamento baseado na transferência de uma pequena quantidade de cargas, a energia térmica exerce forte influência nesse funcionamento. Dessa forma, ao trabalhar com os transistores mono-elétron, é necessário manter a energia causada por ruídos térmicos em um nível baixo, para assegurar que a energia predominante no circuito seja aquela resultante apenas do tunelamento dos elétrons através das junções, como mostra a Equação 2.5.

2.3.6 Estabilidade [8]

A estabilidade dos circuitos implementados com dispositivos de tunelamento mono-elétron está relacionada com a energia livre dos mesmos. A energia livre de um circuito informa quanto de corrente passa continuamente através de suas junções, caracterizando situações em que as junções não estão em completo bloqueio de Coulomb. Quanto maior essa corrente nas junções, mais instável se torna o circuito e maior a probabilidade dele não operar da forma desejada.

Uma forma de verificar a estabilidade desses circuitos é através de um diagrama. Nesse diagrama de estabilidade, cada ponto representa a energia livre do circuito para uma combinação de valores dos sinais de entrada. Os pontos que correspondem a mínimos locais da energia livre do circuito são apresentados na cor branca. Nesses pontos de operação não há elétrons tunelando pelas junções, garantindo-se assim o funcionamento correto do circuito. Por outro lado, pontos correspondentes a máximos locais da energia livre do circuito são apresentados na cor preta, e representam pontos de operação instáveis do circuito. Nesses pontos, há uma elevada corrente passando através das junções, e os elétrons não são mantidos presos na ilha. As regiões do diagrama de estabilidade apresentadas na cor cinza representam pontos intermediários entre os pontos estáveis e os instáveis. Quanto mais escura a região, maior é a instabilidade do ponto de operação. A figura 2.7 apresenta o diagrama de estabilidade de um transistor mono-elétron, a título de ilustração.

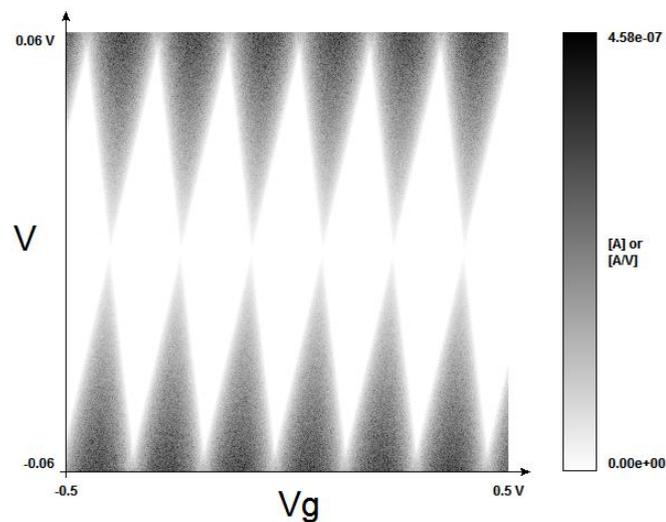


Figura 2.7: Exemplo de um diagrama de estabilidade.

2.4 PROCESSADOR NANOELETRÔNICO [5]

O sucesso comercial da nanoeletrônica depende da disponibilidade de conceitos de sistemas adequados, como ocorreu com a microeletrônica. Assim, deve-se procurar desenvolver os circuitos nanoeletrônicos considerando dois pontos de vista: dos dispositivos e dos sistemas.

Uma possível arquitetura global para um processador nanoeletrônico em escala GIGA ou TERA teria:

- um núcleo nanoeletrônico com mais de 10^{12} elementos de processamento, responsável pelas principais tarefas de processamento de dados;
- um processador de controle, também com dispositivos nanoeletrônicos, responsável pelas tarefas de controle e de comunicação; e
- unidades de entrada e saída de dados.

Um esquema é mostrado na figura 2.8.

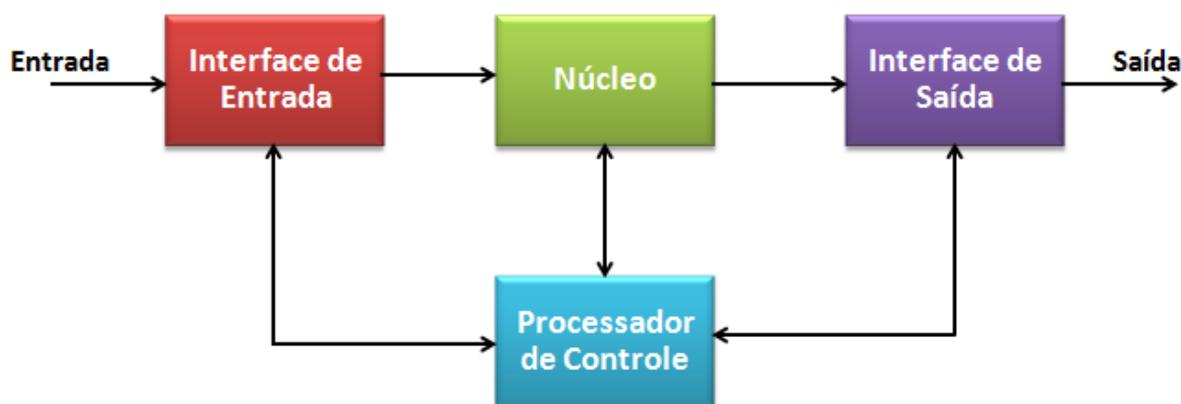


Figura 2.8: Arquitetura global de um sistema nanoeletrônico [5].

Algumas características desejáveis no projeto de processadores nanoeletrônicos em escala GIGA ou TERA são conexões curtas, capacidade local de processamento, tolerância a falhas e defeitos e reconfigurabilidade.

Nesse sentido, o estudo de arquiteturas digitais nanoeletrônicas se enquadra no processo de desenvolvimento de um processador nanoeletrônico.

2.5 SIMULAÇÃO DOS CIRCUITOS NANOELETRÔNICOS

2.5.1 SIMON [9]

O *software* utilizado para a simulação dos circuitos nanoeletrônicos estudados no decorrer deste trabalho foi o SIMON (*Simulation of Nano-Structures*). Esta ferramenta foi escolhida em função de suas funcionalidades para trabalhar em escala nanométrica. O SIMON simula dispositivos e circuitos mono-elétron de forma que seja possível visualizar a propagação dos elétrons através das junções, dos capacitores, dos resistores e das fontes que formam o circuito. Na figura 2.9 apresentamos a interface do *software* com um circuito de um transistor mono-elétron.

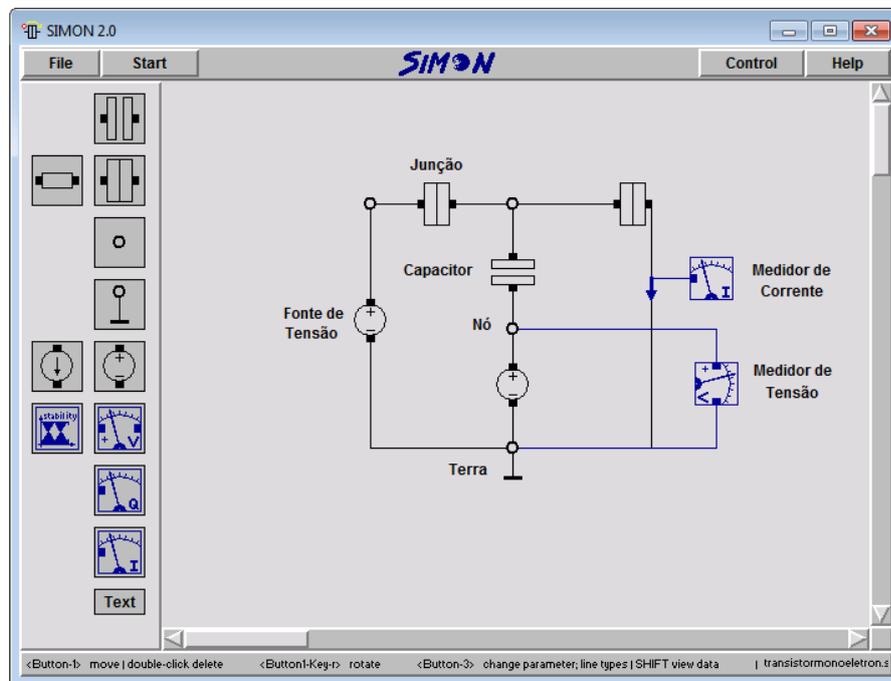


Figura 2.9: Layout do SIMON.

Seu método de simulação consiste em calcular a probabilidade para cada evento de tunelamento possível, através do método de Monte-Carlo para a escolha de um evento dentre os eventos possíveis, a cada instante de tempo. Assim, para cada intervalo de tempo especificado, um número de eventos definido é simulado. Cada tunelamento é considerado de forma independente e exponencialmente distribuído.

O SIMON permite ainda a variação de diversos parâmetros, como a temperatura, o tempo de simulação, a ordem de tunelamento, entre outros. Também permite a visualização da quantidade de componentes utilizados no circuito. A figura 2.10 apresenta essas interfaces.

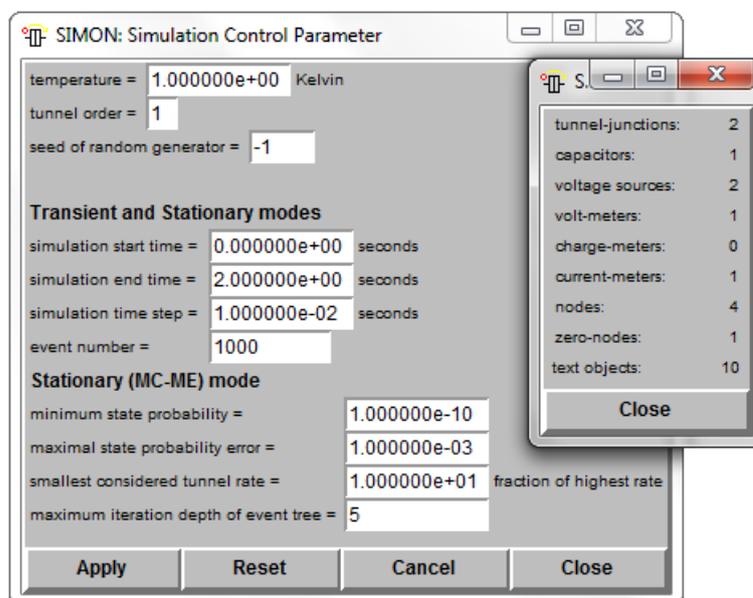


Figura 2.10: Janela dos parâmetros de simulação.

O SIMON oferece como resultados gráficos de corrente, carga e tensão, além de fazer análises interativas da variação de energia transportada através das junções-túnel e calcular o diagrama de estabilidade dos circuitos. Cabe ressaltar que o SIMON não permite que se faça uma análise em tempo real dos circuitos.

2.5.2 MATLAB

À medida que o circuito a ser simulado aumenta em tamanho e em complexidade, a utilização do SIMON para a montagem do circuito se torna ineficiente, uma vez que esse *software* não apresenta algumas ferramentas simples, como a funcionalidade de copiar e colar, que permitiria a reprodução, em um mesmo circuito de estruturas básicas repetidas. Dessa forma, torna-se necessária a utilização de outro *software*. O *software* utilizado foi o MATLAB, que possui uma ferramenta chamada SIMULINK que permite a elaboração de esquemáticos de circuitos de forma muito mais eficiente. Dessa forma, utilizando códigos previamente programados no MATLAB [10, 11], foi possível montar os circuitos nessa ferramenta, a partir de uma estrutura básica (porta NÃO-E nanoeletrônica, como será explicado mais adiante no texto) e utilizar o SIMON para simular os circuitos.

3 MULTIPLICAÇÃO BINÁRIA

3.1 INTRODUÇÃO

O processo de multiplicação de dois números binários segue as mesmas regras que o processo de multiplicação de dois números decimais. Dessa forma, seja $a \times b = c$, temos que a é denominado multiplicando, b é o multiplicador e c é o produto, ou resultado da multiplicação.

Para calcular o produto de dois números, deve-se multiplicar o multiplicando por cada dígito do multiplicador (ou bit, no caso de números binários) separadamente, começando sempre pelo dígito menos significativo. A cada um desses resultados intermediários, dá-se o nome de produto parcial. Para obter o resultado final, deve-se somar os produtos parciais deslocados sucessivamente em um dígito para a esquerda. A figura 3.1 ilustra o processo para dois números decimais e a multiplicação binária correspondente.

$$\begin{array}{r} 13 \\ \times 11 \\ \hline 13 \\ +13 \\ \hline 143 \end{array} \qquad \begin{array}{r} 1101 \\ \times 1011 \\ \hline 1101 \\ 1101 \\ 0000 \\ +1101 \\ \hline 10001111 \end{array}$$

Figura 3.1: Exemplo de multiplicação.

Do ponto de vista de operações lógicas, a operação de multiplicação entre dois bits é equivalente à operação E, uma vez que o resultado da multiplicação entre dois bits só será 1 caso ambos os bits sejam também 1. Em todas as outras combinações possíveis, o resultado da operação será 0.

De acordo com o procedimento descrito anteriormente, é possível implementar um circuito combinacional bastante simples que efetue a multiplicação binária. Esse circuito seria composto apenas de somadores e de portas lógicas E. Para realizar a operação desejada, seria

necessária uma porta E para cada multiplicação entre cada bit do multiplicando e cada bit do multiplicador além de vários somadores, um para cada soma entre dois bits dos produtos parciais. Dessa forma, o circuito aumentaria de tamanho exponencialmente, de acordo com o número de bits do multiplicando e do multiplicador.

É possível efetuar a mesma operação utilizando-se circuitos sequenciais, ou seja, que contêm elementos de memória em sua estrutura. São apresentadas, a seguir, as etapas seguidas para a implementação de um multiplicador binário sequencial.

3.2 ALGORITMO

3.2.1 Algoritmo tradicional

Separando o procedimento descrito anteriormente em etapas, é possível apresentar o seguinte algoritmo para a realização da multiplicação binária:

- (i) quando o bit do multiplicador pelo qual o multiplicando será multiplicado for 1, deve-se copiar o valor do multiplicando, sendo este o produto parcial, neste caso; quando o bit do multiplicador for 0, uma sequência de zeros deve ser copiada;
- (ii) o procedimento descrito em (i) deve ser repetido para cada bit do multiplicador, e os produtos parciais devem ser sucessivamente deslocados em um bit para a esquerda, em relação ao produto anterior;
- (iii) ao final, realiza-se a soma dos produtos parciais.

3.2.2 Algoritmo Modificado [12]

Com o objetivo de simplificar a implementação do circuito com *hardware* digital, é possível fazer algumas mudanças neste algoritmo, sem alterar o resultado da operação.

Em primeiro lugar, para se calcular o produto através do algoritmo tradicional, é necessário utilizar um somador de $2n$ bits para somar os n produtos parciais deslocados. Se os produtos parciais forem somados dois a dois, calculando-se e armazenando-se um resultado parcial após cada adição, só é necessário um somador de n bits para efetuar a operação.

Além disso, esse resultado parcial só é alterado quando o bit do multiplicador é 1, pois quando é 0, a soma com uma sequência de zeros não produz nenhuma mudança nesse valor. Assim, nesse caso, não é necessário efetuar a adição.

Por fim, com relação às operações de deslocamento, é importante ressaltar que, no lugar de deslocar cada um dos produtos parciais em um bit para a esquerda, é possível deslocar apenas o resultado parcial em um bit para a direita após cada operação. Procedendo dessa maneira, o bit menos significativo de cada resultado parcial vai sendo armazenado como parte do resultado final da multiplicação e não precisa mais ser considerado no cálculo das adições posteriores. A figura 3.2 ilustra uma multiplicação com as etapas acima descritas colocadas em evidência.

1101	multiplicando
<u>1011</u>	multiplicador
0000	valor inicial do produto parcial
<u>1101</u>	soma o multiplicando, pois o primeiro bit do multiplicador é 1
1101	primeiro resultado parcial
01101	desloca o resultado para a direita
<u>1101</u>	soma o multiplicando, pois o segundo bit do multiplicador é 1
100111	segundo resultado parcial
100111	desloca o resultado para a direita
0100111	só desloca o resultado para a direita, pois o bit do multiplicador é 0
<u>1101</u>	soma o multiplicando, pois o bit do multiplicador é 1
10001111	terceiro resultado parcial
10001111	desloca o resultado para a direita – resultado final

Figura 3.2: Exemplo de utilização do algoritmo modificado.

Assim, o algoritmo modificado seria composto dos seguintes passos:

- (i) primeiramente, inicializa-se o valor do produto parcial em zero;
- (ii) verifica-se então o valor do bit menos significativo do multiplicador;
- (iii) caso esse valor seja 1, soma-se o valor do multiplicando ao resultado parcial. Caso seja 0, nenhuma operação é realizada;
- (iv) em seguida, desloca-se o valor armazenado no resultado parcial em um bit para a direita;

- (v) analisa-se então o valor do próximo bit menos significativo do multiplicador e repete-se os procedimentos descritos em (iii) e (iv), até que todos os bits do multiplicador tenham sido utilizados.

3.3 DIAGRAMA DE BLOCOS [12]

Tendo como base o algoritmo, é possível então montar um diagrama de blocos mostrando os circuitos necessários para efetuar a operação da multiplicação binária. Como pode ser visto na figura 3.3, o circuito é composto por um registrador, B, um somador paralelo, um flip-flop, C e dois registradores deslocadores, A e Q. Os registradores e deslocadores têm entradas e saídas de n bits, e o somador tem uma entrada de $2n$ bits e uma saída de n bits.

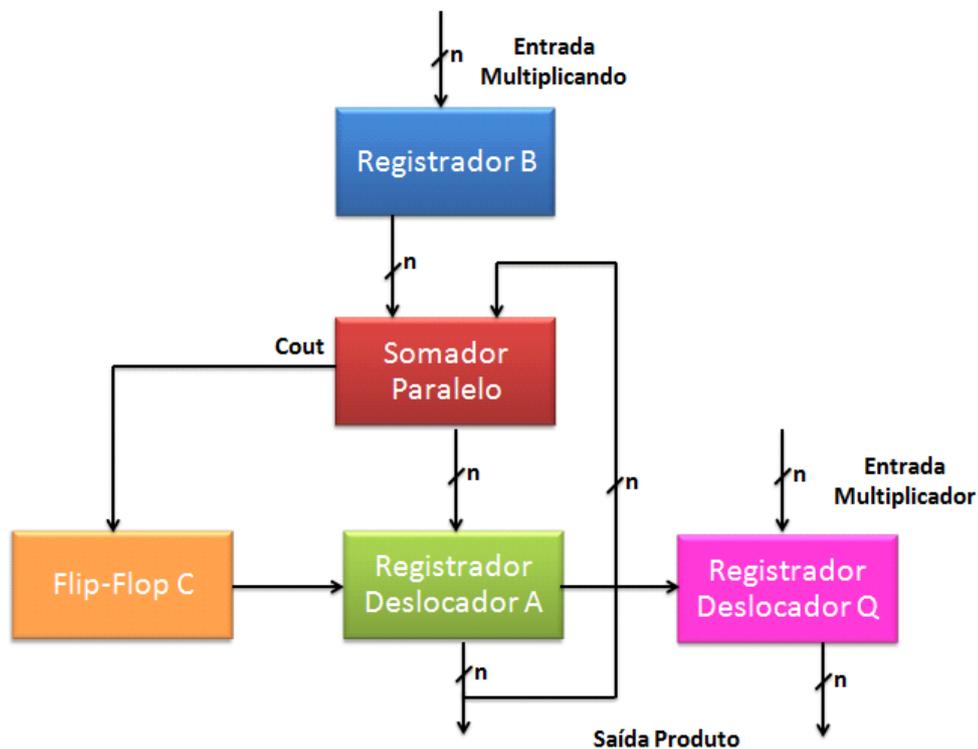


Figura 3.3: Blocos necessários para efetuar a multiplicação binária (Fluxo de Dados).

O circuito esquematizado funciona da seguinte maneira:

- o registrador B é encarregado de armazenar os bits do multiplicando, enquanto o registrador-deslocador Q é carregado com os bits do multiplicador;

- o somador completo efetua as operações de soma do multiplicando com os resultados parciais deslocados;
- o flip-flop C recebe o valor de um possível *carry out* do somador; e
- o registrador-deslocador A armazena os resultados parciais da multiplicação.

Além dos blocos apresentados no diagrama da figura 3.3, denominado de fluxo de dados, é necessária ainda uma unidade de controle, responsável por determinar, a cada ciclo, ou seja, a cada multiplicação por um bit do multiplicador, a ação ou ações que deverão ser efetuadas na unidade de fluxo de dados. Assim, além de um bloco denominado unidade de controle em si, o circuito necessita de um contador decrescente e de um detector de zero. O contador é responsável por determinar quantos ciclos o circuito deverá efetuar. Dessa forma, se multiplicando e multiplicador têm n bits cada, serão necessários n ciclos para que o circuito complete a multiplicação. O detector de zero é responsável por determinar quando o contador decrescente finalizou sua contagem, fazendo com que o circuito pare de operar. O diagrama complementar com os blocos acima descritos é apresentado na figura 3.4.

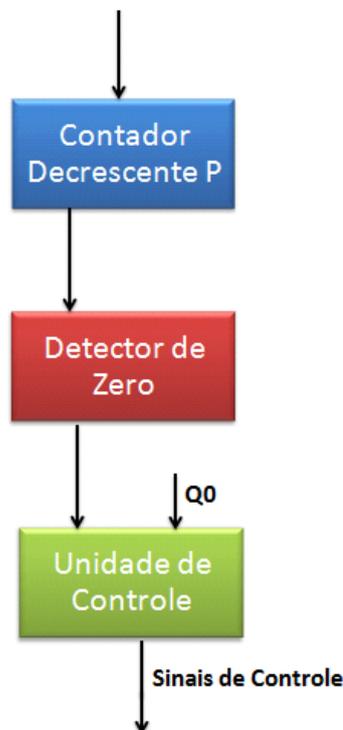


Figura 3.4: Blocos necessários para obter os sinais de controle (Unidade de Controle).

3.4 DIAGRAMA ASM (*Algorithmic State Machine*) [12]

Se juntarmos os circuitos apresentados nas figuras 3.3 e 3.4, teremos o circuito completo do multiplicador binário. O funcionamento desse circuito pode ser resumido nas seguintes etapas:

- (i) em primeiro lugar, é preciso inicializar o circuito. Dessa forma, o contador decrescente deve ser carregado com o valor $n - 1$, o registrador B deve receber os bits do multiplicando e o registrador-deslocador Q, os bits do multiplicador.
- (ii) avalia-se então se o contador decrescente chegou à zero (através do detector de zero). Enquanto isso não ocorrer, deve-se efetuar as operações descritas nos passos seguintes.
- (iii) avalia-se, em seguida, o valor de Q_0 , que é o bit menos significativo armazenado no registrador-deslocador Q.
- (iv) quando Q_0 for igual a 1, ou seja, quando o bit do multiplicador for igual a 1, deve-se somar o multiplicando ao resultado parcial. Isso é realizado pelo somador paralelo, que soma o valor armazenado no registrador B com o valor armazenado no registrador-deslocador A. O resultado da soma substitui o valor armazenado em A e no flip-flop C (no caso de haver um *carry out* do somador).
Quando o valor de Q_0 for igual a 0, nenhuma operação é realizada nessa etapa.
- (v) em seguida, deve-se efetuar uma operação de deslocamento para a direita em A e em Q. Com isso, o valor de Q_0 avaliado em (iii) é descartado, ocupando seu lugar o bit seguinte do multiplicador. Também, o bit menos significativo de A é transferido para a posição mais significativa de Q, e o valor de C é transferido para a posição mais significativa de A.
- (vi) ao final de n ciclos, Q não terá armazenado mais nenhum bit do multiplicador, mas sim os n bits menos significativos do resultado final, que foram transferidos de A, um a cada ciclo. Este, por sua vez, terá armazenados os n bits mais significativos do resultado final.

O procedimento acima descrito pode ser visualizado através de um diagrama ASM, como o apresentado na figura 3.5. Na figura, os elementos em vermelho indicam um estado do circuito (importante para o projeto da unidade de controle, apresentado em seguida), os em azul representam uma decisão e aqueles em verde indicam operações.

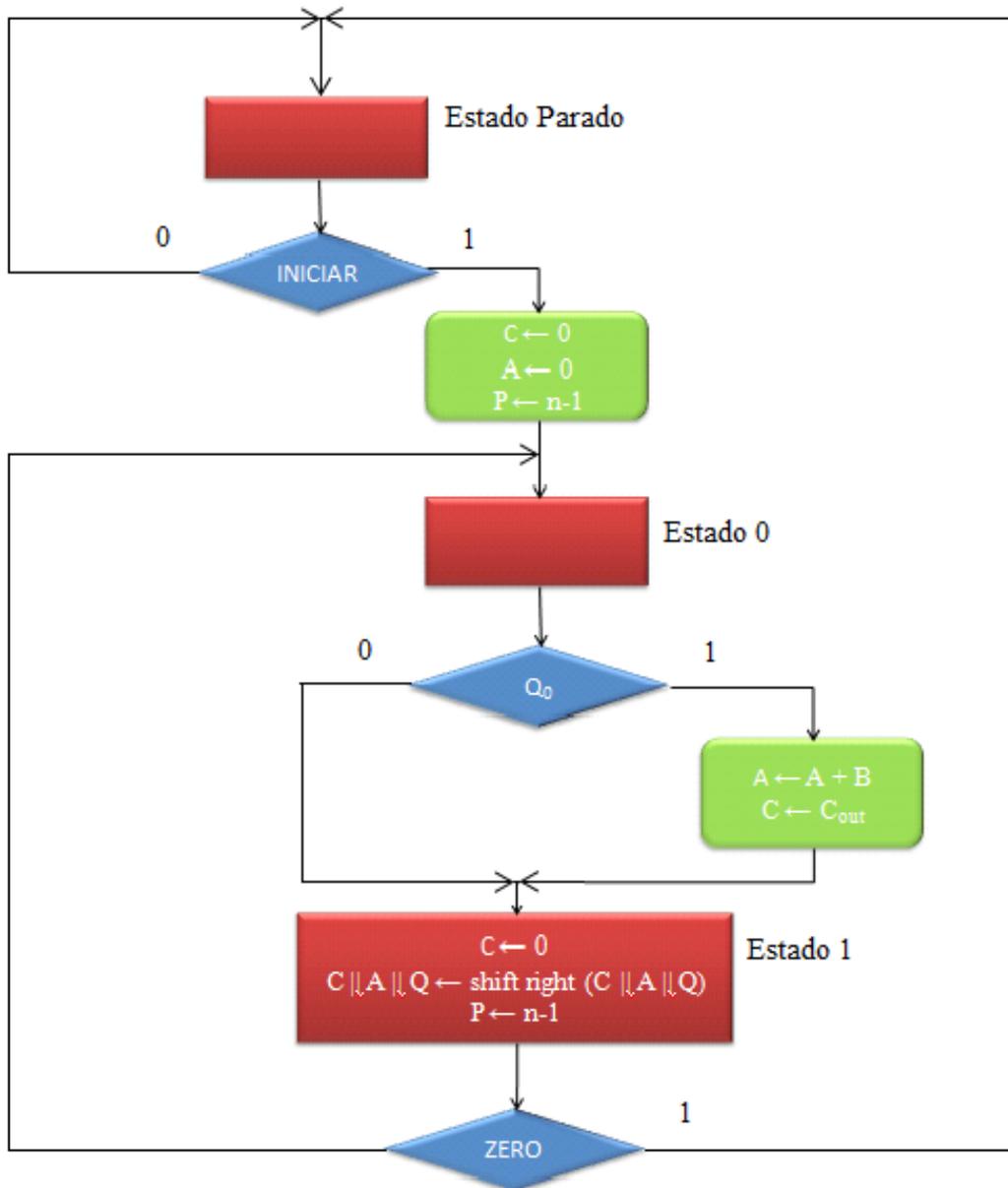


Figura 3.5: Diagrama ASM do projeto do multiplicador binário.

3.5 PROJETO DA UNIDADE DE CONTROLE [12]

Uma vez determinados os elementos de transformação e de armazenamento dos bits (figura 3.3), o chamado fluxo de dados do multiplicador binário, é necessário projetar a unidade de controle, que é a parte do circuito responsável por comandar o fluxo de dados, de forma que este execute as operações corretas e no momento apropriado.

A partir do diagrama ASM, é possível verificar que o circuito apresenta algumas variáveis de decisão. A primeira delas, INICIAR, é responsável por determinar o começo da multiplicação. De igual modo, a variável ZERO determina o fim do processo. Além disso, outra variável de extrema importância é Q_0 , pois dependendo de seu valor, diferentes operações serão efetuadas pelo circuito.

As variáveis acima apresentadas são as variáveis de entrada da unidade de controle, e é a partir destas variáveis que o circuito de controle vai gerar algumas variáveis de saída, que são os sinais de controle do fluxo de dados.

Ainda observando o diagrama ASM, é possível verificar que o circuito apresenta três estados bem definidos:

- Estado PARADO, onde o circuito deve ficar em espera, antes de começar a multiplicação, ou após o seu término;
- Estado 0, quando um ciclo da multiplicação vai começar; e
- Estado 1, ao final do ciclo, quando o circuito terminou de realizar as operações necessárias.

Quanto às operações realizadas pelo circuito, têm-se as operações de inicialização do mesmo, as operações de soma e carregamento de novos valores em A e C, e as operações de deslocamento de A e Q.

Dessa forma, é possível perceber que o circuito necessita dos seguintes sinais de controle:

- INICIALIZAR, que servirá para habilitar todas as entradas do circuito, carregando os valores do multiplicando e do multiplicador nos respectivos registradores, ajustando o valor do contador e “zerando” os demais circuitos;
- LOAD, responsável por carregar um novo valor no registrador A e no flip-flop C, quando o valor de Q_0 determinar que essa operação é necessária;
- SHIFT, responsável pelos deslocamentos. Esse mesmo sinal pode ser utilizado para comandar o decréscimo do contador, visto que ambas as operações acontecem invariavelmente uma vez a cada ciclo, ao final do mesmo.

proposta de arquitetura, mas nenhum resultado é validado por simulação. Já a segunda proposta [14] apresenta resultados de simulação para um multiplicador binário a 0 K.

Assim, como se pode perceber, nenhuma das abordagens foi desenvolvida visando o funcionamento em temperatura ambiente, um dos objetivos principais do presente trabalho. Além disso, a proposta aqui apresentada tem em vista o desenvolvimento de um multiplicador com elementos da lógica sequencial (flip-flops e registradores), também não presentes nas demais arquiteturas.

Sendo assim, neste trabalho é desenvolvida uma abordagem diferenciada, tendo como base um projeto desenvolvido para implementação em tecnologia convencional. Usando o projeto, e utilizando dispositivos mono-elétron, desenvolveu-se o multiplicador binário nanoeletrônico aqui apresentado.

4 METODOLOGIA

4.1 INTRODUÇÃO

Neste capítulo são apresentadas as etapas seguidas no desenvolvimento de um multiplicador binário nanoeletrônico, bem como a forma com que o projeto proposto foi validado.

4.2 ESTRATÉGIAS

A estratégia adotada para o desenvolvimento do sistema digital nanoeletrônico apresentado neste trabalho foi escolher uma porta lógica que pudesse atuar como célula básica e, a partir dela, implementar os circuitos mais complexos.

Assim, a primeira etapa deste trabalho consistiu na escolha dessa célula básica. A estrutura escolhida foi uma porta lógica NÃO-E nanoeletrônica. Verificou-se o funcionamento dessa porta em temperatura ambiente, uma vez que suas características de funcionamento influenciariam todo o projeto. Além disso, uma análise preliminar sobre margens de ruído foi desenvolvida.

Para desenvolver os circuitos mais complexos, necessários à implementação do multiplicador binário (cada um dos blocos apresentados nas figuras 3.3 e 3.4), verificou-se, em primeiro lugar, se já existiam, na literatura, arquiteturas nanoeletrônicas compatíveis com as especificações do projeto. Nesse caso, procedia-se à validação dessas estruturas por simulação.

No caso de não serem encontradas tais arquiteturas, ou no caso de o resultado da simulação não ser satisfatório, buscavam-se então arquiteturas propostas para desenvolvimento em tecnologia tradicional e, então, substituíam-se os dispositivos MOS pelos nanoeletrônicos. Por fim, a proposta era validada também por simulação.

O diagrama da figura 4.1 mostra a metodologia de projeto dos circuitos adotada neste trabalho.

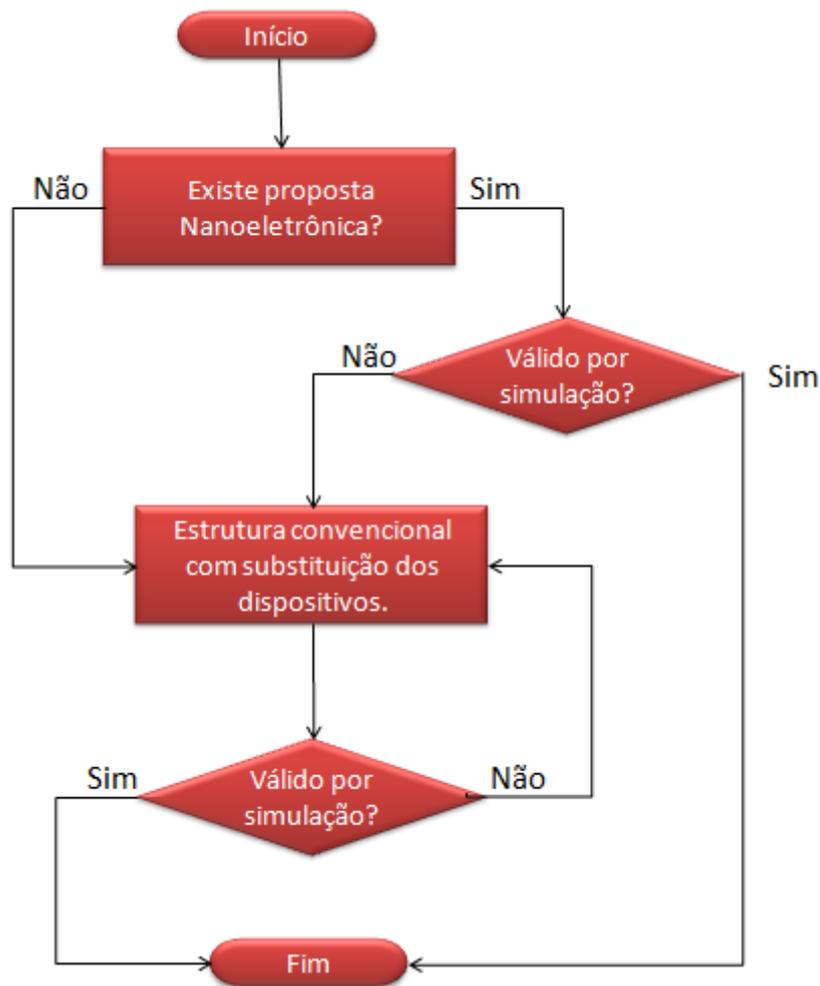


Figura 4.1: Metodologia para o projeto dos circuitos.

4.3 SIMULAÇÃO

A arquitetura de cada um dos blocos componentes do circuito multiplicador binário nanoeletrônico foi validada por simulação através do *software* SIMON, utilizando algumas ferramentas do *software* MATLAB, conforme explicado no capítulo 2.

Como o objetivo principal do trabalho era que o circuito funcionasse corretamente em temperatura ambiente, todas as simulações foram feitas considerando os circuitos operando em temperatura ambiente (300 K). Os circuitos foram avaliados em termos de tensões de entrada e saída além de ter sido verificada a estabilidade de cada um deles.

5 DESENVOLVIMENTO E ANÁLISES

5.1 INTRODUÇÃO

O sistema do multiplicador binário que se deseja apresentar neste trabalho é todo desenvolvido com tecnologia digital. Nesse sentido, elementos bastante utilizados no projeto de sistemas digitais, seja em tecnologia tradicional, seja na nanoeletrônica, são as portas lógicas digitais.

O estudo de portas lógicas digitais nanoeletrônicas vem sendo feito desde os anos 80, com a introdução do transistor mono-elétron. O transistor mono-elétron apresenta inúmeras vantagens para que seja utilizado em circuitos digitais. Dentre essas vantagens, destaca-se o baixo consumo de potência do dispositivo, uma vez que seu funcionamento é baseado no movimento de uma pequena quantidade de cargas. Além disso, pode-se citar a maior rapidez dos circuitos mono-elétron, já que a transição entre os valores lógicos decorre, também, de uma pequena variação na carga dos dispositivos [15].

5.2 PORTA NÃO-E NANOELETRÔNICA

Com o intuito de simplificar o projeto do multiplicador binário apresentado neste trabalho, decidiu-se por utilizar uma porta lógica como estrutura básica, a partir da qual todas as funções lógicas necessárias para a implementação do circuito serão obtidas.

Dessa forma, foi escolhida a função lógica NÃO-E para desempenhar esse papel. Existem algumas propostas de implementação desta função com componentes nanoeletrônicos em tecnologia mono-elétron na literatura [16, 17, 18]. Em particular, a proposta escolhida foi aquela desenvolvida em [18], cuja configuração é mostrada na figura 5.1. Essa escolha ocorreu principalmente devido ao fato de esta configuração já estar ajustada para funcionar corretamente em temperatura ambiente [19]. Os parâmetros utilizados para implementar essa porta com operação em temperatura ambiente são mostrados na tabela 5.1. É importante verificar que a maioria desses valores de capacitância já são fisicamente realizáveis [20, 21], talvez com a exceção da capacitância das junções, C_j . Quanto a esse parâmetro, verificou-se

que a maioria dos circuitos funcionava corretamente com valores uma ordem de grandeza maior do que a utilizada neste trabalho, o que já permitiria sua realização física. No entanto, para alguns dos circuitos apresentados neste trabalho, a utilização deste valor de capacitância de junção resultaria em um nível de ruído bastante elevado. Por esse motivo, preferiu-se manter esse valor de capacitância em 10^{-21} F.

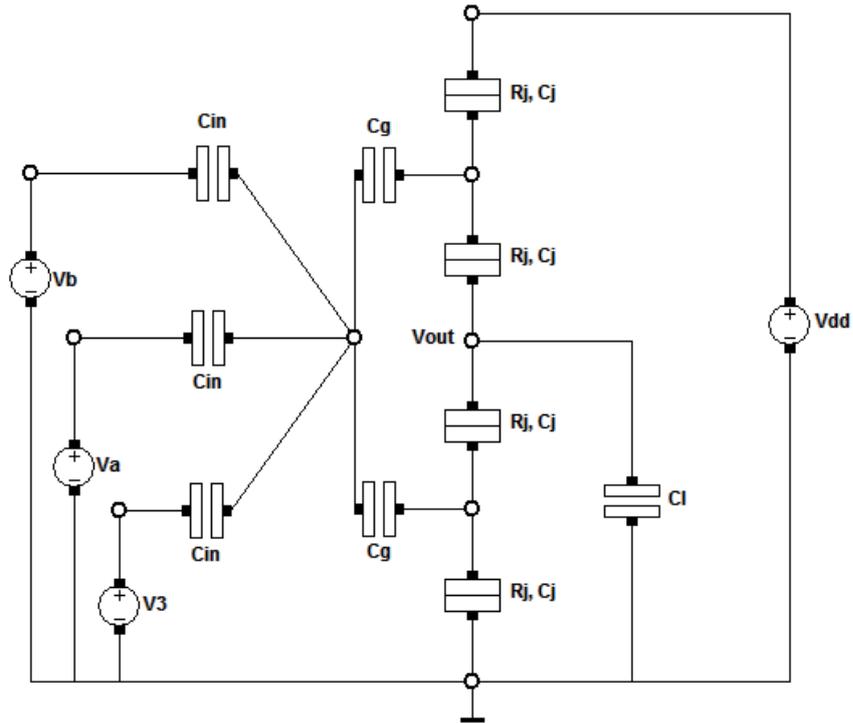


Figura 5.1: Porta NÃO-E nanoeletrônica.

Parâmetro	Valor
R_j	1 M Ω
C_j	10^{-21} F
C_{in}	2×10^{-18} F
C_g	$1,5 \times 10^{-19}$ F
C_l	$2,5 \times 10^{-19}$ F
V_{dd}	0,5 V
V_3	0 V

Tabela 5.1: Parâmetros utilizados para a simulação da porta NÃO-E em 300 K.

Na figura 5.2 é apresentado o resultado da simulação desta porta em temperatura ambiente (300 K). As entradas e a saída são medidas em níveis de tensão. O nível lógico baixo corresponde à tensão de 0 V, enquanto o nível lógico alto corresponde à tensão de 0,5 V. As entradas são representadas pelas letras A e B, e a saída é representada por Not (A.B). O funcionamento da porta está de acordo com o esperado, conforme a tabela 5.2.

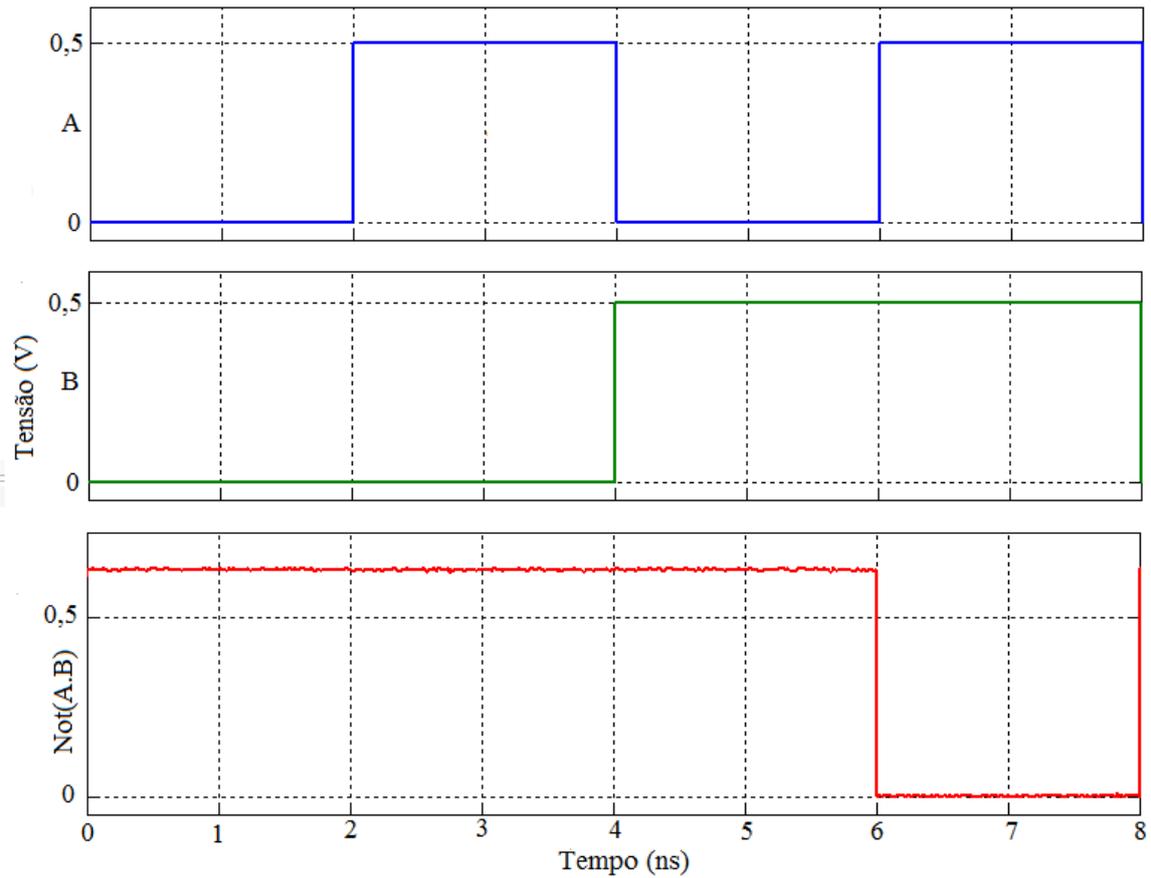


Figura 5.2: Simulação da porta NÃO-E em temperatura ambiente (300 K).

A	B	Not (A.B)
0	0	1
0	1	1
1	0	1
1	1	0

Tabela 5.2: Tabela verdade da porta lógica NÃO-E.

Além disso, outra vantagem apresentada por esta arquitetura de porta lógica é a sua estabilidade. Na figura 5.3, que apresenta o diagrama de estabilidade da porta, podemos

visualizar essa característica. É possível perceber que os quatro pontos de operação do circuito, correspondentes às quatro possíveis combinações de entrada, se situam em regiões estáveis do diagrama.

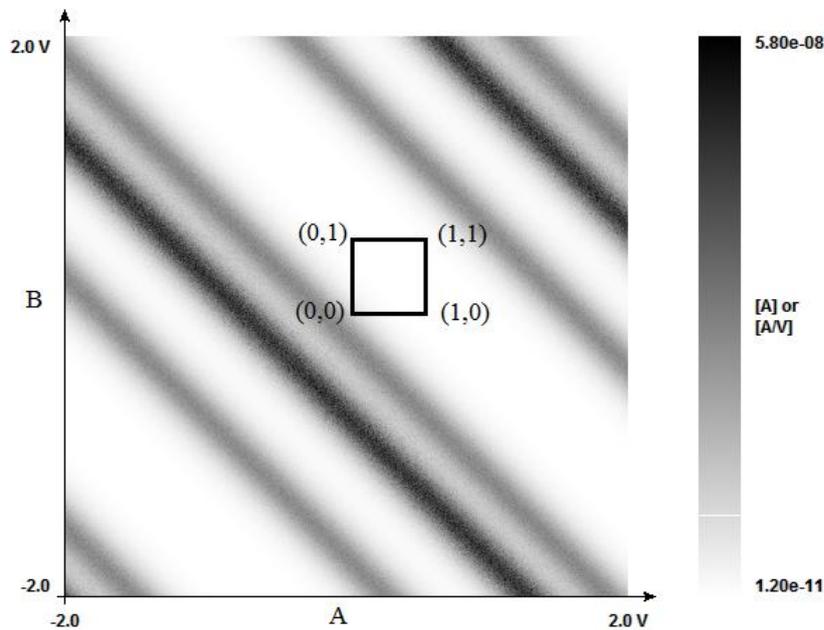


Figura 5.3: Diagrama de estabilidade da porta NÃO-E.

Como já afirmado, a porta NÃO-E em análise será usada como estrutura básica de todos os demais circuitos digitais que serão apresentados neste trabalho. Assim, os níveis lógicos de todos os circuitos serão determinados pela operação dessa porta. Por esse motivo, é interessante fazer uma análise a respeito de sua margem de ruído.

Existe, na literatura, um modelo para o cálculo da margem de ruído de um inversor mono-elétron, em termos das capacitâncias dos dispositivos e das cargas de fundo [22]. Entretanto, esse modelo não pode ser usado para outras portas lógicas, pois deve ser modificado de acordo com a estrutura de cada circuito. De fato, obter modelos para margem de ruído em portas SET é uma tarefa complicada considerando que cada porta pode ter valores diferentes de VOH , VOL , VIH e VIL onde: VIH é a maior tensão de entrada identificada ao nível lógico 1 (alto), VIL a maior tensão de entrada associada ao nível lógico 0 (baixo), VOH a tensão de saída correspondente a uma tensão de entrada VIL e, VOL a tensão de saída correspondente a uma tensão de entrada VIH . Então, neste trabalho essa análise foi feita com base nos mesmos conceitos utilizados para a tecnologia MOS. Assim, as margens de ruído foram calculadas da seguinte forma:

$$NML = VIL - VOL \quad (5.1)$$

$$NMH = VOH - VIH \quad (5.2)$$

Para utilizar o modelo proposto na porta NÃO-E em estudo, conectou-se esta como um inversor, ou seja, aplicou-se o mesmo sinal a ambas as entradas. O circuito foi simulado e obteve-se a seguinte curva da tensão de entrada versus a tensão de saída, mostrada na figura 5.4.

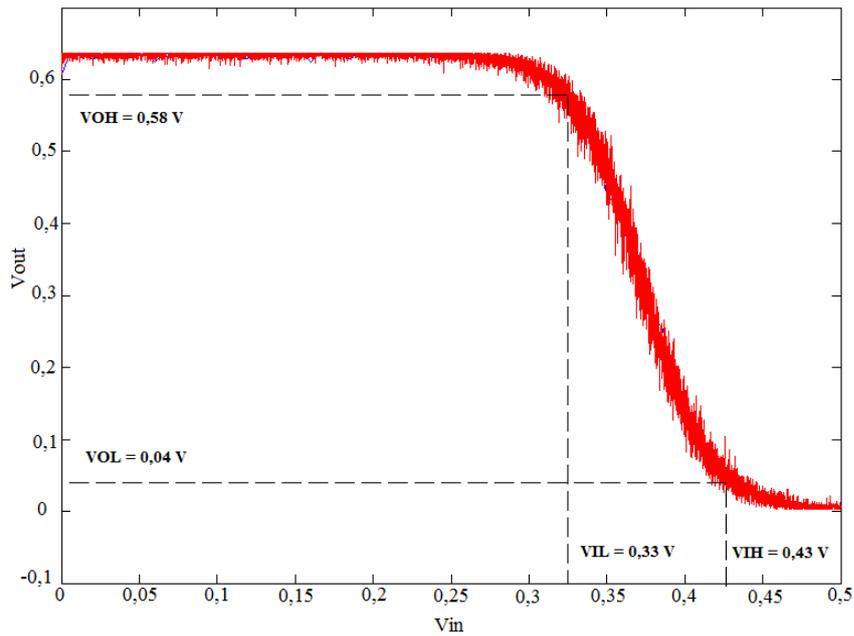


Figura 5.4: Característica $V_{in} \times V_{out}$ da porta NÃO-E conectada como um inversor (300 K).

Os valores das margens de ruído obtidas de acordo com as equações (5.1) e (5.2) para a porta NÃO-E foram:

$$NMH = 0,58 - 0,53 = 0,15 \text{ V} \quad (5.3)$$

$$NML = 0,33 - 0,04 = 0,29 \text{ V} \quad (5.4)$$

Esses valores são proporcionais aos valores usualmente encontrados na tecnologia MOS.

Por fim, uma última vantagem da utilização desta porta NÃO-E no presente trabalho é o fato da mesma já ter sido utilizada com sucesso para implementar um decodificador [23] e um

vetor de lógica programável [24], demonstrando, assim, uma boa capacidade de conectividade.

5.3 FLIP-FLOP D

5.3.1 Estrutura básica

Uma segunda estrutura básica necessária ao projeto do multiplicador binário é o flip-flop D. Já existem, na literatura, algumas propostas de implementação de flip-flops com tecnologia mono-elétron [15, 25, 26, 27]. No entanto, com nenhuma dessas propostas foi possível obter resultados satisfatórios em temperatura ambiente. Assim, utilizando configuração proposta em [28], apenas com portas NÃO-E, e usando a porta NÃO-E já apresentada neste trabalho, foi proposta uma arquitetura para um flip-flop D mono-elétron. A arquitetura é mostrada na figura 5.5. Na tabela 5.3 é mostrado o funcionamento esperado do flip-flop.

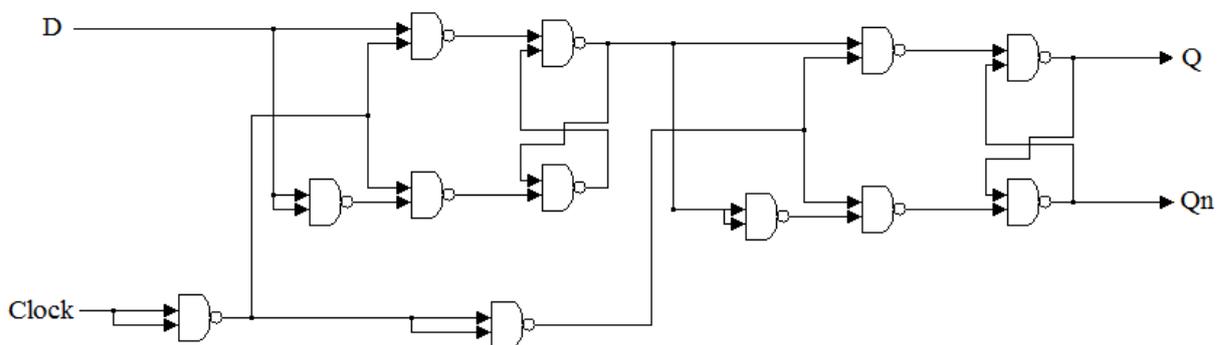


Figura 5.5: Arquitetura de um flip-flop D implementado com portas NÃO-E.

Entradas		Saídas	
D	Clock	Q	Qn
0	\uparrow	0	1
1	\uparrow	1	0
x	0	Q_{t-1}	Qn_{t-1}
x	1	Q_{t-1}	Qn_{t-1}

Tabela 5.3: Valores de entradas e saídas do flip-flop D.

O circuito proposto foi simulado em temperatura ambiente (300 K). A figura 5.6 apresenta os resultados da simulação. Os sinais de saída apresentaram o resultado esperado, conforme a tabela 5.3. Como é possível perceber no gráfico, o flip-flop apresentado é disparado pela borda de subida do relógio. Também é possível verificar que os sinais de saída apresentam certo ruído. Esse ruído pode ser consequência de flutuações térmicas, devido à temperatura de operação do circuito.

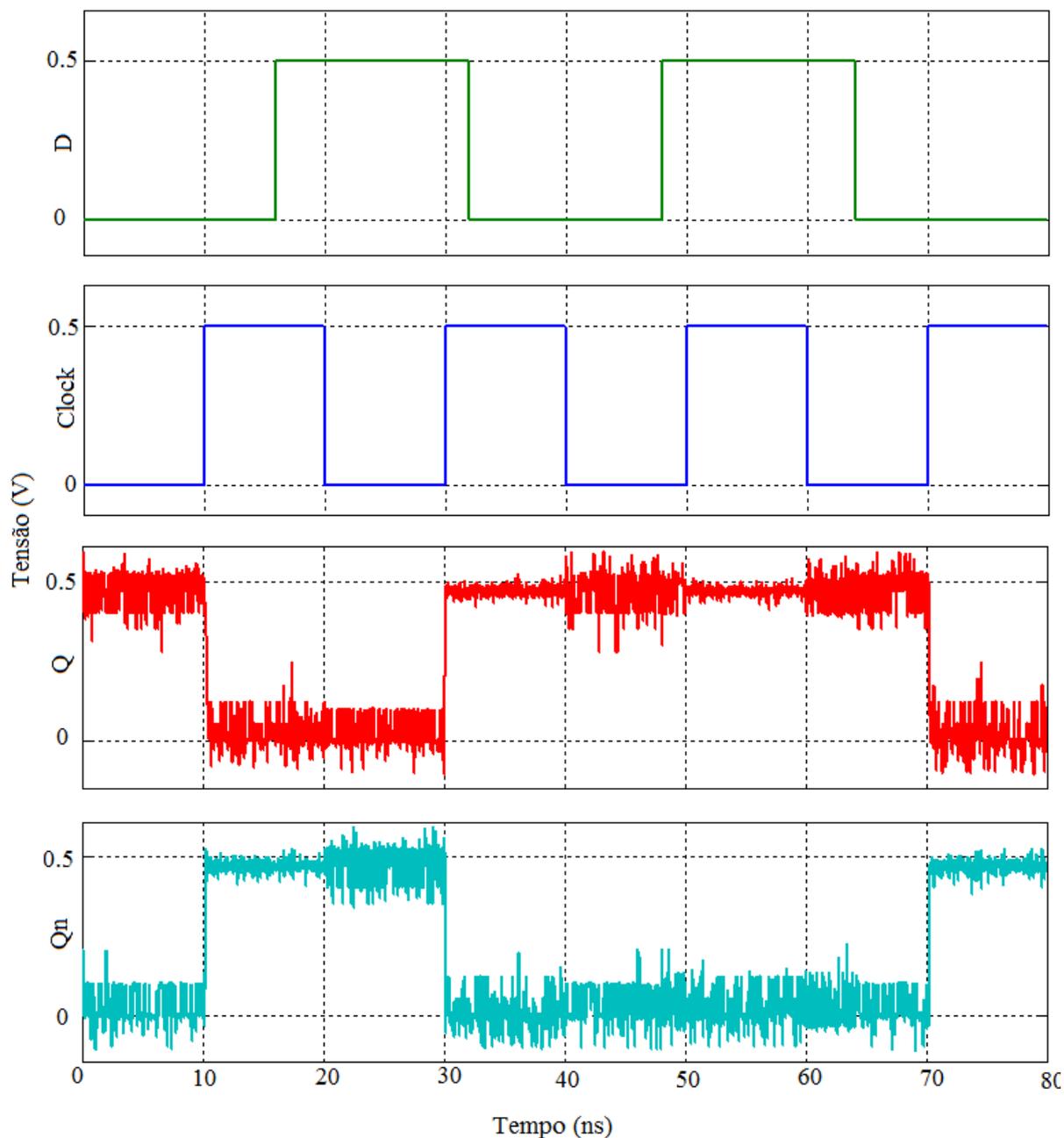


Figura 5.6: Simulação do flip-flop D em temperatura ambiente (300 K).

Com o objetivo de avaliar a estabilidade do flip-flop desenvolvido, obteve-se o diagrama de estabilidade do mesmo. Esse diagrama é mostrado na figura 5.7. O quadrado mostrado na figura representa a região de operação do circuito, com seus vértices representando as quatro combinações de entradas possíveis deste. Como pode ser observado, a região de operação do circuito se encontra em uma área estável do diagrama, o que garante o correto funcionamento do mesmo.

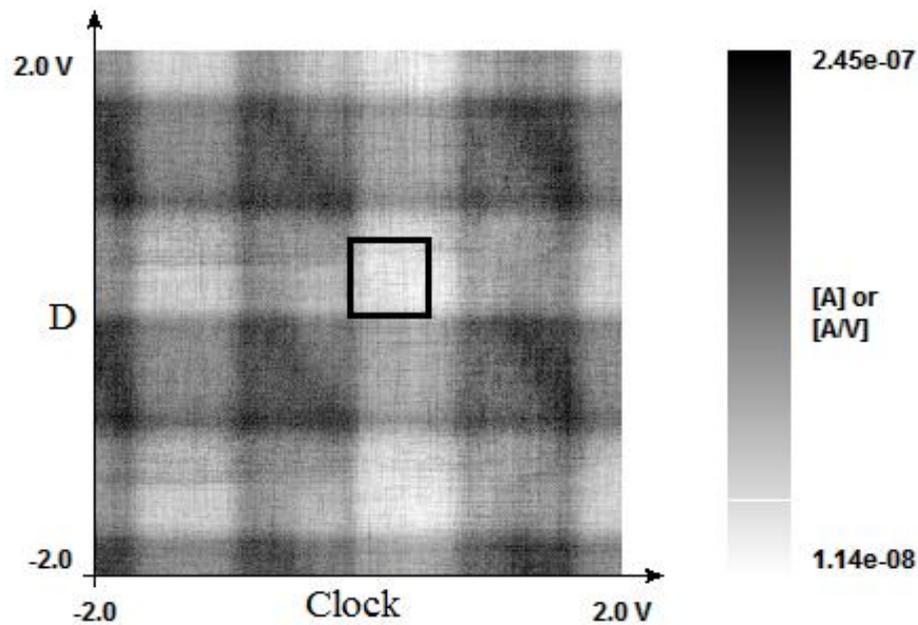


Figura 5.7: Diagrama de estabilidade do flip-flop D.

5.3.2 Estrutura com *preset* e *clear*

Além do flip-flop D básico apresentado anteriormente, foi necessário desenvolver o mesmo flip-flop com funções de *preset* e *clear*, devido ao fato de algumas imposições aos valores iniciais necessários ao correto funcionamento do multiplicador binário.

Assim, foi utilizada a configuração sugerida em [28]. Esta configuração utiliza portas NÃO-E de três entradas. Dessa forma, para manter a proposta inicial de utilizar como porta lógica básica apenas a porta NÃO-E mono-elétron apresentada no item 5.2, de duas entradas, foi feita uma pequena modificação na configuração inicial, a partir das regras de lógica booleana clássica. Com isso, obteve-se a arquitetura mostrada na figura 5.8.

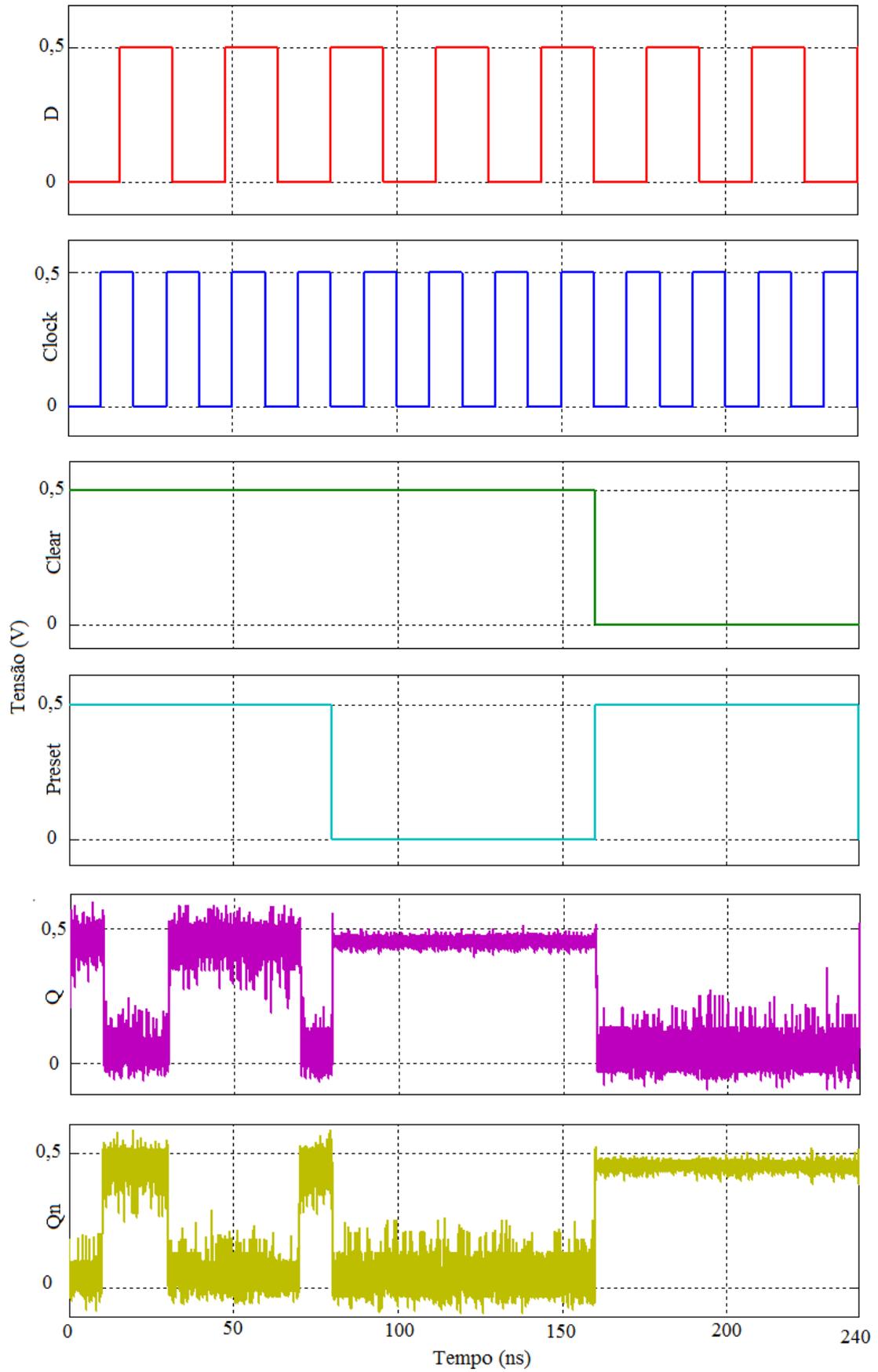


Figura 5.9: Simulação do flip-flop D com *preset* e *clear* em temperatura ambiente (300 K).

5.4 SOMADOR

Observando o diagrama de blocos do fluxo de dados do multiplicador binário (figura 3.3), percebe-se que é necessário um somador de n bits para realizar a multiplicação binária. Esse somador pode ser implementado utilizando n somadores completos [28].

5.4.1 Somador Completo

Um circuito somador completo é aquele que efetua a soma de três bits. A tabela verdade de um somador completo é mostrada na tabela 5.5. Da tabela, vemos que o somador completo é um circuito com três entradas (representadas por A, B e C_{in}) e duas saídas (S e C_{out}).

C_{in}	B	A	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Tabela 5.5: Tabela verdade do somador completo.

O modelo do somador completo utilizado neste trabalho é mostrado na figura 5.10. Essa arquitetura já foi implementada e validada com transistores mono-elétron [11].

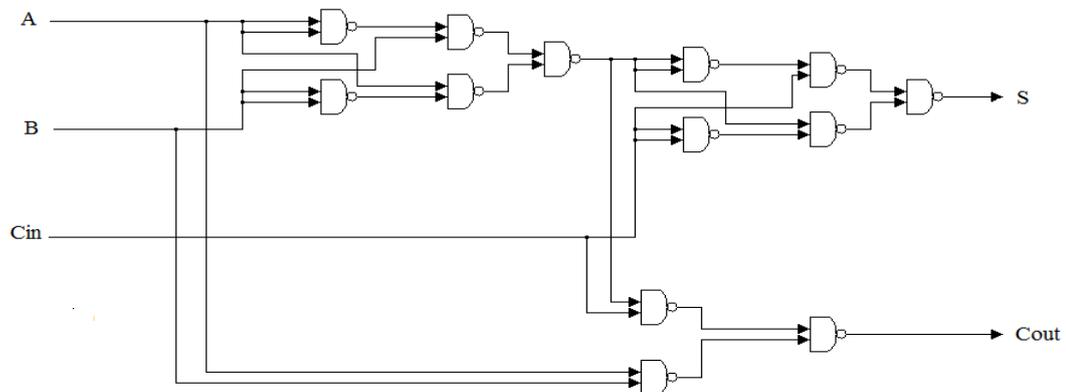


Figura 5.10: Arquitetura de um somador completo.

O resultado da simulação do somador completo, para todas as variações possíveis de entrada, é mostrado na figura 5.11. Pelo resultado da simulação, é possível verificar que, apesar de o circuito apresentar resultados compatíveis com os esperados, mostrados na tabela 5.5, as saídas do circuito apresentam uma grande quantidade de ruído.

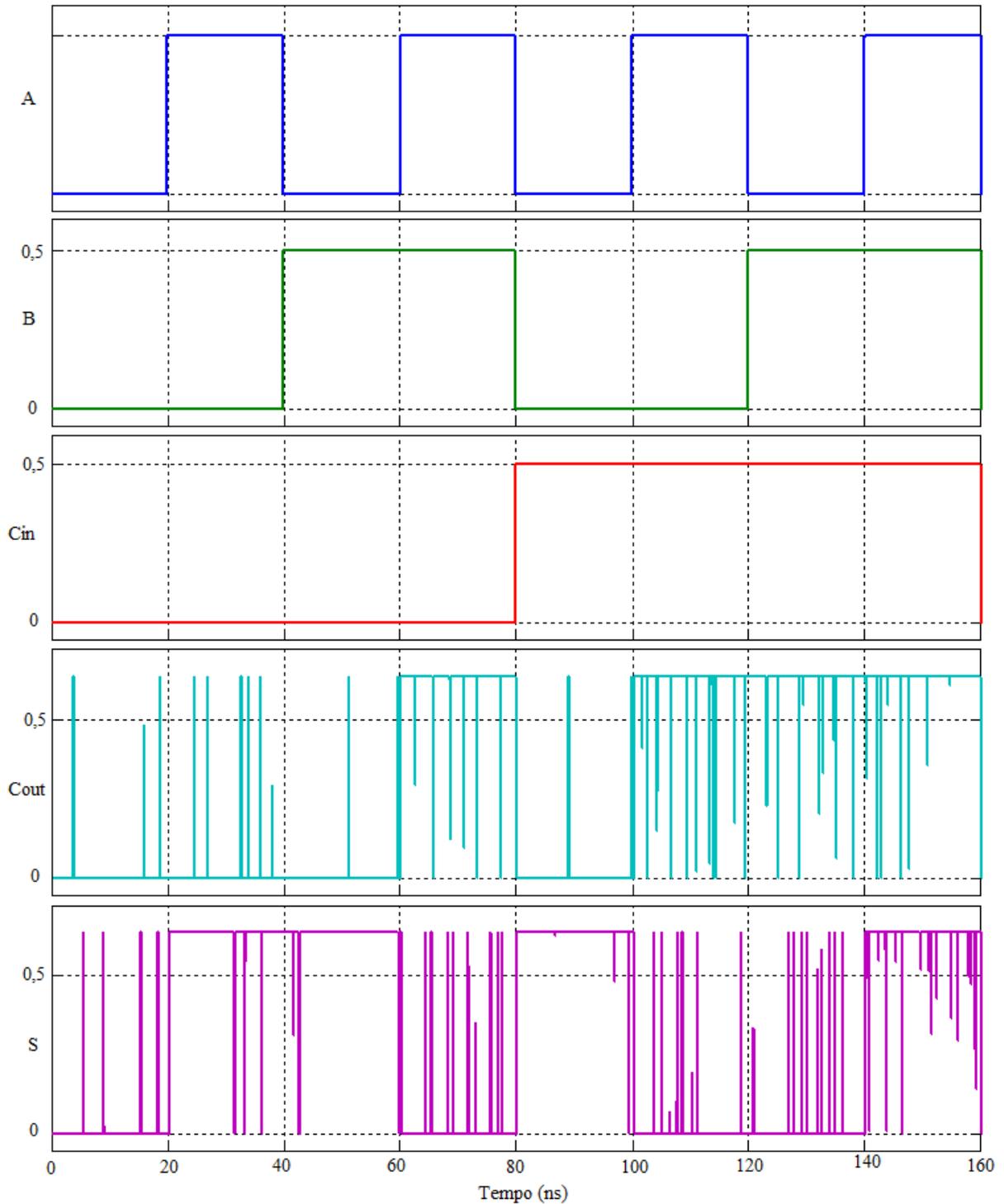


Figura 5.11: Simulação do somador completo em temperatura ambiente (300 K).

A principal causa da ocorrência desse ruído é a temperatura de operação do circuito. Quando o mesmo circuito é ajustado para simular em temperaturas mais baixas, é possível diminuir bastante a quantidade de ruído, indicando que este é causado, em parte, pelas flutuações térmicas. A figura 5.12 mostra, a título de ilustração, o resultado da simulação do somador completo na temperatura de 250 K. Da figura, percebemos que as saídas se mostram bem menos ruidosas, o que comprova a influência da temperatura.

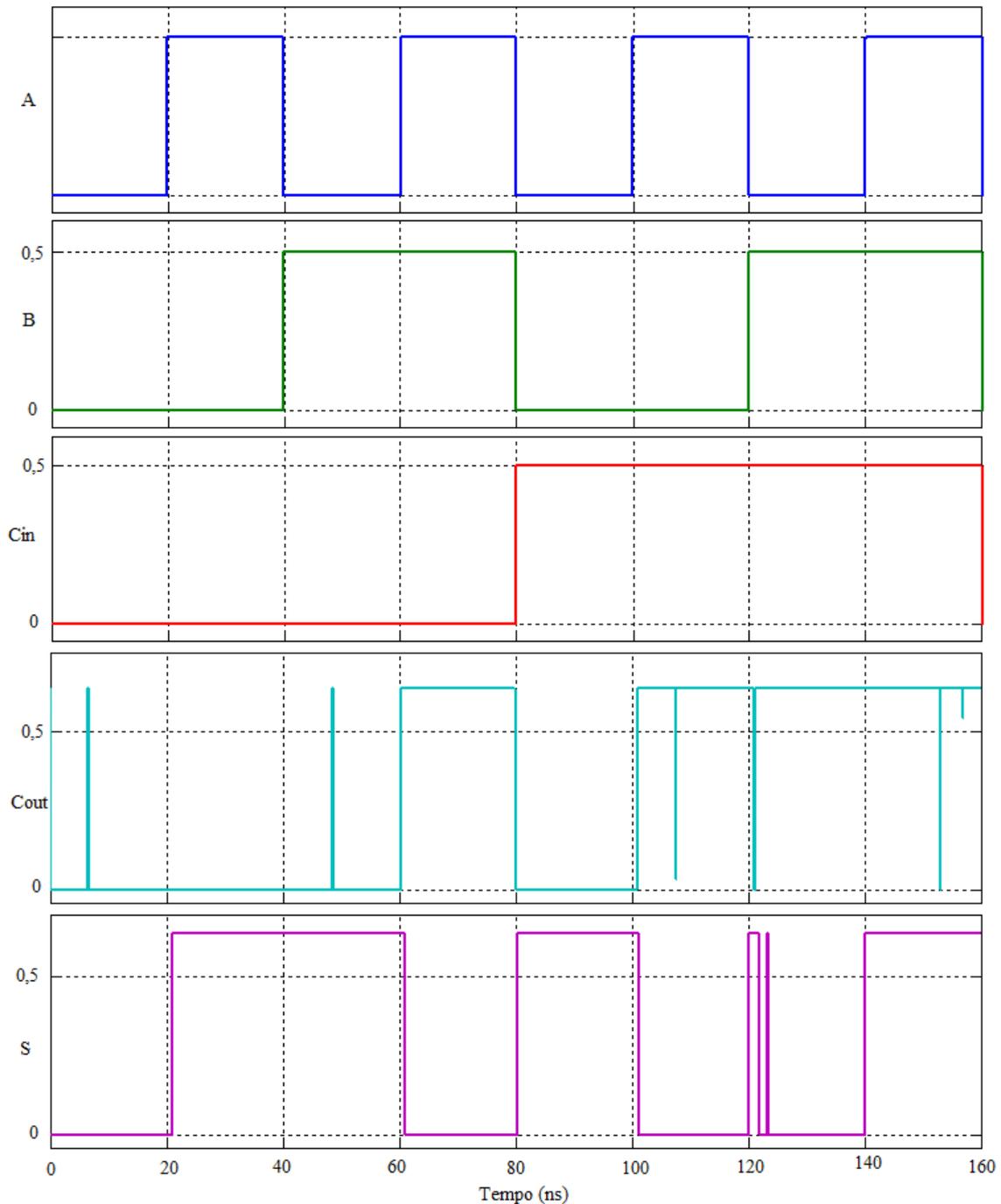


Figura 5.12: Simulação do somador completo em 250 K.

Além disso, quando aumentamos o valor da capacitância da junção (C_j), a quantidade de picos aumenta e, quando diminuimos esse valor, a quantidade de picos diminui. Esse fator está também ligado à temperatura, uma vez que, o que explica essa variação é o efeito de carregamento, estudado no item 2.3.2 deste trabalho. No caso, quando aumentamos a capacitância da junção, a energia de carregamento diminui, e a condição expressa na equação 2.5 é cada vez menos respeitada. Na equação 2.5, vemos que quanto maior a temperatura de operação, maior é a energia de carregamento requerida.

Por fim, foi verificada a estabilidade do circuito, através de seus diagramas de estabilidade. Como os diagramas são calculados para cada combinação de duas entradas, e o circuito em análise apresenta três entradas, seriam necessários três diagramas de estabilidade. No entanto, verificando a arquitetura do circuito, as entradas A e B são idênticas para fins de análise da estabilidade do circuito. Dessa forma, na figura 5.13 são apresentados os seguintes diagramas: A x B e A x C_{in} . Os quadrados em destaque nos diagramas representam a região de operação do circuito.

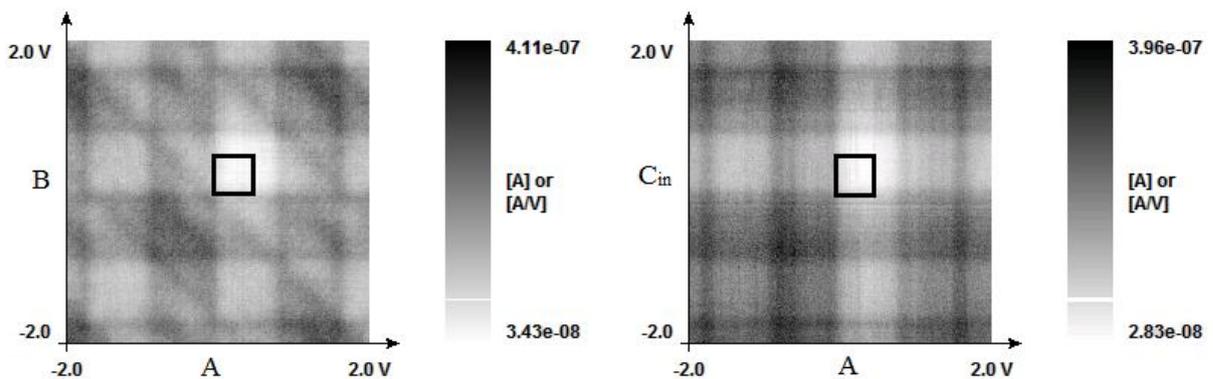


Figura 5.13: Diagramas de estabilidade do somador completo.

Dos diagramas de estabilidade, percebemos que o circuito opera na região mais estável possível, ou seja, na sua região mais clara, onde há menos energia livre no sistema.

5.4.2 Somador de n Bits

Com o circuito somador completo, o somador de n bits pode ser obtido conectando-se n somadores em cascata. Para isso, basta conectar a saída C_{out} de um somador na entrada C_{in} do somador seguinte. As entradas A e B de cada somador serão os bits de mesma posição de

cada um dos números binários que se deseja somar. Do mesmo modo, a saída S de cada somador será um bit do resultado. Esse modelo é mostrado na figura 5.14.

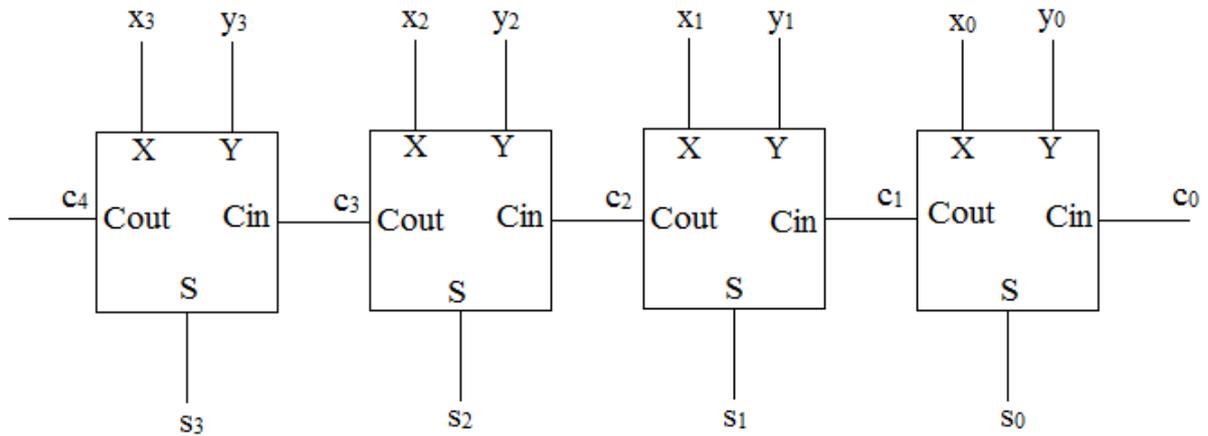


Figura 5.14: Arquitetura de um somador de n bits em cascata.

Utilizando a arquitetura de somador completo aqui apresentada, implementou-se um somador de 4 bits. O circuito foi simulado em temperatura ambiente. Fixou-se os valores das entradas conforme a tabela 5.6.

Entrada	Valor
C_0	0
X_3	1
X_2	1
X_1	0
X_0	1
Y_3	1
Y_2	0
Y_1	1
Y_0	1

Tabela 5.6: Valores das entradas do somador de 4 bits.

Os resultados da simulação são mostrados na figura 5.15. Da figura, podemos ver que, da mesma forma que o somador completo, as saídas apresentaram alguns picos, já explicados anteriormente. Apesar disso, o circuito apresentou o resultado esperado.

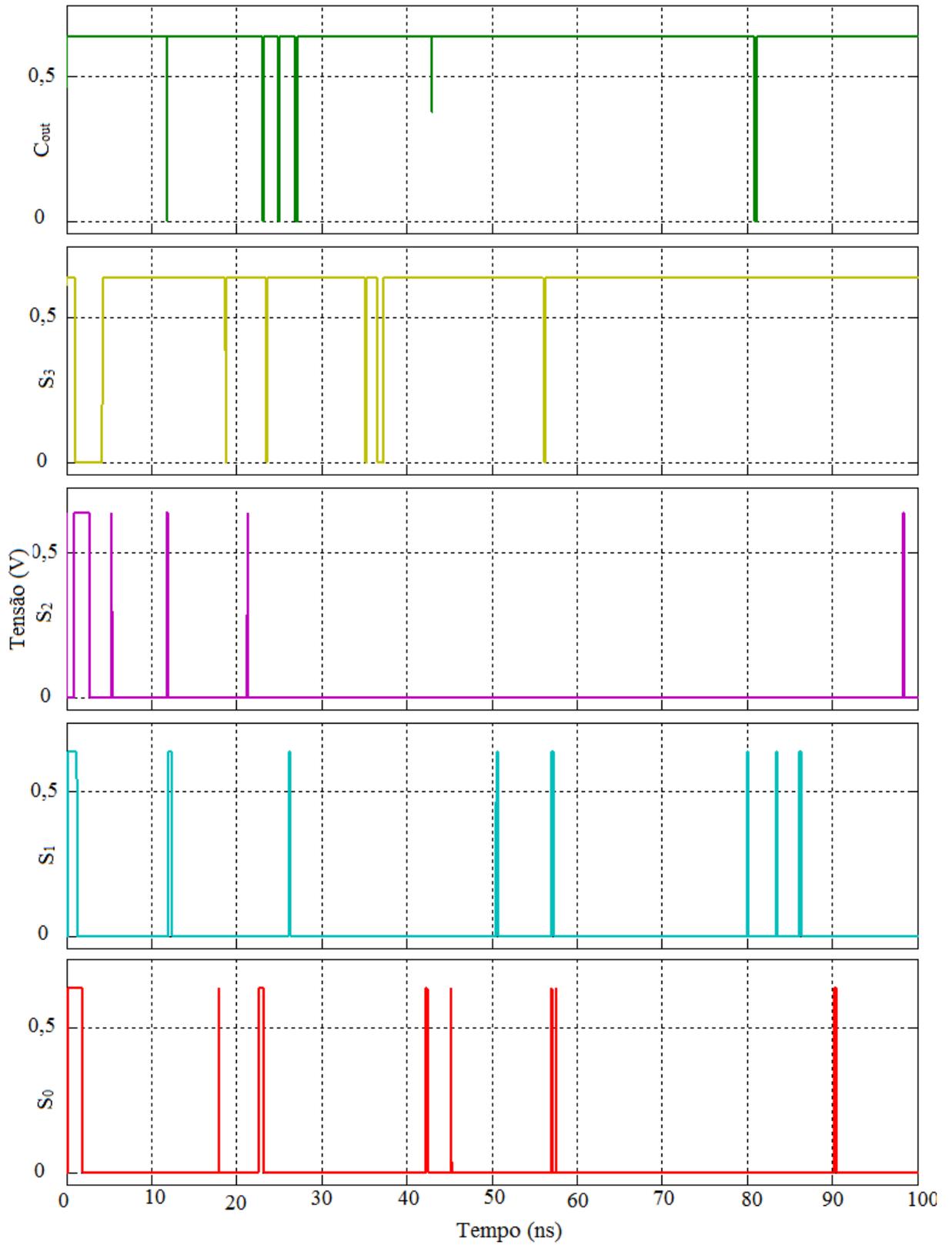


Figura 5.15: Simulação do somador de 4 bits em temperatura ambiente (300 K).

5.5 REGISTRADOR-DESLOCADOR

Um circuito registrador-deslocador é um conjunto com n elementos de memória (flip-flop ou latch) usados para armazenar n bits. Todos os elementos de memória utilizam um mesmo sinal de *clock* ou de ativação. Esse circuito pode ser utilizado para armazenar informações binárias e também para converter dados seriais em paralelos, e vice-versa.

Não foi encontrada na literatura nenhuma implementação de circuitos registradores-deslocadores em tecnologia mono-elétron. A configuração do circuito registrador-deslocador utilizada neste trabalho é uma arquitetura proposta para implementação em tecnologia convencional [28]. A figura 5.16 mostra essa arquitetura, já adaptada para conter apenas portas NÃO-E em sua estrutura.

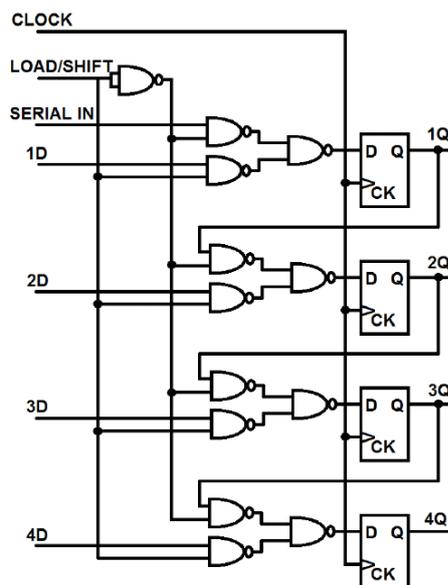


Figura 5.16: Arquitetura de um circuito registrador-deslocador.

Da figura, percebemos que o circuito apresenta quatro entradas paralelas (1D, 2D, 3D e 4D), uma entrada serial (SERIAL IN) e quatro saídas paralelas (1Q, 2Q, 3Q e 4Q). Apresenta, ainda, uma entrada LOAD/SHIFT, que determina qual operação será realizada pelo circuito, e um sinal de *clock*. Quando $LOAD/SHIFT = 1$, o circuito opera como um registrador, lendo os valores das entradas paralelas e armazenando os respectivos valores nas saídas, no momento de subida do *clock*. Por outro lado, quando $LOAD/SHIFT = 0$, o circuito passa a operar como um deslocador, e o sinal aplicado na entrada SERIAL IN é deslocado sucessivamente ao longo das saídas do circuito.

Assim, utilizando a porta NÃO-E apresentada no item 5.2 e o flip-flop D apresentado no item 5.3, foi implementado um circuito registrador-deslocador completamente em tecnologia mono-elétron. Com o objetivo de facilitar a visualização do funcionamento do circuito, optou-se por separar as simulações deste operando como deslocador e como registrador. Assim, nas figuras 5.17 e 5.18 são mostradas, respectivamente, as entradas e saídas do circuito registrador.

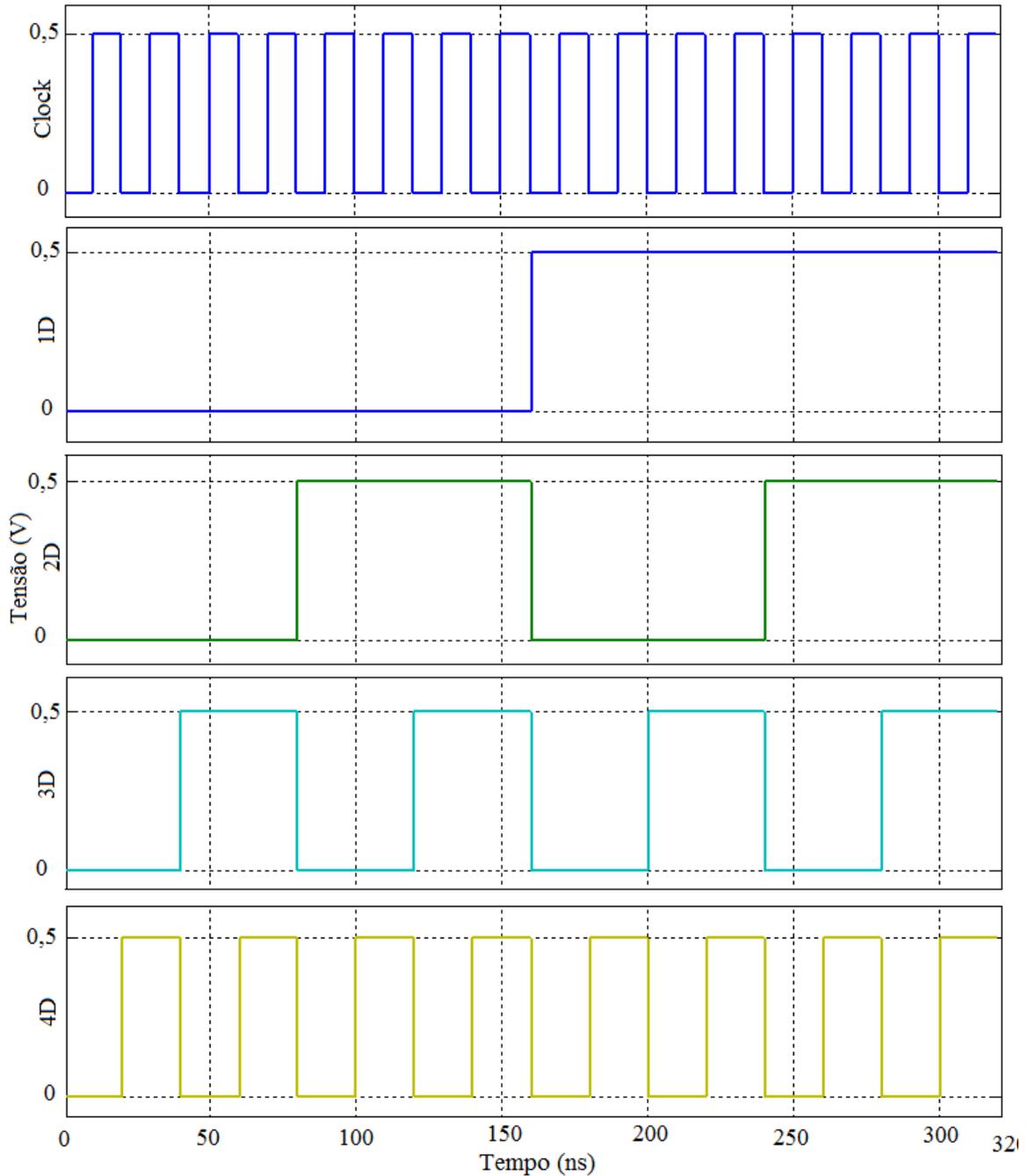


Figura 5.17: Entradas da simulação do registrador em temperatura ambiente (300 K).

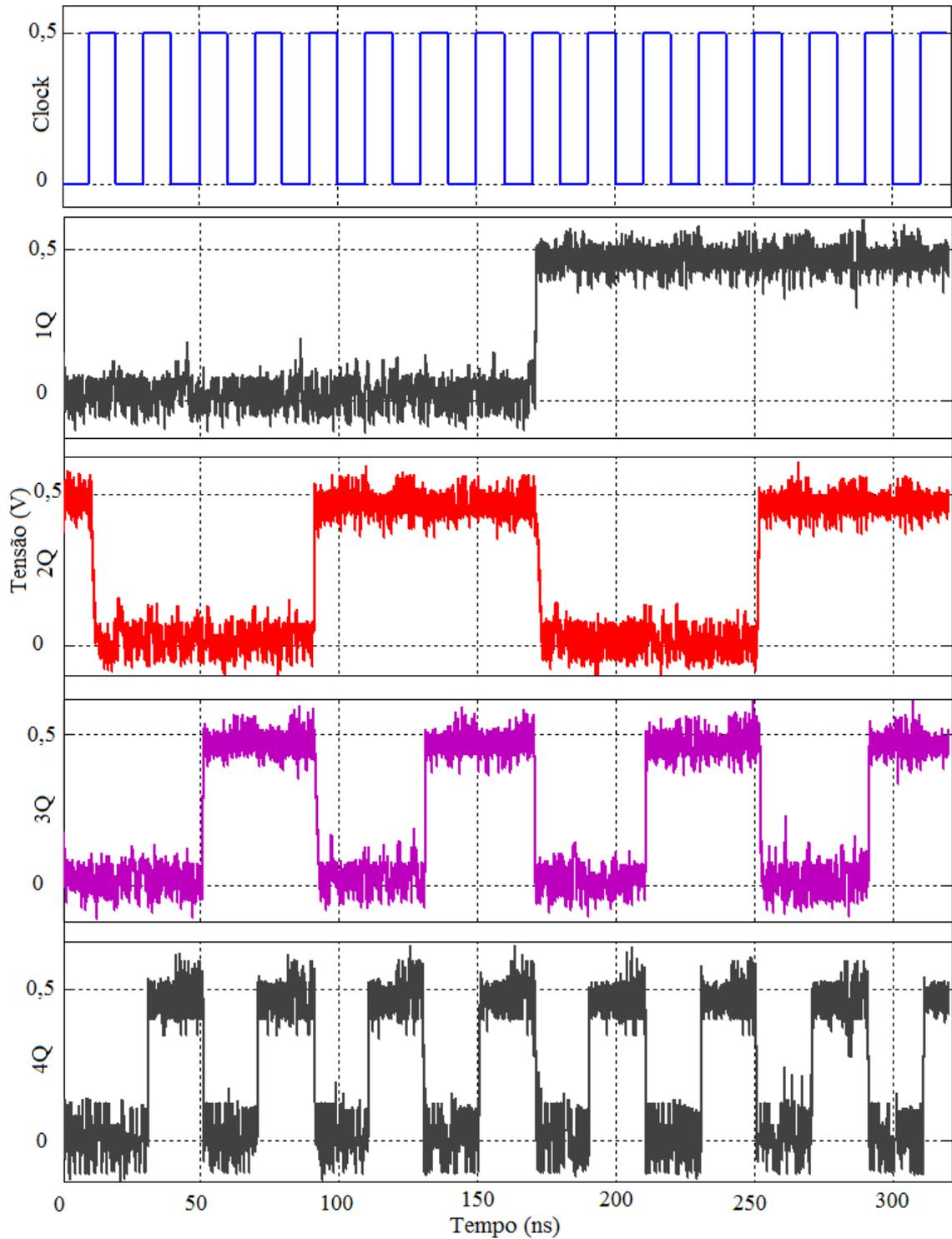


Figura 5.18: Saídas da simulação do registrador em temperatura ambiente (300 K).

É possível verificar o correto funcionamento do circuito, uma vez que a cada subida do *clock* o valor das entradas paralelas é transferido para as respectivas saídas. Já na figura 5.19 é mostrado o resultado da simulação em temperatura ambiente do circuito funcionando como

um deslocador, ou seja, mantendo $\text{LOAD}/\text{SHIFT} = 0$. Nesse caso, a cada subida do *clock*, o valor da entrada serial é sucessivamente transferido para as saídas do circuito.

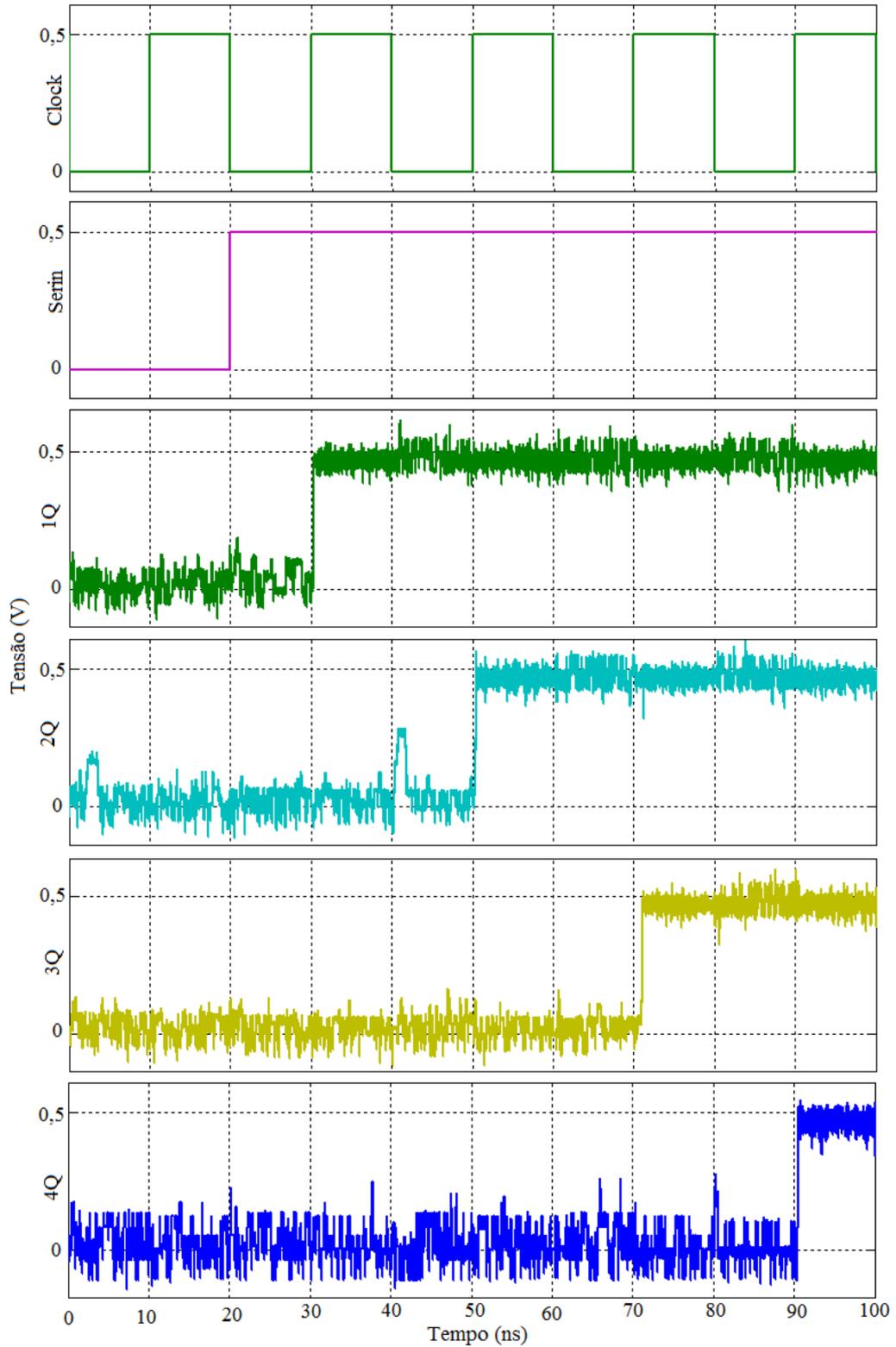


Figura 5.19: Simulação do deslocador em temperatura ambiente (300 K).

Para verificar a estabilidade do circuito, foram necessários seis diagramas de estabilidade. Isso porque as entradas paralelas (1D, 2D, 3D e 4D), para fins deste tipo de análise, são idênticas, e não há necessidade de considerar todas elas entre as possíveis combinações de entradas, apenas uma. Assim, na figura 5.20 são mostrados os seguintes diagramas: LOAD/SHIFT x CLOCK, LOAD/SHIFT x SERIAL IN, LOAD/SHIFT x 1D, CLOCK x SERIAL IN, CLOCK x 1D e SERIAL IN x 1D.

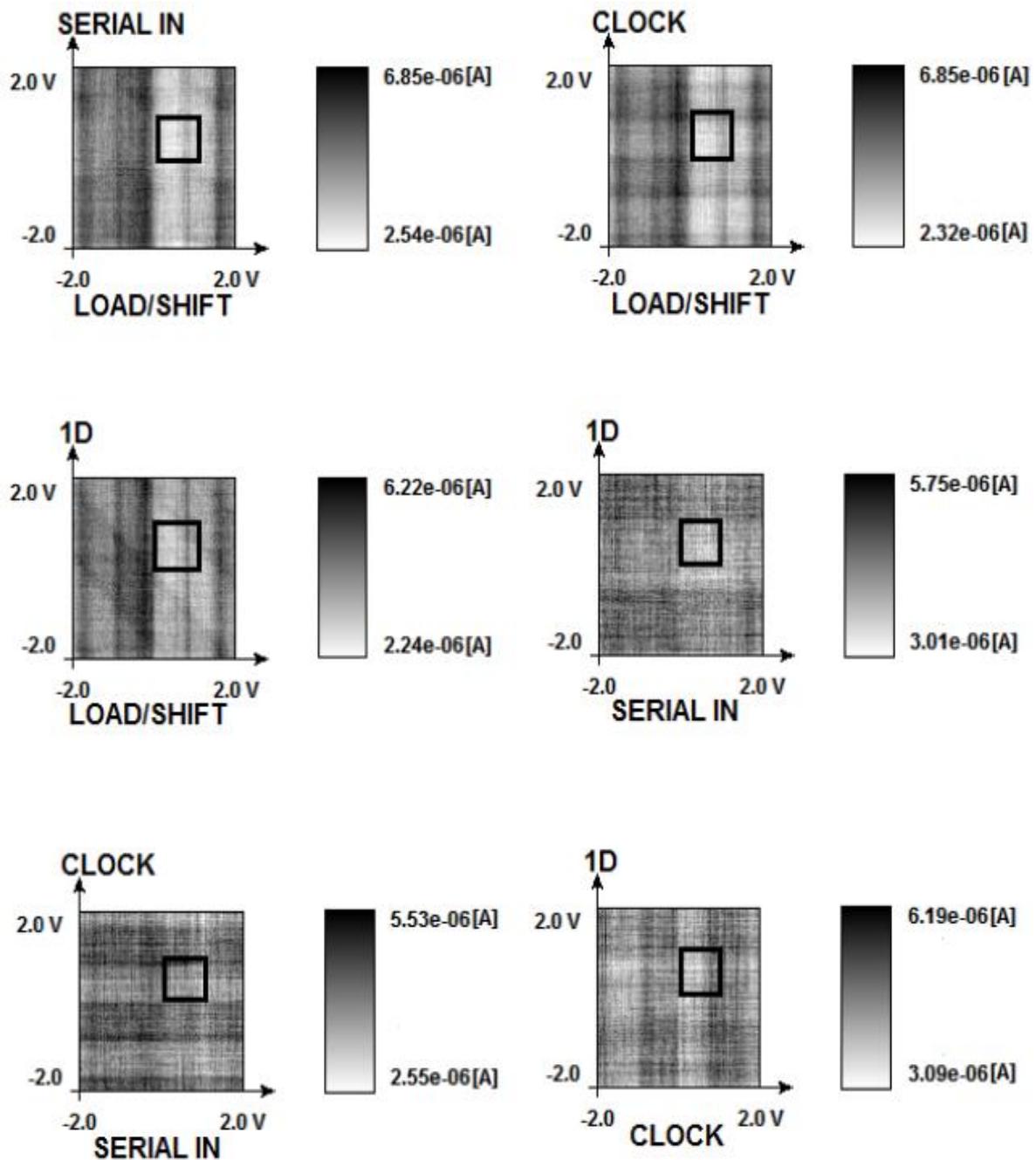


Figura 5.20: Diagramas de estabilidade do registrador-deslocador.

Dos diagramas, podemos ver que as regiões de operação do circuito (os quadrados em destaque) se encontram nas áreas mais claras do diagrama, indicando que, nessa região, o circuito é estável, e possibilitando o seu correto funcionamento. O fato de as regiões não serem brancas (que seriam pontos de máxima estabilidade local) se deve às cargas de flutuação geradas pela temperatura em que o circuito foi simulado. O resultado da simulação (figuras 5.17, 5.18 e 5.19) estão de acordo com essa análise, já que os sinais de saída apresentam certo nível de ruído, que não impede a visualização do resultado correto.

5.6 CONTADOR DECRESCENTE

Uma vez apresentados os blocos do flip-flop, do somador e do registrador-deslocador, o circuito de fluxo de dados do multiplicador está completo. Deve-se agora seguir ao projeto da parte responsável pelos sinais de controle do sistema (figura 3.4). Nesse sentido, o primeiro circuito que se torna necessário é um contador decrescente.

Neste trabalho, iremos apresentar um multiplicador de 4 bits. Assim, de acordo com o projeto, apresentado no capítulo 3, é necessário um contador decrescente de 3 ($4 - 1$) bits, ou seja, que faça a contagem de 3 até zero. Esse circuito pode ser implementado utilizando dois flip-flops T [28], que são, na verdade, flip-flops D onde as entradas são conectadas à saída invertida do flip-flop. O contador decrescente é obtido através das saída Q_n dos flip-flops. Essa arquitetura é mostrada na figura 5.21.

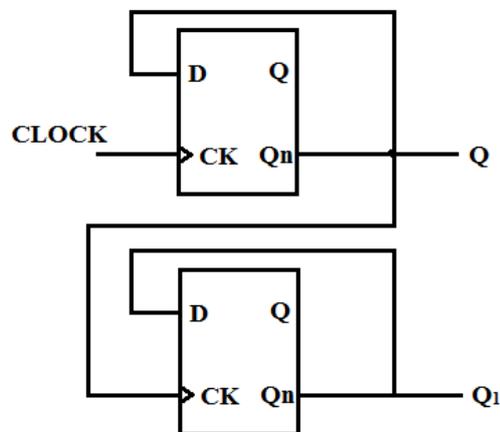


Figura 5.21: Arquitetura de um contador decrescente.

O circuito foi implementado utilizando o flip-flop D já apresentado neste trabalho. O resultado da simulação do circuito é mostrada na figura 5.22. A tabela 5.7 apresenta o resultado esperado do circuito. Pela figura, percebe-se que o circuito faz a contagem decrescente corretamente, diminuindo a contagem em 1 bit a cada subida do relógio.

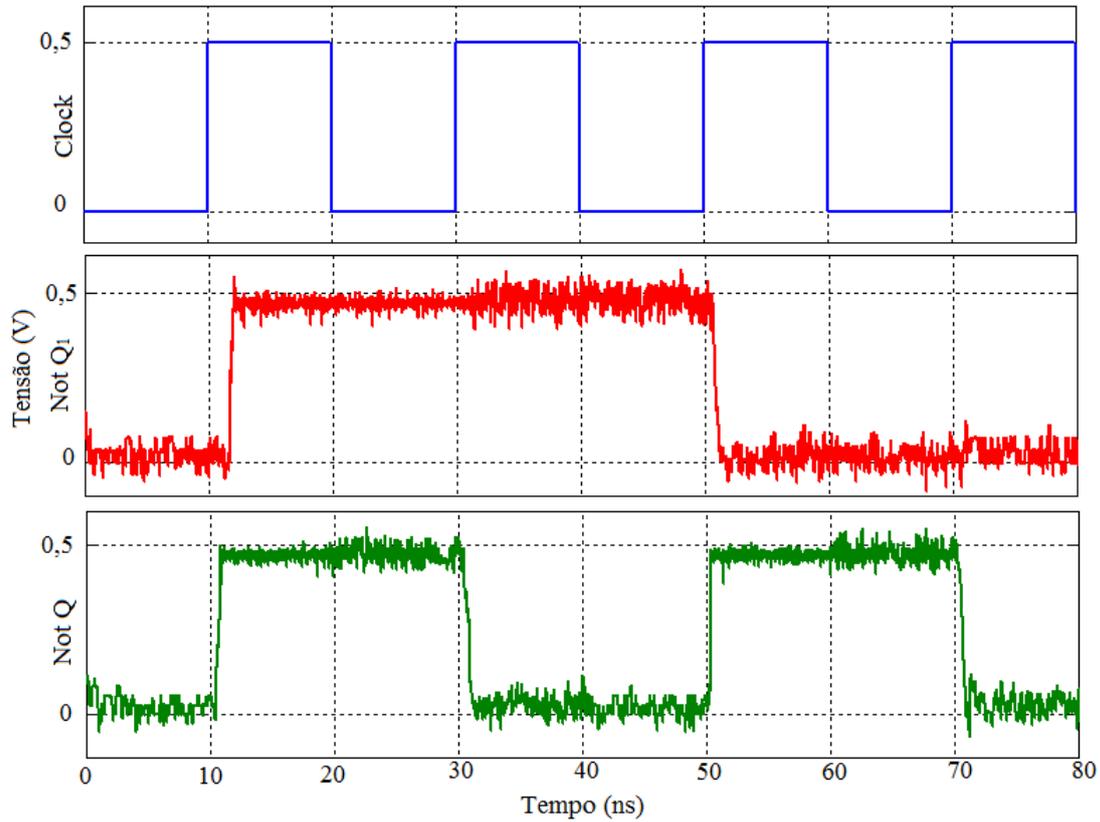


Figura 5.22: Simulação do contador decrescente em temperatura ambiente (300 K).

Ciclo do Clock	Q ₁	Q
1º	1	1
2º	1	0
3º	0	1
4º	0	0

Tabela 5.7: Valores esperados das saídas do contador.

Não faz sentido apresentar o diagrama de estabilidade do circuito contador, uma vez que, pela sua própria natureza, um contador não apresenta pontos estáveis de operação.

5.7 DETECTOR DE ZERO

Além do contador, o circuito necessita de um detector de zero. No caso, só é necessária uma porta NÃO-OU para detectar o fim da contagem do contador, uma vez que a saída dessa porta só será 1 quando suas duas entradas forem igual a 0, o que equivale ao fim da contagem. A porta NÃO-OU foi implementada com a porta NÃO-E nanoeletrônica. Assim, o detector de zero deste trabalho apresenta a arquitetura da figura 5.23.

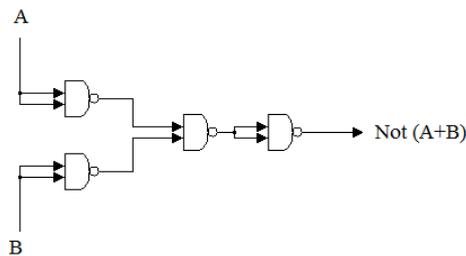


Figura 5.23: Arquitetura de um detector de zero.

O resultado da simulação em temperatura ambiente é mostrado na figura 5.24. Da figura, é possível observar o correto funcionamento do circuito.

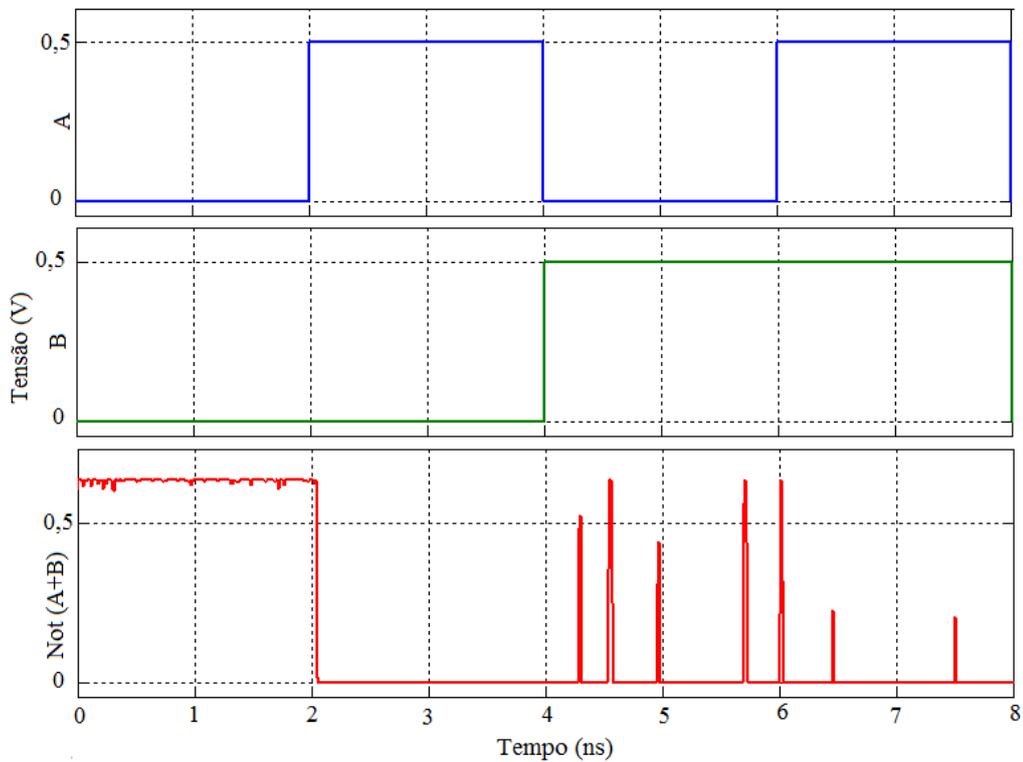


Figura 5.24: Simulação do detector de zero em temperatura ambiente (300 K).

O diagrama de estabilidade do mesmo circuito, apresentado na figura 5.25, confirma que o circuito é estável na sua região de operação (quadrado em destaque na figura).

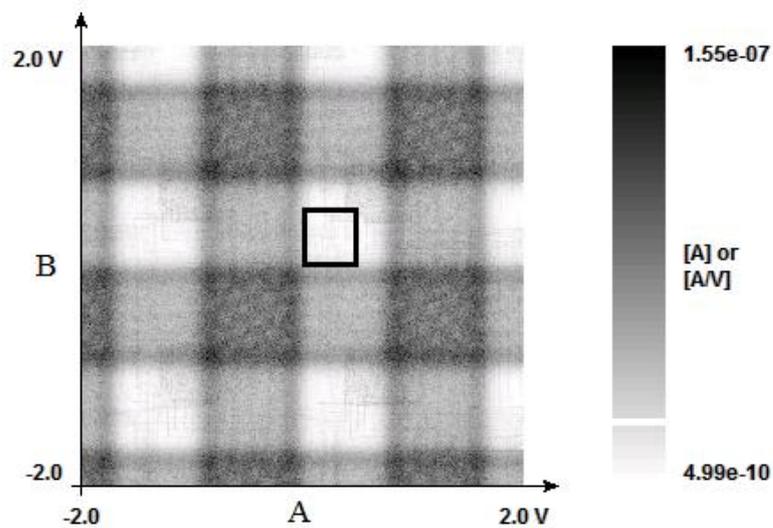


Figura 5.25: Diagrama de estabilidade do detector de zero.

5.8 UNIDADE DE CONTROLE

O último bloco necessário para o desenvolvimento do multiplicador binário é a unidade de controle propriamente dita, cujo projeto foi apresentado no capítulo 3 (seção 3.6). A unidade de controle, em conjunto com o contador decrescente e o detector de zero, vai gerar os sinais de controle do fluxo de dados.

O circuito da unidade de controle foi simulado juntamente com o contador e o detector de zero. Os resultados da simulação são mostrados na figura 5.26. Os sinais de entrada do circuito são CLOCK, INICIAR e Q_0 e os sinais de saída são INICIALIZAR, LOAD e SHIFT.

Observe que o circuito funciona da forma esperada. O sinal inicializar é ativado quando a entrada iniciar é modificada de zero para um e só fica ativo durante um curto período, para ordenar o começo da multiplicação. Na subida seguinte do sinal de CLOCK, ativa-se o sinal LOAD, quando o valor de Q_0 for um, caso contrário, nenhum sinal é ativado. No próximo ciclo, é ativado o sinal SHIFT, que efetua os deslocamentos. Observe que, assim, cada sinal é ativado em um momento diferente e dois sinais nunca estão ativos simultaneamente.

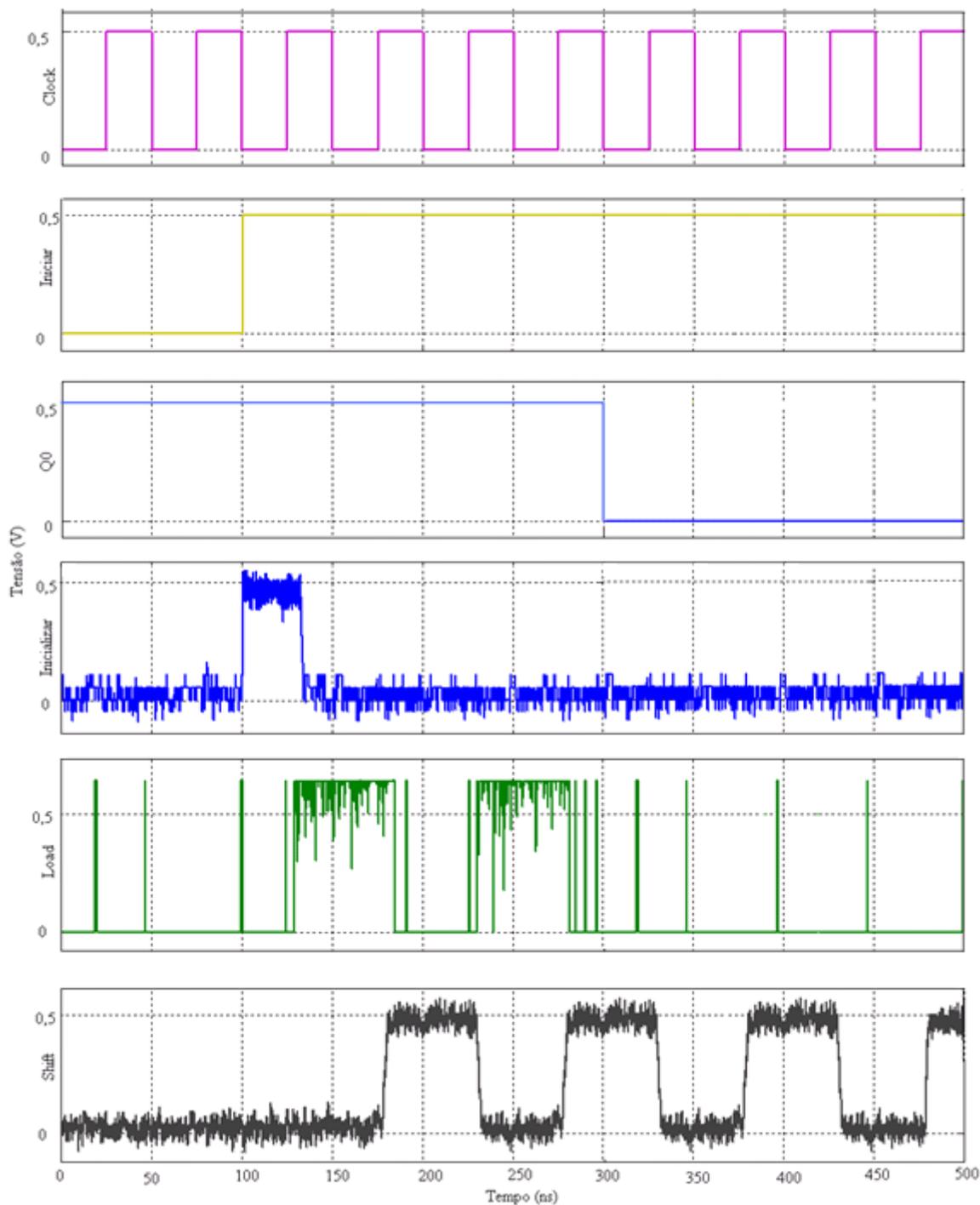


Figura 5.26: Simulação da unidade de controle em temperatura ambiente (300 K).

Por fim, a estabilidade da unidade de controle foi analisada, com base em seus diagramas de estabilidade. Como são três entradas, foram necessários três diagramas, mostrados na figura 5.27. Como em todos os circuitos apresentados até agora, os diagramas comprovam a estabilidade do circuito da unidade de controle na sua região de operação.

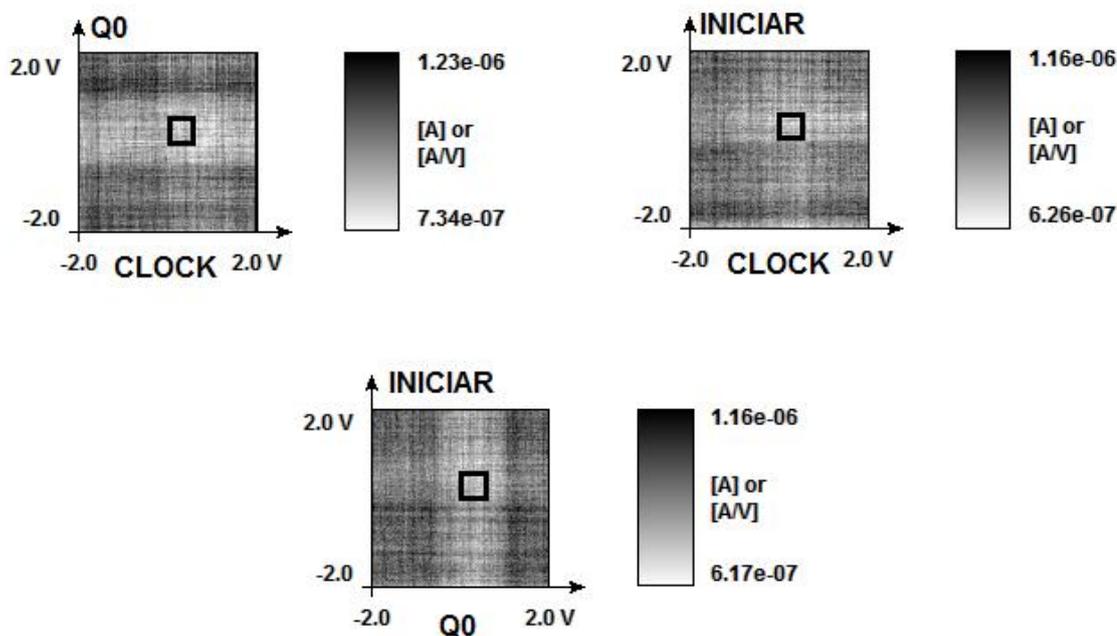


Figura 5.27: Diagramas de estabilidade da unidade de controle.

5.9 MULTIPLICADOR BINÁRIO

O circuito completo do multiplicador binário, ou seja, o sistema formado pelo fluxo de dados e a unidade de controle não pode ser simulado.

Foram realizadas algumas tentativas de simulação. No entanto, o computador que se tinha disponível para realizar essa atividade era um PC com as seguintes características: frequência de 2.13 GHz, memória RAM de 400 GB e HD de 500 GB. Com essa capacidade de processamento, o tempo exigido para realizar a simulação era de quase 11 dias. De fato, para simular outros circuitos apresentados neste trabalho foram demandados tempos de simulação já elevados, em torno de 1 dia. Esse longo tempo tornou a simulação inviável. Na figura 5.28, ilustra-se a primeira linha de simulação, com o tempo previsto para encerrar o processo.

```
>> [resultados,legenda]=operator(arquivo mdl,temperatura)
--STATUS-- already done 0 % | estimated remaining run time 10 day 15 hour 32 min 57 sec
```

Figura 5.28: Tempo de simulação previsto para o sistema do multiplicador.

Apesar de a simulação não ter sido realizada, é possível fazer uma análise preliminar acerca do desempenho do sistema, em termos de área e de potência dissipada.

Se contarmos o número de portas NÃO-E utilizado para implementar cada um dos blocos apresentados neste trabalho, chegaremos aos seguintes valores:

- Flip-flop D: 12 portas;
- Somador: 52 portas
- Registrador-deslocador: 61 portas
- Contador: 24 portas
- Detector de zero: 4 portas
- Unidade de controle: 87 portas.

Assim, o sistema do multiplicador binário aqui desenvolvido tem um total de 362 portas NÃO-E.

De acordo com a literatura, cada ilha num dispositivo mono-elétron ocupa uma área de diâmetro, no máximo, igual a 8 nanômetros [29] e, a relação entre o valor dos capacitores e a área ocupada pelos mesmos é $5 \mu\text{F}/\text{cm}^2$ [30]. Se considerarmos a arquitetura da porta NÃO-E utilizada neste trabalho (figura 5.1), percebemos que ela é composta de duas ilhas, além de seis capacitores cujos valores encontram-se na tabela 5.1. Dessa forma, uma porta NÃO-E ocuparia, aproximadamente, a seguinte área:

$$\text{Área (NÃO - E)} = 2 \times \pi \times \left(\frac{8}{2} \text{ nm}\right)^2 + 3 \times 20 \text{ nm}^2 + 2 \times 3 \text{ nm}^2 + 5 \text{ nm}^2 \cong 172 \text{ nm}^2$$

Portanto, o sistema completo ocuparia a área de:

$$\text{Área (multiplicador)} = 362 \times 172 \cong 62264 \text{ nm}^2$$

De igual modo, a potência dinâmica dissipada pode ser calculada, para cada porta NÃO-E da seguinte forma:

$$P_{dinâmica} = f \times V_{DD}^2 \times C_L,$$

Onde f é a frequência de operação do circuito, V_{DD} é a sua tensão de alimentação e C_L é a capacitância de carga do mesmo [31]. Assim, considerando uma frequência de 1 GHz, temos, para uma porta:

$$P_{dinâmica}(NÃO - E) = 62,5 \text{ pW}$$

E a potência dinâmica dissipada no sistema completo pode ser estimada em:

$$P_{dinâmica}(\text{multiplicador}) \cong 22,6 \text{ nW}$$

O mesmo raciocínio pode ser aplicado para estimar a potência estática dissipada no circuito. Cada porta NÃO-E dissipa:

$$P_{estática} = V_{DD} \times I_{MÁX},$$

Onde $I_{MÁX}$ é a corrente máxima dissipada pelo circuito. Esse valor está na ordem de 7 pA para temperatura ambiente. Então:

$$P_{estática}(NÃO - E) = 3,5 \text{ pW}$$

E a potência estática dissipada no sistema completo pode ser estimada em:

$$P_{estática}(\text{multiplicador}) \cong 1,3 \text{ nW}$$

Dessa forma,

$$P_{total}(\text{multiplicador}) = P_{estática} + P_{dinâmica} = 23,9 \text{ nW}$$

Segundo Ravi et al. em [32], um multiplicador binário MOS construído em tecnologia de 65 nm dissiparia 167 μW de potência. Os valores do multiplicador binário nanoeletrônico são muito menores do que os obtidos na tecnologia convencional, mais de três ordens de grandeza menores. Segundo Bindal et al. [33] o multiplicador binário MOS proposto por Ravi et al [32] ocuparia uma área de 1760000 nm^2 . Esse valor é maior que a área do multiplicador binário nanoeletrônico aqui proposto, em cerca de trinta vezes.

6 CONCLUSÕES

O objetivo principal deste trabalho era desenvolver um sistema completo de um multiplicador binário baseado em tecnologia SET. Apesar de o sistema não ter sido simulado em conjunto, pelos motivos já explicados, cada parte componente do sistema foi validada por simulação, tendo seu correto funcionamento confirmado. Além disso, todos os resultados foram obtidos considerando a operação em temperatura ambiente.

Desse modo, o desenvolvimento do multiplicador binário nanoeletrônico aqui apresentado comprova a capacidade de interconexão de dispositivos mono-elétron, tendo em vista a elaboração de sistemas cada vez mais complexos e até mesmo a possibilidade de implementação de um processador inteiramente construído com tecnologia SET. Comprova ainda a capacidade de utilização desses dispositivos em temperatura ambiente.

Como continuação deste trabalho, deve-se ter em vista a simulação do circuito completo. Além disso, é possível aperfeiçoar o comportamento dos circuitos, através de ajustes nos valores dos parâmetros dos dispositivos. Espera-se que seja possível, com isso, utilizar parâmetros fisicamente realizáveis em todo o sistema, o que possibilitaria uma implementação física do mesmo.

Também é possível aperfeiçoar os blocos componentes do circuito, de forma a minimizar a arquitetura do multiplicador. Com isso, o circuito poderá ocupar uma área menor e consumir ainda menos potência.

É possível ainda fazer uma análise do comportamento em tempo real do sistema, análise esta não permitida através da utilização do SIMON. Assim, propõe-se, para trabalhos futuros, a utilização de outros *softwares*, que contenham esse tipo de ferramenta e possibilitem essa análise, como o SECS [34].

Por fim, vale ressaltar que este trabalho foi desenvolvido no sentido de explorar perspectivas no campo da nanoeletrônica. Certamente, quando os dispositivos forem realizáveis fisicamente em larga escala, alguns fenômenos e propriedades que não foram considerados aqui deverão ser levados em consideração.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Goldhaber-Gordon, D., Montemerlo, M. S., Love, J. C., Opiteck, G. J. e Ellenbogen, J. C. Overview of nanoelectronic devices. Proceedings of the IEEE, Vol. 85, 1997.
- [2] SIA, The international roadmap for semiconductors. Semiconductor Industry Association 2011. Relatório Técnico.
- [3] Likharev, K. K., Bakhvalov, N. S., Kazacha, G. S. e Serdyukova, S. I. Single-electron device. IEEE Transactions on Magnetics, Vol. 25, 1989.
- [4] Grabert, H. e Devoret, M. H. Single Charge Tunneling - Coulomb blockade phenomena in nanostructures, NATO ASI Series, Series B: Physics, Vol. 294, EUA, 1991.
- [5] Guimarães, J. G. Arquiteturas de redes neurais nanoeletrônicas para processadores em escala giga ou tera. Tese de doutorado. Universidade de Brasília, Brasil, 2005.
- [6] Likharev, K. K. Single-electron devices and their applications. Proceedings of the IEEE, Vol. 87, 1999.
- [7] Ahmed, H. e Nakazato, K. Single-electron devices. Microelectronics Engineering, Vol. 32, 1999.
- [8] Tsiolakis, T., Konofaos, N. e Alexiou, G. P. A Complementary Single-Electron 4-bit Multiplexer. 2nd Asia Symposium on Quality Electronic Design (ASQED), 2010.
- [9] Wasshuber, C., Kosina, H. e Selberherr, S. SIMON - a simulator for single-electron tunneling devices and circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 16, 1997.
- [10] Fagundes, D. C. Unidade lógica e aritmética baseada em transistores mono-elétron. Trabalho de Conclusão de Curso. Universidade de Brasília, 2011
- [11] Costa, G. M. D. Scripts para a simulação de circuitos nanoeletrônicos baseados em transistores mono elétron. Trabalho de Conclusão de Curso. Universidade de Brasília, 2010.

- [12] Kime, C. R. e Mano, M. M. Logic and Computer Design Fundamentals. New Jersey Prentice Hall - 2000
- [13] Sarkar, S., Biswas, A. K., Ghosh, A. e Sarkar, S. K. Single-electron based binary multipliers with overflow detection. International Journal of Engineering, Science and Technology, Vol. 1, 2009.
- [14] Lagewweg, C., Cotofana, S. e Vassiliadis, S. Binary multiplication based on single-electron tunneling. Proceedings of the 15th IEEE International Conference on Application-Specific Systems, Architectures and Processors, 2004.
- [15] Yano, K., Ishii, T., Sano, T., Mine, T., Murai, F., Hashimoto, T., Kobayashi, T., Kure, T. e Seki, K. Single electron memory for giga-to-tera bit storage. Proceedings of the IEEE, Vol. 87, 1997.
- [16] Venkataratnam A. e Goel, A. K. CMOS Architectures for NOR & NAND Logic Gates Using Single Electron Transistors. Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show. USA, Maio de 2005.
- [17] Lagewweg, C., Cotofana, S. e Vassaliadis, S. Static buffered SET logic Gates. Proceedings of the 2nd IEEE Conference on Nanotechnology. USA, Maio de 2002.
- [18] Gerousis, C. P., Goodnich, S. M. e Porod, W. Nanoelectronic single-electron transistor circuits and architectures. International Journal of Circuit Theory and Applications. Vol. 32, 2004
- [19] Alencar, B. M. S. M. Memória endereçada por conteúdo nanoeletrônica. Universidade de Brasília. Brasília, 2009.
- [20] Dubuc, C. Beauvais, J. e Drouin, D. A Nanodamascene Single-Electron Transistor Fabrication. IEEE Transactions on Nanotechnology. Vol 7, Janeiro de 2008.
- [21] Cheam, D. D., Karre, S. K., Palard, M. e Bergstrom, P. L. Step and flash imprint lithography for quantum dots based room temperature. Journal of Microelectronic Engineering. Vol. 86, 2009.

- [22] Sathe, C., Dan, S. S. e Mahapatra, S. Assessment of SET Logic Robustness Through Noise Margin Modeling. *IEEE Transactions on Electron Devices*. Vol. 55, 2008.
- [23] Tsiolakis, T., Alexiou, G. P. and Konofaos, N. Design, Simulation and performance evaluation of a NAND based single-electron 2-4 decoder. *Proceedings of the 12th Euromicro Conference on Digital System Design – DSD*. Grécia, Agosto de 2009.
- [24] Gerousis, C. and Grepiotis, A. Programmable Logic Arrays in Single-Electron Transistor Technology. *Proceedings of the International Conference on Signals and Electronic Systems – ICSES*. Krakow, Poland, 2008, 14-17 de Setembro.
- [25] Hadley, P., Visscher, E. U. e Mooji, J. E. An offset charge independent single electronic RS flip-flop. *Proceedings of the International Conference on Quantum Devices and Circuits*, 1996.
- [26] C. Lageweg, S., Cotofana e S. Vassaliadis. Single electron encoded latches and flip-flops. *IEEE Transactions on Nanotechnology*. Vol. 3, 2004.
- [27] Pradhan, P. C., Pokhrel, K. Sarkar, S. K., Agarwal, A. e Chetia, A. Design and simulation of SR, D and T flip-flops modeled with single-electron devices. *Proceedings of the International Symposium on Devices MEMS, Intelligent Systems & Communication (ISDMISC)*. Abril de 2011.
- [28] Wakerly, J. F. *Digital design: principles and practices*. Prentice Hall, Terceira Edição, New Jersey, 2000.
- [29] Karre, P. S. K. e Bergstrom, P. L. Room temperature operational single electron transistor fabricated by focused ion beam deposition. *Journal of Applied Physics*. Vol. 102, 2007.
- [30] Ali. A., Madan, H., Misra, R., Agrawal, A., Schiffer, P., Brad Boos, J., Bennett, B. R. e Datto, S. Experimental Determination of Quantum and Centroid Capacitance in Arsenide-Antimonide. *IEEE Transactions on Electron Devices*. Vol. 58, nº 5, Maio de 2011.

- [31] Moon-Young, J., Bong Hoon, L. e Yoon-Ha, J. Design Considerations for Low Power Single Electron Transistor Logic Circuits. Japanese Journal of Applied Physics. Vol. 40, 2001.
- [32] Ravi, N., Subbaiah, Y. Prasad, T. J. e Rao, T. S. A novel low Power, low area array multiplier design for DSP applications. Proceedings of the 2011 International Conference on Signal Processing, Communication, Computing and Networking Technologies. 2011.
- [33] Bindal, A., Naresh, A., Pearl, Y., Nguyen, K. K. e Hamedi-Hagh, S. The design of dual work function CMOS transistors and circuits using silicon nanowire technology. IEEE Transactions on Nanotechnology. Vol. 6, n° 3, Maio de 2007.
- [34] Zardalidis, G. e Karafyllidis, I. G. SECS: A new single-electron circuit simulator. IEEE Transactions on Circuits and Systems. Vol. 55, n° 9, Outubro de 2008.